

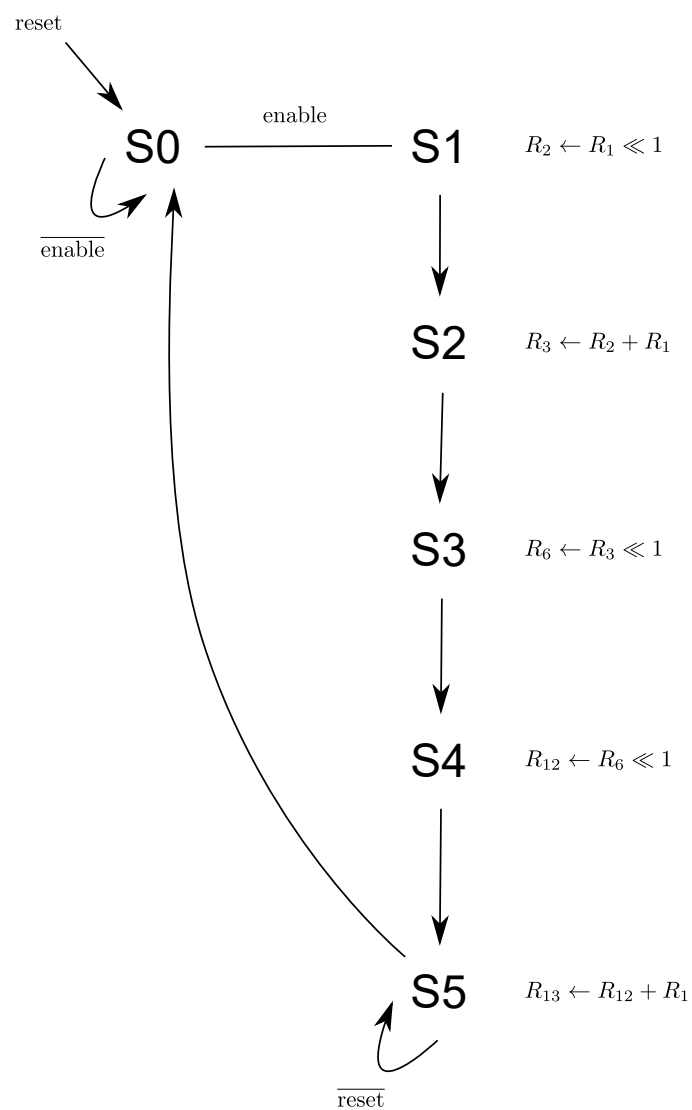
Capítulo 9: VHDL

Relatório capítulo 9: VHDL













Aluno: Alexandre Hoffmann Genthner

Matrícula: 16103372

- Diagrama de estados do circuito:



- Resultado final da simulação do arquivo `multi_mod0.vhd`, passando por 6 estados:

		Mags																
	/multi_mod0/mmCLK	0																
	/multi_mod0/mmRST	0																
	/multi_mod0/mmENA	0																
	/multi_mod0/mmSelect	00	01						11		00		11				00	
	/multi_mod0/mmIn	42	(13170	X	0			X	42									
	/multi_mod0/mmOut	546	X		0				42		84		126		252		504	546
	/multi_mod0/mm_muxA	588	X		0			X	42		84		126		168		294	588
	/multi_mod0/mm_muxB	42	(13170	X	0			X	42									
	/multi_mod0/mm_muxC	273	X		0				21		42		63		126		252	273
	/multi_mod0/mm_muxD	1092	X		0				84		168		252		504		1008	1092
	/multi_mod0/mm_registerIn	588	(13170	X	0			X	42		84		126		252		504	588
	/multi_mod0/mmPreOut	546	X		0				42		84		126		252		504	546