

FUNDAMENTOS Y ESTRUCTURA DE COMPUTADORES

1º G. I. Informática

Curso 2010 – 2011

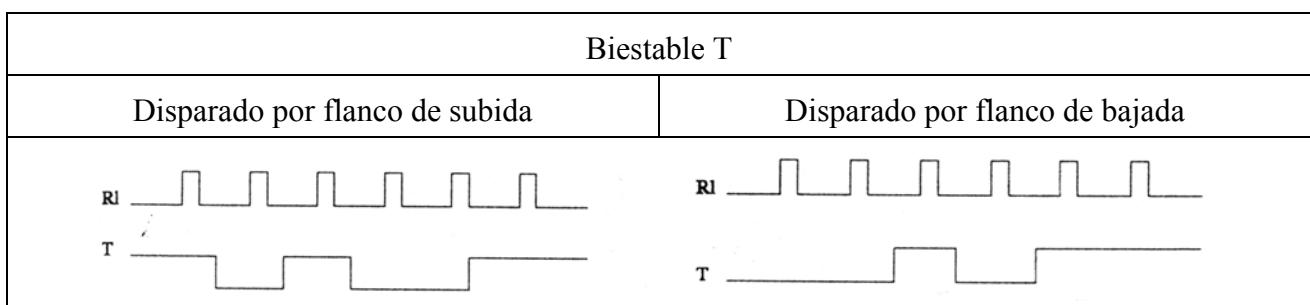
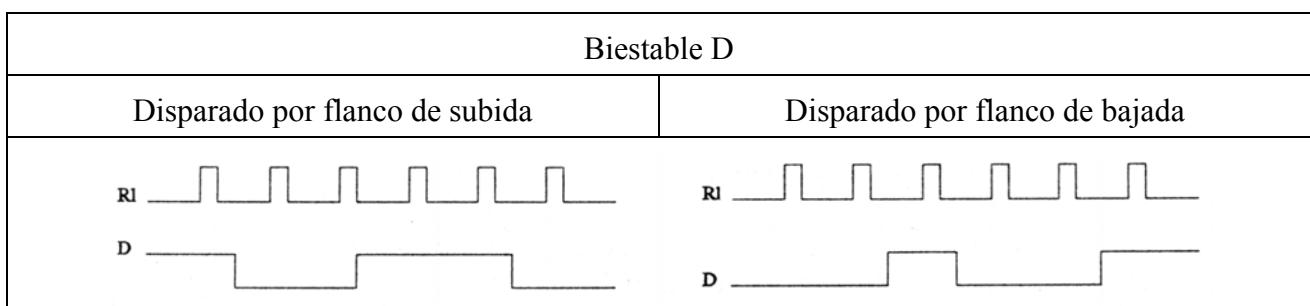
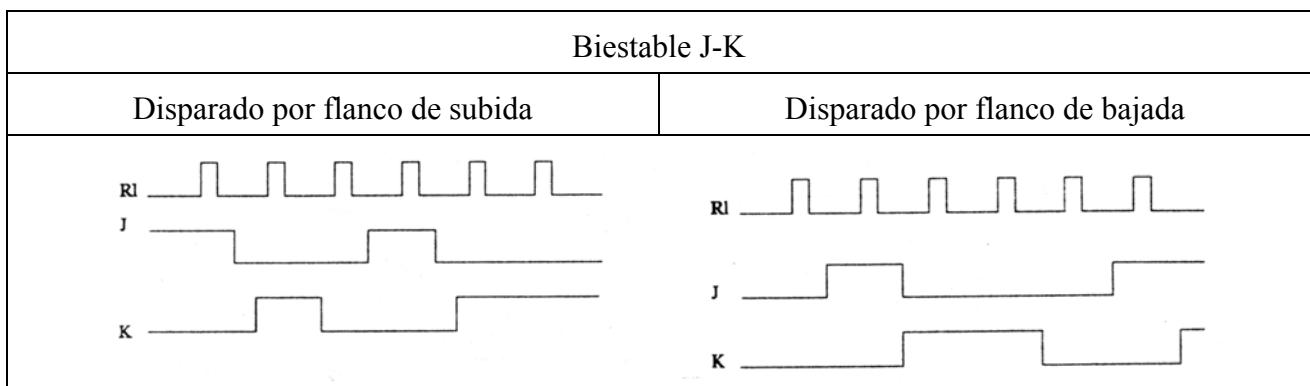
Página 1 de 3

Relación de ejercicios

Temas 9 y 10: Diseño Secuencial: Registros y Contadores

Ejercicio 1

Obtener el cronograma de la salida Q para las señales de entrada representadas en las figuras siguientes:



Ejercicio 2

Utilizando tantos registros de desplazamiento circular de cuatro bits como sean necesarios, diseñar un sistema que genere ininterrumpidamente la secuencia 3, 5, 0, 7. Los registros de desplazamiento deben ser inicializados correctamente a través de las entradas asincrónicas antes de que comience la generación de la secuencia.

FUNDAMENTOS Y ESTRUCTURA DE COMPUTADORES

1º G. I. Informática

Relación de ejercicios

Temas 9 y 10: Diseño Secuencial: Registros y Contadores

Ejercicio 3

Diseñar un registro de desplazamiento de 4 bits que, dependiendo de dos señales de control S_1 y S_0 , realice las siguientes operaciones:

S_1	S_0	Operación
0	0	Bloqueo
0	1	Carga serie
1	0	Complemento de su contenido
1	1	Puesta a cero

Ejercicio 4

Diseñar un registro de desplazamiento de 4 bits que, dependiendo de dos señales de control S_1 y S_0 , realice las siguientes operaciones:

S_1	S_0	Operación
0	0	Bloqueo
0	1	Carga paralela
1	0	Desplazamiento a la derecha
1	1	Puesta a uno

Ejercicio 5

Diseñar un contador síncrono módulo 5 descendente. Sintetizarlo utilizando tanto biestables tipo J-K como tipo D.

Ejercicio 6

Diseñar un contador síncrono módulo 7 ascendente/descendente con biestables tipo D.

Ejercicio 7

Utilizando biestables tipo T diseñar un contador ascendente/descendente módulo 6 con salida de acarreo.

Ejercicio 8

Diseñar un contador binario síncrono ascendente módulo 8 con una entrada de inicio o reset síncrona. Sintetizarlo utilizando biestables tipo T.

FUNDAMENTOS Y ESTRUCTURA DE COMPUTADORES

1º G. I. Informática

Curso 2010 – 2011

Página 3 de 3

Relación de ejercicios

Temas 9 y 10: Diseño Secuencial: Registros y Contadores

Ejercicio 9

Diseñar un contador síncrono de tres bits que, dependiendo de una señal de control IP, realice la cuenta de números impares cuando $IP = 0$ (1,3,5,7) y de números pares cuando $IP = 1$ (0,2,4,6). Sintetizarlo utilizando biestables tipo D.

Ejercicio 10

Utilizando biestables J-K diseñar un contador síncrono modulo 3 que tenga además dos señales de control síncronas de *enable* (E) y *reset* (R). Cuando $E = 1$ el contador cuenta y cuando $E = 0$ mantiene la cuenta que tenga en ese momento hasta que E valga de nuevo 1, momento en el que continúa la cuenta. Cuando $R = 0$ el contador debe volver al estado inicial.

Ejercicio 11

Diseñar un contador síncrono ascendente módulo 4 con una entrada de *reset* (R) síncrona, otra de *enable* (E) y otra de reset asíncrono. Dotar al contador de salida de acarreo. Sintetizarlo utilizando biestables tipo D.

Ejercicio 12

Diseñar un contador binario módulo 4 con dos entradas síncronas S_1 y S_0 , salida de acarreo y una entrada asíncrona de Reset. Implementarlo utilizando biestables tipo T. Las señales S_1 y S_0 indican el modo de funcionamiento del contador según la siguiente tabla:

S_1	S_0	Operación
0	0	Cuenta par
0	1	Cuenta impar
1	0	Inhabilitación de cuenta
1	1	Reset síncrono

Ejercicio 13

Obtener un biestable tipo D a partir de uno tipo T.

Ejercicio 14

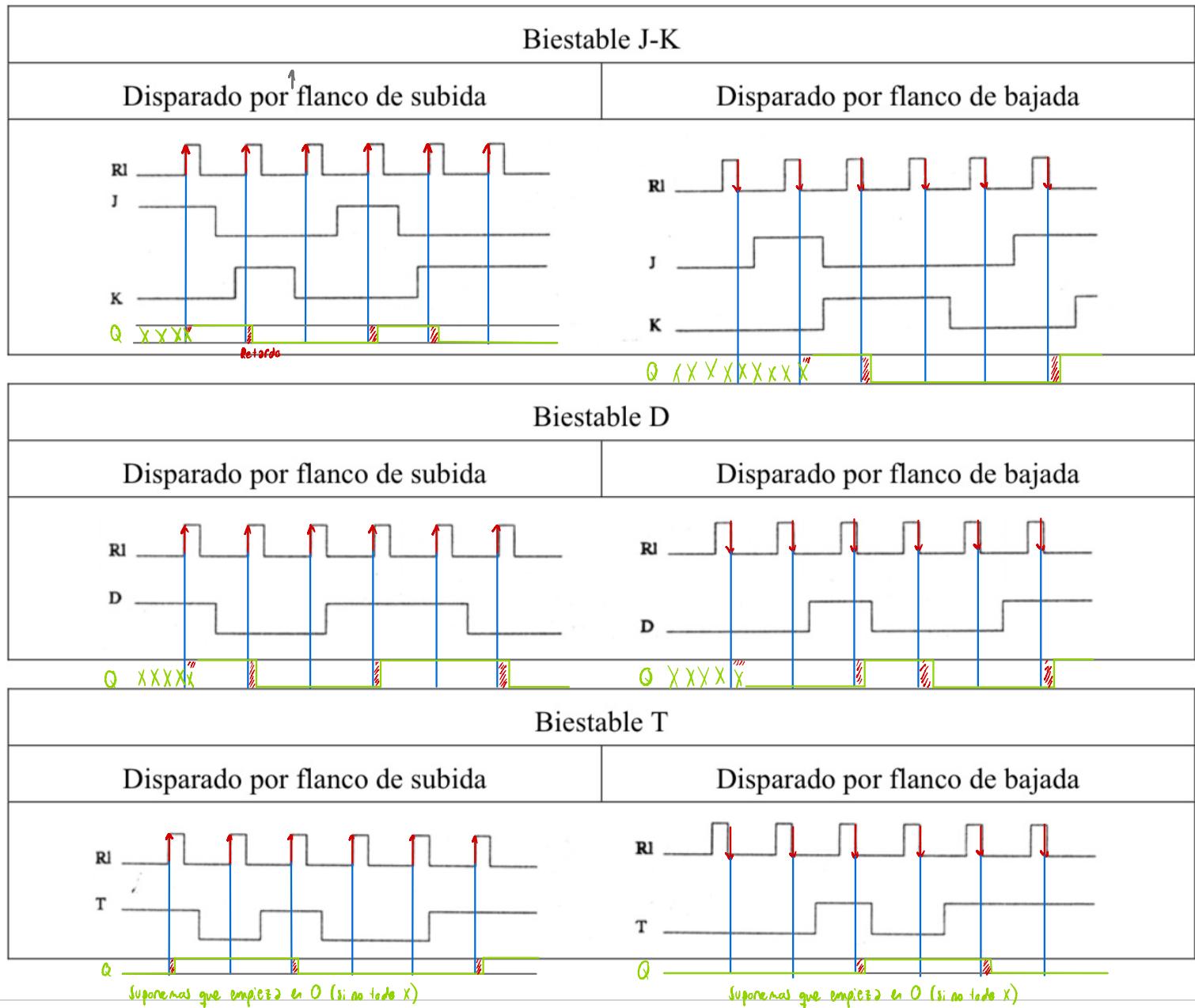
Obtener un biestable tipo J-K a partir de uno tipo D.

Ejercicio 15

Obtener un biestable tipo J-K a partir de uno tipo S-R.

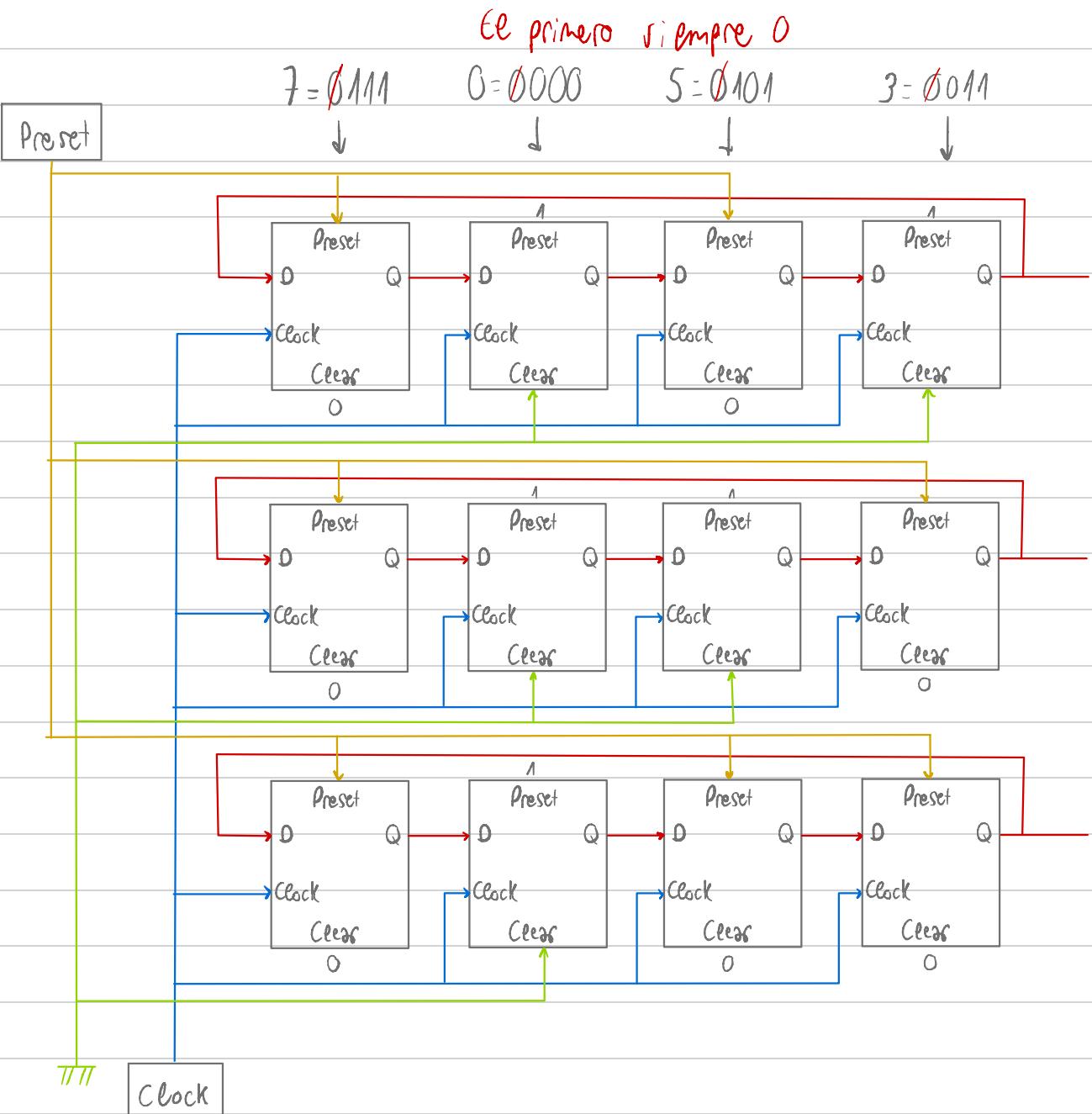
Ejercicio 1

Obtener el cronograma de la salida Q para las señales de entrada representadas en las figuras siguientes:



Ejercicio 2

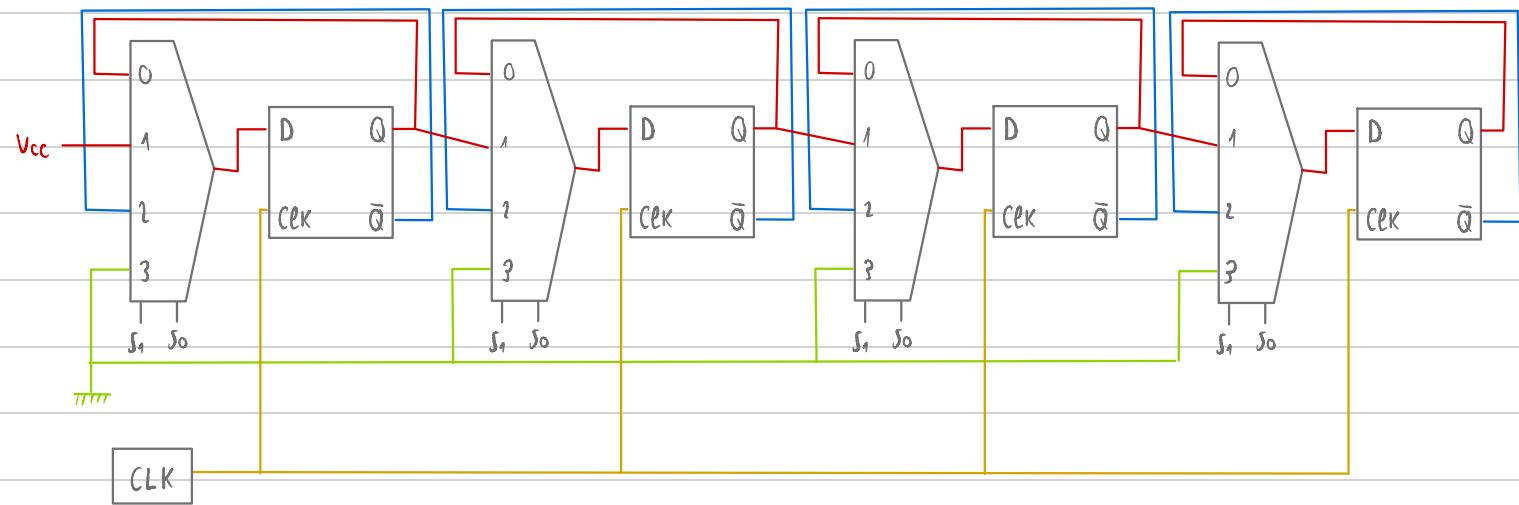
Utilizando tantos registros de desplazamiento circular de cuatro bits como sean necesarios, diseñar un sistema que genere ininterrumpidamente la secuencia 3, 5, 0, 7. Los registros de desplazamiento deben ser inicializados correctamente a través de las entradas asincrónas antes de que comience la generación de la secuencia.



Ejercicio 3

Diseñar un registro de desplazamiento de 4 bits que, dependiendo de dos señales de control S_1 y S_0 , realice las siguientes operaciones:

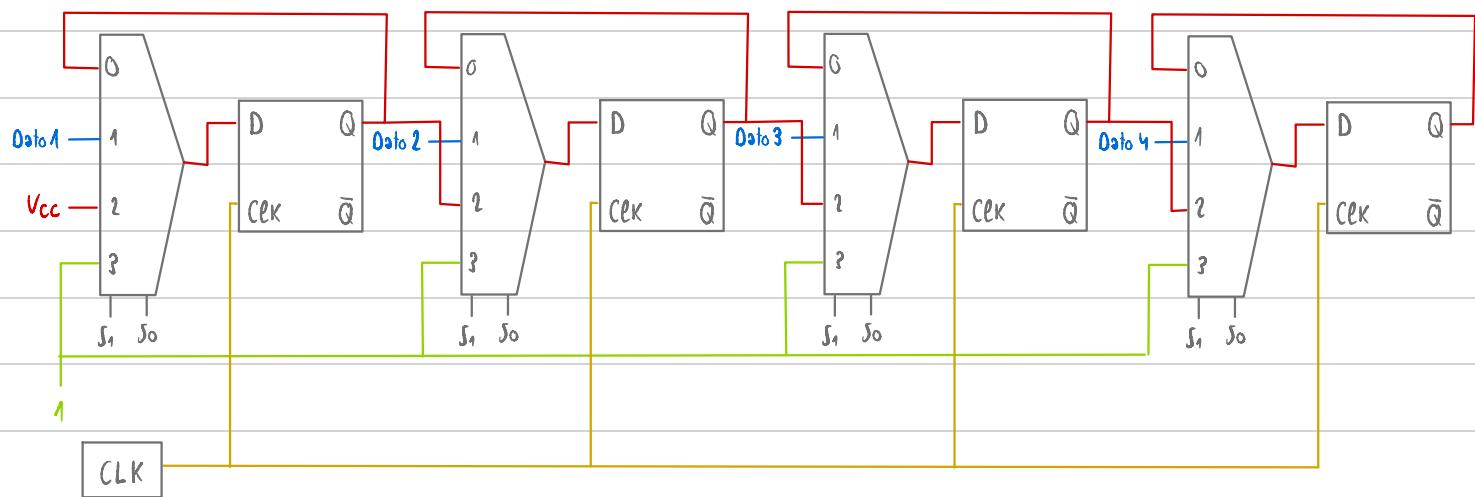
S_1	S_0	Operación
0	0	Bloqueo
0	1	Carga serie
1	0	Complemento de su contenido
1	1	Puesta a cero



Ejercicio 4

Diseñar un registro de desplazamiento de 4 bits que, dependiendo de dos señales de control S_1 y S_0 , realice las siguientes operaciones:

S_1	S_0	Operación
0	0	Bloqueo
0	1	Carga paralela
1	0	Desplazamiento a la derecha
1	1	Puesta a uno



Ejercicio 5

Diseñar un contador síncrono módulo 5 descendente. Sintetizarlo utilizando tanto biestables tipo J-K como tipo D.

Q_n	S_{n+1}	Q_n	Q_{n+1}	J-K					
S_0	S_4	$Q_2 Q_1 Q_0$	$Q_2' Q_1' Q_0'$	J_2	K_2	J_1	K_1	J_0	K_0
S_0	S_0	000	100	1	-	0	-	0	-
S_1	S_1	001	000	0	-	0	-	-	1
S_2	S_1	010	001	0	-	-	1	1	-
S_3	S_2	011	010	0	-	-	0	-	1
S_4	S_3	100	011	-	1	1	-	1	-

Q_n	Q_{n+1}	J	K	Q_2	Q_1	Q_0
0	0	0	-	1	1	0
0	1	1	-	1	1	1
1	0	-	1	-	-	-
1	1	-	0	-	-	-

J_2	$Q_2 Q_0$	00	01	11	10
0	1	0	0	0	-
1	-	-	-	-	-

$$J_2 = \overline{Q_1 Q_0}$$

K_2	$Q_2 Q_0$	00	01	11	10
0	-	-	-	-	-
1	1	-	-	-	-

$$K_2 = 1$$

J_1	$Q_2 Q_0$	00	01	11	10
0	0	0	-	-	-
1	1	-	-	-	-

$$J_1 = Q_2$$

K_1	$Q_2 Q_0$	00	01	11	10
0	-	-	0	1	-
1	-	-	-	-	-

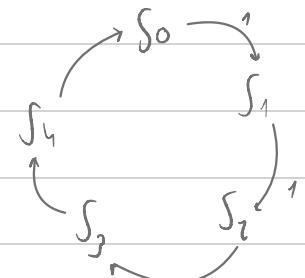
$$K_1 = \overline{Q_0}$$

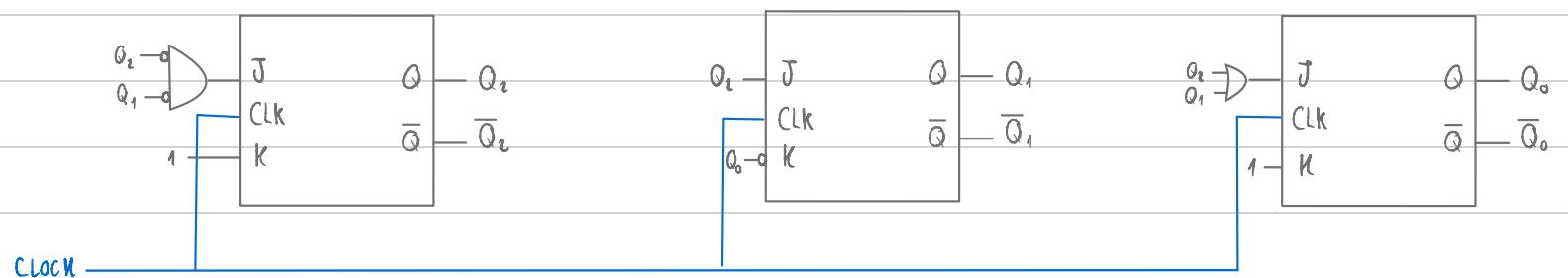
J_0	$Q_2 Q_0$	00	01	11	10
0	0	-	-	1	-
1	1	-	-	-	-

$$J_0 = Q_1 + Q_0$$

K_0	$Q_2 Q_0$	00	01	11	10
0	-	1	1	-	-
1	-	-	-	-	-

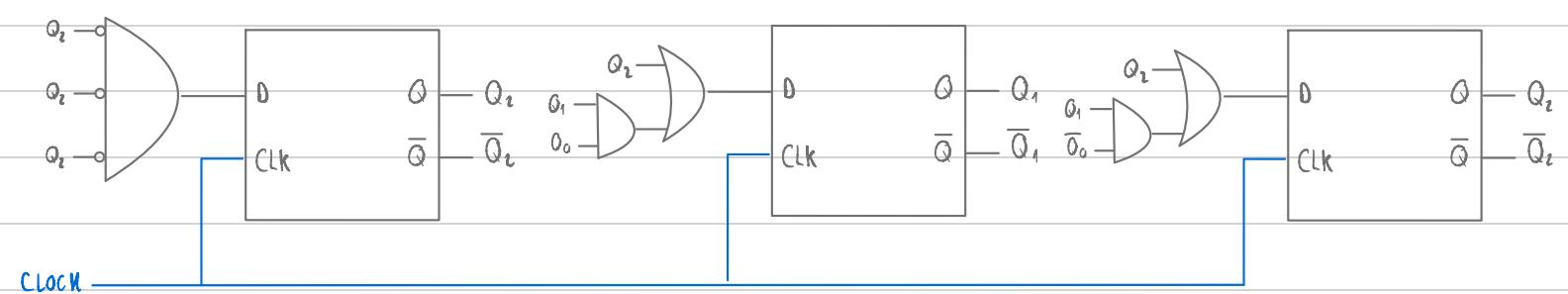
$$K_0 = 1$$





Q_n	Q_{n+1}	D_2	00	01	11	10
S_0	S_4	0	1	0	0	0
S_1	S_0	1	0	-	-	-
S_2	S_1	$D_2 = \overline{Q_2 Q_0 Q_0}$				
S_3	S_1					
S_4	S_3	D_1	00	01	11	10
			0	0	0	1

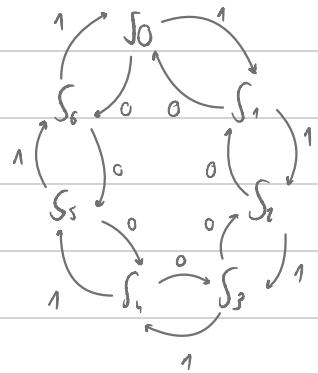
Q_n	Q_{n+1}	D_1	1	1	-	-	-
$Q_2 Q_1 Q_0$	$D_2 D_1 D_0$	$D_1 = Q_2 + Q_1 Q_0$					
000	100						
001	000	D_0	00	01	11	10	
010	001	0	0	0	0	1	
011	010	1	1	-	-	-	
100	011	$D_0 = Q_1 + Q_1 \bar{Q}_0$					
101	-						
110	-						
111	-						



Ejercicio 6

Diseñar un contador síncrono módulo 7 ascendente/descendente con biestables tipo D.

Q_n	Q_{n+1}		Q_n	Q_{n+1}	
	$h=0$	$h=1$		$h=0$	$h=1$
S_0	S_6	S_1	$Q_2 Q_1 Q_0$	$Q_2 Q_1 Q_0$	$Q_2 Q_1 Q_0$
S_1	S_0	S_2	0 0 0	1 1 0	0 0 1
S_2	S_1	S_3	0 0 1	0 0 0	0 1 0
S_3	S_2	S_4	0 1 0	0 0 1	0 1 1
S_4	S_3	S_5	0 1 1	0 1 0	1 0 0
S_5	S_4	S_6	1 0 0	0 1 1	1 0 1
S_6	S_5	S_0	1 0 1	1 0 0	1 1 0
S_7	- S_0	- S_0	1 1 0	1 0 1	0 0 0
			1 1 1	0 0 0	0 0 0



$D_2 \ h \bar{Q}_2^{Q_1 Q_0}$	00	01	11	10
00	1	0	0	0
01	0	1	0	1
11	1	1	0	0
10	0	0	1	0

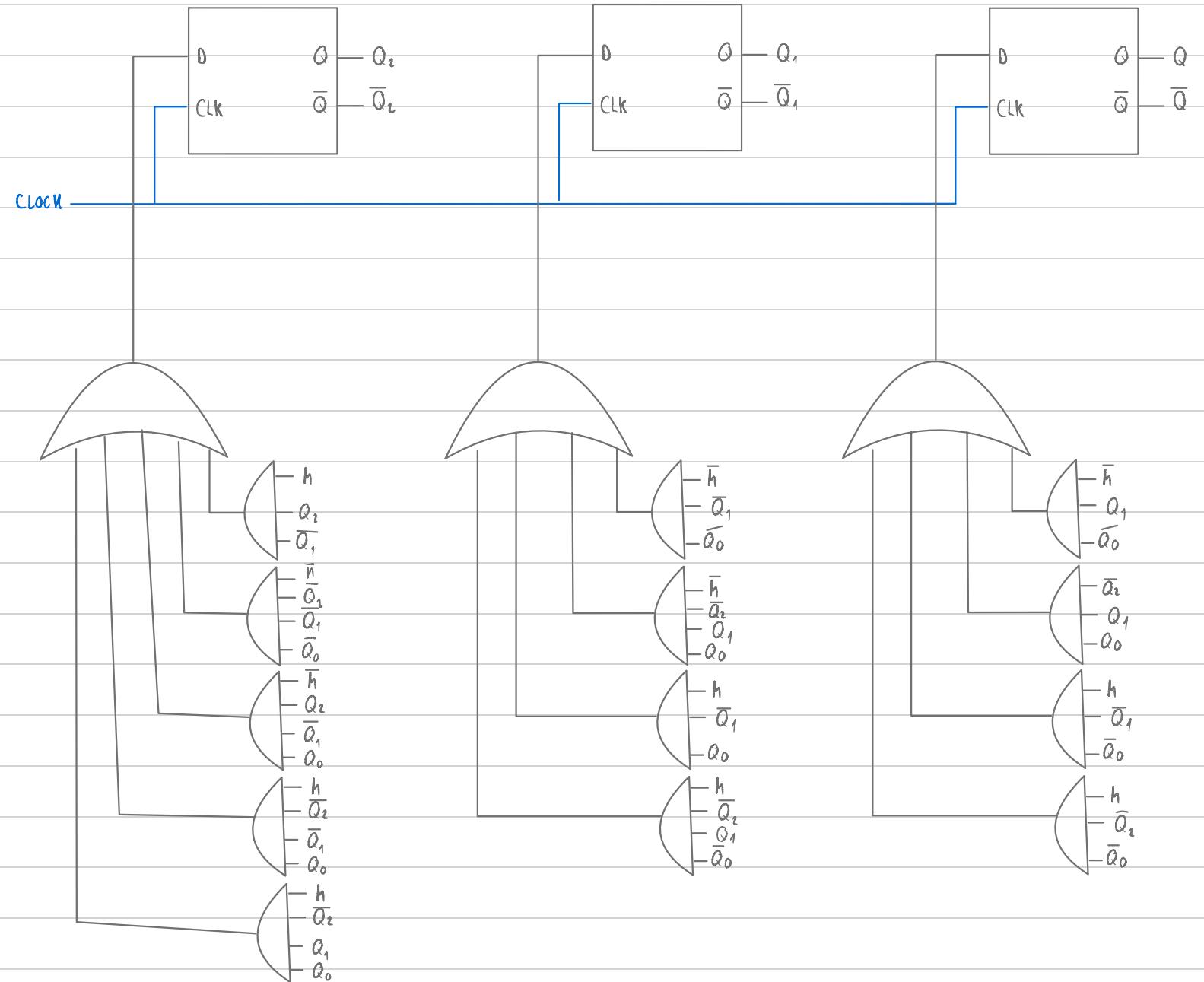
$D_1 \ h \bar{Q}_2^{Q_1 Q_0}$	00	01	11	10
00	1	0	1	0
01	1	0	0	0
11	0	1	0	0
10	0	1	0	1

$$D_2 = \bar{h} Q_2 \bar{Q}_1 + \bar{h} Q_2 Q_1 Q_0 + \bar{h} Q_2 \bar{Q}_1 Q_0 + \bar{h} \bar{Q}_2 Q_0 + h \bar{Q}_2 Q_1 Q_0$$

$$D_1 = \bar{h} Q_2 Q_0 + \bar{h} Q_2 Q_1 Q_0 + h \bar{Q}_2 Q_0 + h \bar{Q}_2 Q_1 Q_0$$

$D_0 \ h \bar{Q}_2^{Q_1 Q_0}$	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	1	0	0	0
10	1	0	0	1

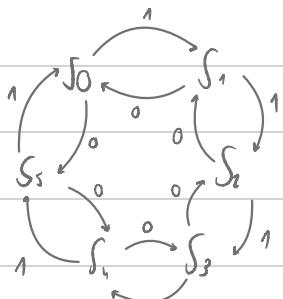
$$D_0 = \bar{h} Q_2 \bar{Q}_1 + Q_2 \bar{Q}_1 Q_0 + h \bar{Q}_2 Q_0 + h \bar{Q}_2 Q_1 Q_0$$



Ejercicio 7

Utilizando biestables tipo T diseñar un contador ascendente/descendente módulo 6 con salida de acarreo.

Q_n	Q_{n+1}	
	$t=0$	$t=1$
S_0	S_5	S_1
S_1	S_0	S_2
S_2	S_1	S_3
S_3	S_2	S_4
S_4	S_3	S_5
S_5	S_4	S_0
S_6	- S_0	- S_0
S_7	- S_0	- S_0



Q_n	Q_{n+1}		Acarreo		T		
	$t=0$	$t=1$	$t=0$	$t=1$	$t=0$	$t=1$	
$Q_2\ Q_1\ Q_0$	$Q_2\ Q_1\ Q_0$	$Q_2\ Q_1\ Q_0$			T_2	T_1	T_0
0 0 0	1 0 1	0 0 1	1	0	1	0	1
0 0 1	0 0 0	0 1 0	0	0	0	0	1
0 1 0	0 0 1	0 1 1	0	0	0	1	1
0 1 1	0 1 0	1 0 0	0	0	0	0	1
1 0 0	0 1 1	1 0 1	0	0	1	1	1
1 0 1	1 0 0	0 0 0	0	1	0	0	1
1 1 0	0 0 0	0 0 0	0	0	1	1	0
1 1 1	0 0 0	0 0 0	0	0	1	1	1

T_2	$\bar{Q}_2 Q_0$	00	01	11	10
00	1	0	0	0	
01	1	0	1	1	
11	0	1	1	1	
10	0	0	1	0	

$$T_2 = \bar{Q}_2 Q_0 + Q_2 Q_1 + \bar{Q}_2 Q_0 + \bar{Q}_2 Q_0$$

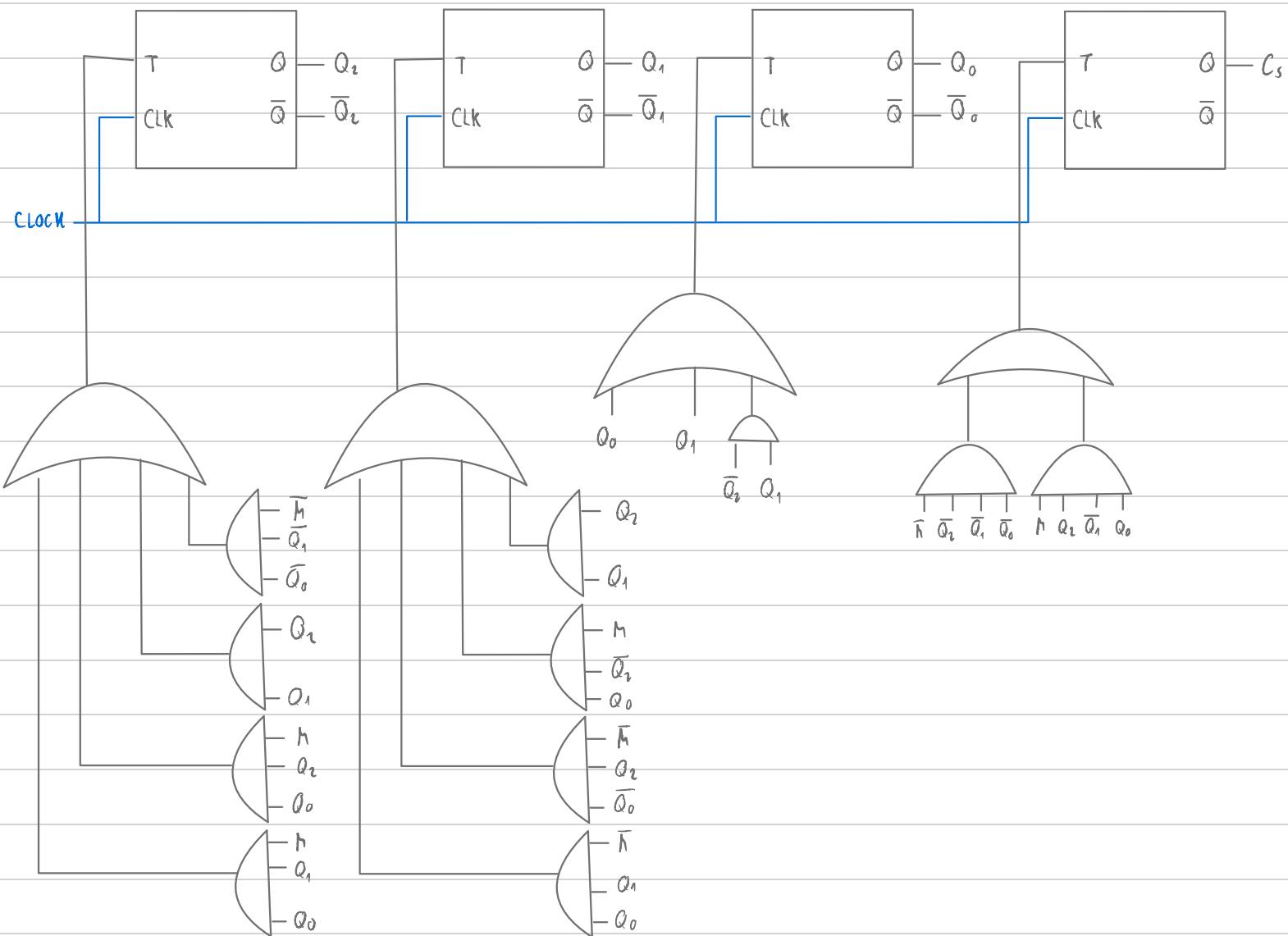
T_0	$\bar{Q}_2 Q_0$	00	01	11	10
00	1	1	1	1	
01	1	1	1	0	
11	1	1	1	0	
10	1	1	1	1	

$$T_0 = \bar{Q}_1 + Q_0 + \bar{Q}_2 Q_1$$

T_1	$\bar{Q}_2 Q_0$	00	01	11	10
00	0	0	0	0	1
01	1	0	1	1	1
11	0	0	1	1	1
10	0	1	1	0	

$$T_1 = Q_2 Q_1 + \bar{Q}_2 Q_0 + \bar{Q}_2 \bar{Q}_1 + \bar{Q}_2 \bar{Q}_0$$

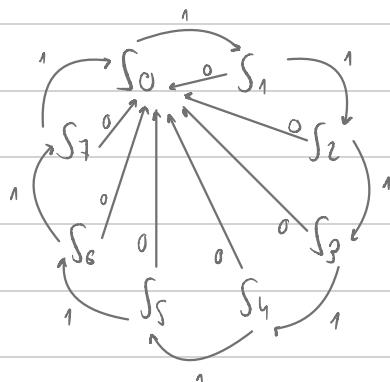
$$\text{Accrero} = \bar{M} Q_2 Q_1 Q_0 + M Q_2 \bar{Q}_1 Q_0$$



Ejercicio 8

Diseñar un contador binario síncrono ascendente módulo 8 con una entrada de inicio o reset síncrona. Sintetizarlo utilizando biestables tipo T.

Q_n	Q_{n+1}	
	$RS = 0$	$RS = 1$
S_0	S_1	S_0
S_1	S_2	S_0
S_2	S_3	S_0
S_3	S_4	S_0
S_4	S_5	S_0
S_5	S_6	S_0
S_6	S_7	S_0
S_7	S_0	S_0



Q_n	Q_{n+1}		T		
	$RS = 0$	$RS = 1$	$RS = 0$	$RS = 1$	
$Q_2\ Q_1\ Q_0$	$Q_2\ Q_1\ Q_0$	$Q_2\ Q_1\ Q_0$	$T_2\ T_1\ T_0$	$T_2\ T_1\ T_0$	
0 0 0	0 0 1	0 0 0	0 0 1	0 0 0	
0 0 1	0 1 0	0 0 0	0 1 1	0 0 1	
0 1 0	0 1 1	0 0 0	0 0 1	0 1 0	
0 1 1	1 0 0	0 0 0	1 1 1	0 1 1	
1 0 0	1 0 1	0 0 0	0 0 1	1 0 0	
1 0 1	1 1 0	0 0 0	0 1 1	1 0 1	
1 1 0	1 1 1	0 0 0	0 0 1	1 1 0	
1 1 1	0 0 0	0 0 0	1 1 1	1 1 1	

T_2	$\bar{Q}_1 Q_0$	00	01	11	10
00	0	0	1	0	
01	0	0	1	0	
11		1	1	1	1
10	0	0	0	0	

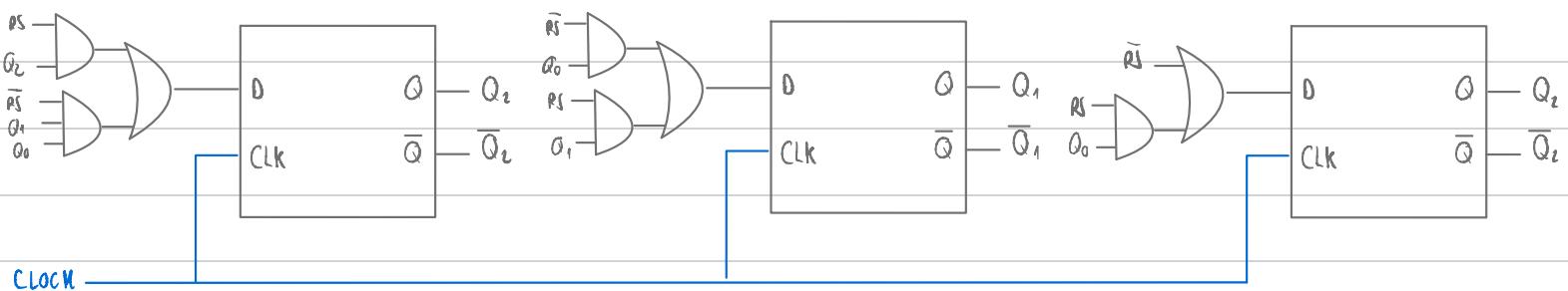
$$T_2 = \bar{R}S\bar{Q}_2 + \bar{R}\bar{S}Q_1 Q_0$$

T_1	$\bar{Q}_1 Q_0$	00	01	11	10
00	0	1	1	0	
01	0	1	1	0	
11	0	0	1	1	
10	0	0	1	1	

$$T_1 = \bar{R}\bar{S}Q_0 + R\bar{S}Q_1$$

T_0	$\bar{R}Q_2$	00	01	11	10
00		1	1	1	1
01		1	1	1	1
11	0	1	1	0	
10	0	1	1	0	

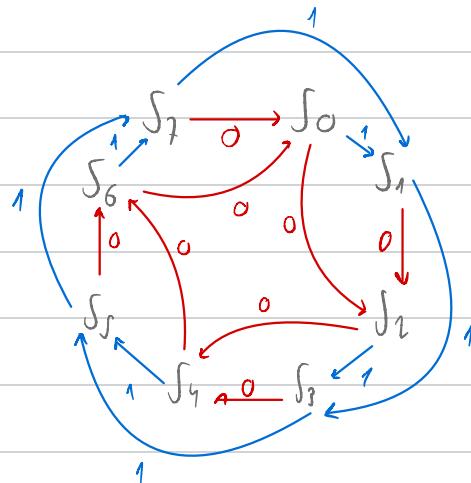
$$T_0 = \bar{R} + \bar{R}S\bar{Q}_0$$



Ejercicio 9

Diseñar un contador síncrono de tres bits que, dependiendo de una señal de control IP, realice la cuenta de números impares cuando $IP = 0$ (1,3,5,7) y de números pares cuando $IP = 1$ (0,2,4,6). Sintetizarlo utilizando biestables tipo D.

Q_n	Q_{n+1}	
	$IP = 0$	$IP = 1$
S_0	S_2	S_1
S_1	S_2	S_3
S_2	S_1	S_2
S_3	S_4	S_5
S_4	S_6	S_5
S_5	S_6	S_7
S_6	S_0	S_7
S_7	S_0	S_1



$$T_2 \underset{IP Q_2}{=} \cancel{Q_1 Q_0} \quad 00 \quad 01 \quad 11 \quad 10$$

Q_n	Q_{n+1}				
	$IP = 0$	$IP = 1$			
$Q_2 \quad Q_1 \quad Q_0$	$D_2 \quad D_1 \quad D_0$	$D_2 \quad D_1 \quad D_0$			
0 0 0	0 1 0	0 0 1			
0 0 1	0 1 0	0 1 1			
0 1 0	1 0 0	0 1 1			
0 1 1	1 0 0	1 0 1			
1 0 0	1 1 0	1 0 1			
1 0 1	1 1 0	1 1 1			
1 1 0	0 0 0	1 1 1			
1 1 1	0 0 0	0 0 1			

$$T_2 = Q_2 \bar{Q}_1 + \bar{I}P Q_2 Q_1 + I P Q_2 Q_1 \bar{Q}_0 + I P \bar{Q}_2 Q_1 Q_0$$

$$T_1 \underset{IP Q_2}{=} \cancel{Q_1 Q_0} \quad 00 \quad 01 \quad 11 \quad 10$$

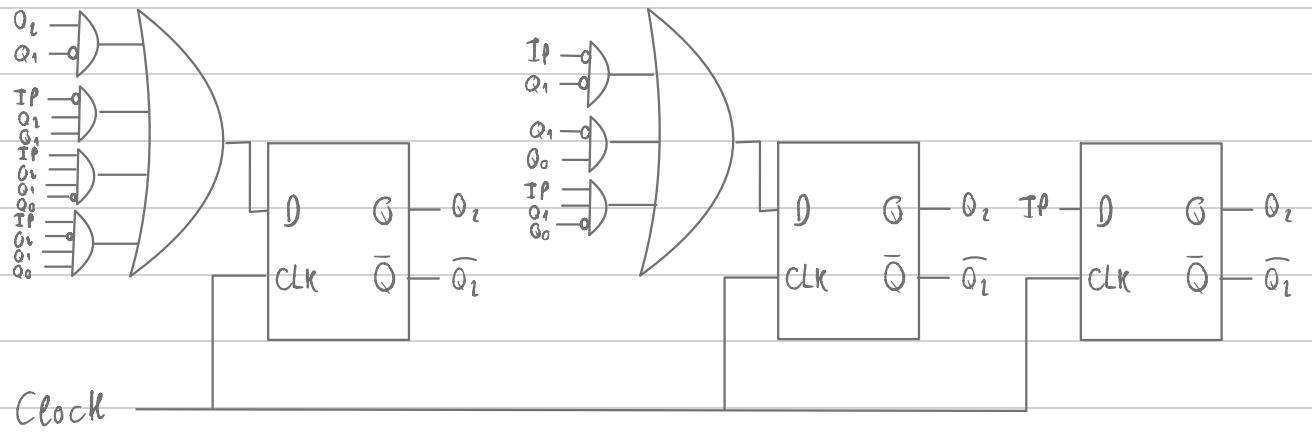
	$IP Q_2$	00	01	11	10
0 0 0	0 0	1 1	0 0	0 0	0 0
0 0 1	0 1	1 1	0 1	0 0	0 0
0 1 0	1 0	0 1	1 1	0 1	0 1
0 1 1	1 1	0 0	1 1	1 1	1 1
1 0 0	1 1	0 0	1 1	0 0	0 0
1 0 1	1 1	0 1	1 0	0 1	0 1
1 1 0	0 0	1 1	1 0	0 1	0 1
1 1 1	0 0	0 0	1 1	1 1	1 1

$$T_1 = \bar{I}P Q_1 + \bar{Q}_1 Q_0 + I P Q_1 \bar{Q}_0$$

$$T_0 \underset{IP Q_2}{=} \cancel{Q_1 Q_0} \quad 00 \quad 01 \quad 11 \quad 10$$

	$IP Q_2$	00	01	11	10
0 0 0	0 0	0 0	0 0	0 0	0 0
0 0 1	0 1	0 0	0 0	0 0	0 0
0 1 0	1 0	0 1	1 1	1 1	1 1
0 1 1	1 1	0 0	1 1	1 1	1 1
1 0 0	1 1	0 0	1 1	0 0	0 0
1 0 1	1 1	0 1	1 0	0 1	0 1
1 1 0	0 0	1 1	1 1	0 1	0 1
1 1 1	0 0	0 0	1 1	1 1	1 1

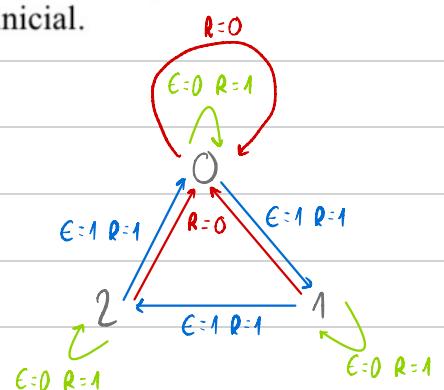
$$T_0 = IP$$



Ejercicio 10

Utilizando biestables J-K diseñar un contador síncrono modulo 3 que tenga además dos señales de control síncronas de *enable* (E) y *reset* (R). Cuando E = 1 el contador cuenta y cuando E = 0 mantiene la cuenta que tenga en ese momento hasta que E valga de nuevo 1, momento en el que continúa la cuenta. Cuando R = 0 el contador debe volver al estado inicial.

Q_n	Q_{n+1}			
	$E=0 \ R=0$	$E=0 \ R=1$	$E=1 \ R=1$	$E=1 \ R=0$
S_0	S_0	S_0	S_1	S_0
S_1	S_0	S_1	S_2	S_0
S_2	S_0	S_2	S_0	S_0
S_3	$-S_0$	$-S_0$	$-S_0$	$-S_0$



Q_n	Q_{n+1}			
	$E=0 \ R=0$	$E=0 \ R=1$	$E=1 \ R=1$	$E=1 \ R=0$
$Q_1 \ Q_0$				
0 0	0 0	0 0	0 1	0 0
0 1	0 0	0 1	1 0	0 0
1 0	0 0	1 0	0 0	0 0
1 1	0 0	0 0	0 0	0 0

$J_1: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	0 0	-	-	
01	0 0	-	-	
11	0 1	-	-	
10	0 0	-	-	

$K_1: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	-	-	1	1
01	-	-	1	0
11	-	-	1	1
10	-	-	1	1

$$J_1: E R Q_0$$

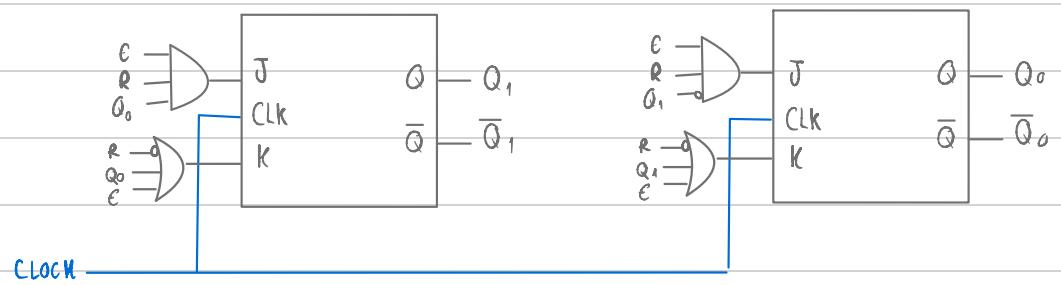
$$K_1: \bar{R} + Q_0 + E$$

$J_0: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	0	-	0	-
01	0	-	0	-
11	1	-	0	-
10	0	-	0	-

$K_0: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	-	1	-	1
01	-	0	-	1
11	-	1	-	1
10	-	1	-	1

$$J_0: E Q_1 \bar{Q}_0$$

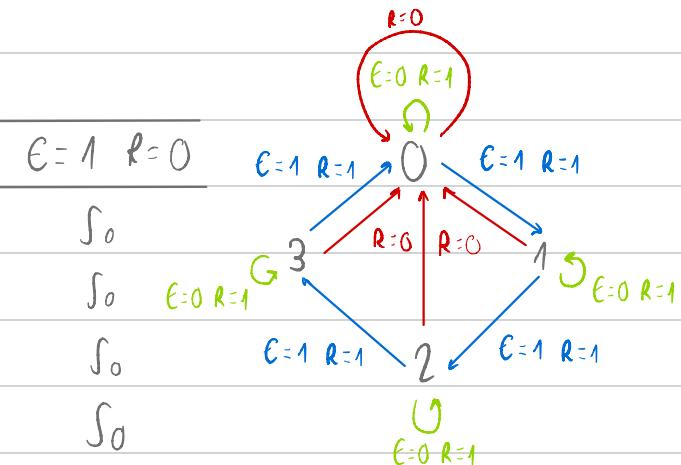
$$K_0: \bar{R} + Q_1 + E$$



Ejercicio 11

Diseñar un contador síncrono ascendente módulo 4 con una entrada de *reset* (R) síncrona, otra de *enable* (E) y otra de *reset* asíncrono. Dotar al contador de salida de acarreo. Sintetizarlo utilizando biestables tipo D.

Q_n	Q_{n+1}			
	$E=0 R=0$	$E=0 R=1$	$E=1 R=1$	$E=1 R=0$
S_0	S_0	S_0	S_1	S_0
S_1	S_0	S_1	S_2	S_0
S_2	S_0	S_2	S_3	S_0
S_3	S_0	S_3	S_0	S_0



Q_n	Q_{n+1}				Acarreo			
	$E=0 R=0$	$E=0 R=1$	$E=1 R=1$	$E=1 R=0$	$E=0 R=0$	$E=0 R=1$	$E=1 R=1$	$E=1 R=0$
$Q_1 Q_0$	$D_1 D_0$	$D_1 D_0$	$D_1 D_0$	$D_1 D_0$				
0 0	0 0	0 0	0 1	0 0	0	0	0	0
0 1	0 0	0 1	1 0	0 0	0	0	0	0
1 0	0 0	1 0	1 1	0 0	0	0	0	0
1 1	0 0	1 1	0 0	0 0	0	0	1	0

$D_1: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	0 0 0 0			
01	0 0 1 1	1 1		
11	0 1 0 1		1 1	
10	0 0 0 0			1

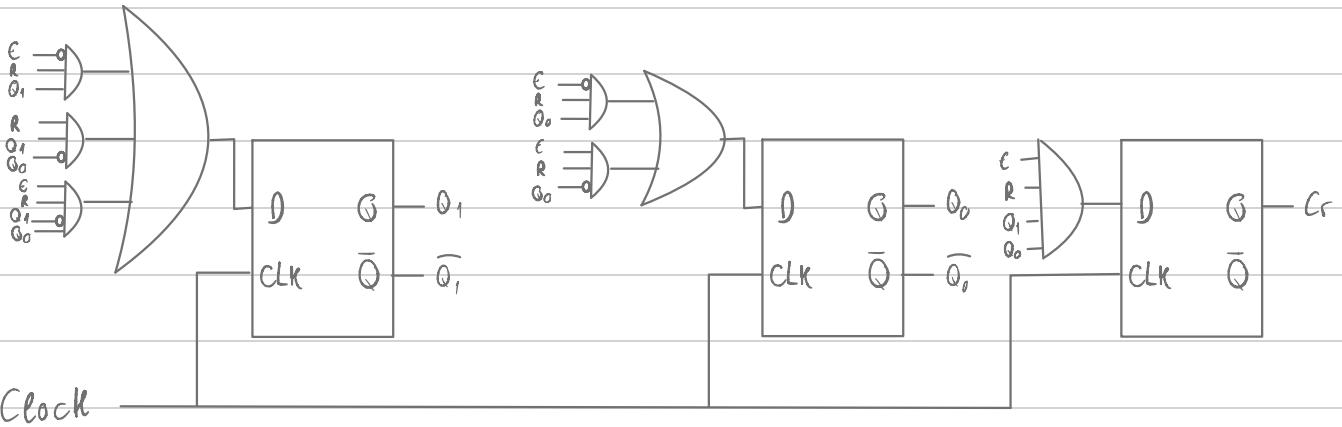
$D_0: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	0 0 0 0			
01	0 1 1 0	1 1		
11	1 0 0 1		0 0	1
10	0 0 0 0			0

$$D_1 = \overline{E}RQ_1 + RQ_0\overline{Q}_0 + \overline{E}R\overline{Q}_1Q_0$$

$$D_0 = \overline{E}RQ_0 + \overline{E}R\overline{Q}_0$$

$C_S: \frac{Q_1 Q_0}{ER}$	00	01	11	10
00	0 0 0 0			
01	0 0 0 0			
11	0 0 1 0			
10	0 0 0 0			

$$C_S = ERQ_1Q_0$$



Q_n	Q_{n+1}	Q_n	Q_{n+1}	$A02(C\bar{r}e0)$
	$E=0$ $E=1$		$E=0$ $E=1$	$E=0$ $E=1$
S_0	S_0	S_1	S_1 S_0	S_1 S_0
S_1	S_1	S_2	0 0	0 0
S_2	S_2	S_3	0 1	0 1
S_3	S_3	S_0	1 0	1 1
			1 0	0 0
			1 1	0 1

$E=0$ $E=1$ $C=1$ $C=0$
 $E=0$ $G3$ $E=1$ $E=0$
 $E=1$ $E=1$ $E=1$ $E=0$
 $E=1$ $E=1$ $E=0$ $E=0$

$D_1: E^{Q_1, Q_0}$	00	01	11	10
0	0	0	1	1
1	0	1	0	1

$$D_1 = \bar{E} Q_1 + Q_1 \bar{Q}_0 + E \bar{Q}_1 Q_0$$

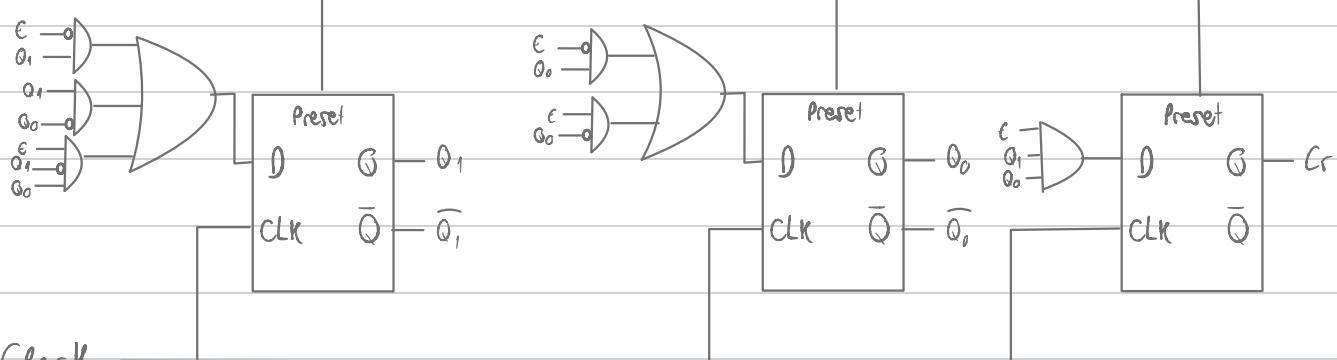
$D_0: E^{Q_1, Q_0}$	00	01	11	10
0	0	0	1	1
1	1	1	0	0

$$D_0 = \bar{E} Q_0 + E \bar{Q}_0$$

$C_f: E^{Q_1, Q_0}$	00	01	11	10
0	0	0	0	0
1	0	0	1	0

$$C_S = E Q_1 Q_0$$

≡

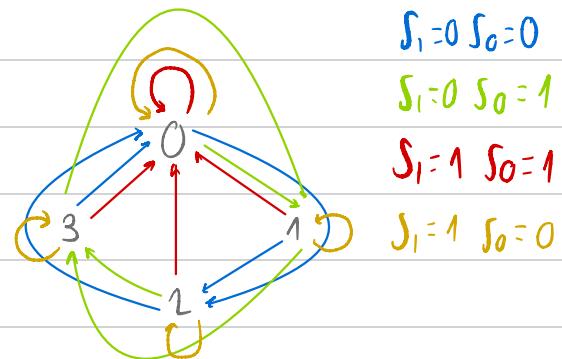


Ejercicio 12

Diseñar un contador binario módulo 4 con dos entradas síncronas S_1 y S_0 , salida de acarreo y una entrada asíncrona de Reset. Implementarlo utilizando biestables tipo T. Las señales S_1 y S_0 indican el modo de funcionamiento del contador según la siguiente tabla:

S_1	S_0	Operación
0	0	Cuenta par
0	1	Cuenta impar
1	0	Inhabilitación de cuenta
1	1	Reset síncrono

Q_n	Q_{n+1}			
	$S_1=0 S_0=0$	$S_1=0 S_0=1$	$S_1=1 S_0=1$	$S_1=1 S_0=0$
S_0	S_2	S_1	S_0	S_0
S_1	S_2	S_3	S_0	S_1
S_2	S_0	S_3	S_0	S_1
S_3	S_0	S_1	S_0	S_0



Q_n	Q_{n+1}				Acarreo			
	$S_1=0 S_0=0$	$S_1=0 S_0=1$	$S_1=1 S_0=1$	$S_1=1 S_0=0$	$S_1=0 S_0=0$	$S_1=0 S_0=1$	$S_1=1 S_0=1$	$S_1=1 S_0=0$
$Q_1 Q_0$	$Q_1 Q_0$	$Q_1 Q_0$	$Q_1 Q_0$	$Q_1 Q_0$	0	0	0	0
0 0	1 0	0 1	0 0	0 0	0	0	0	0
0 1	1 0	1 1	0 0	0 1	0	0	0	0
1 1	0 0	0 1	0 0	1 1	1	0	1	0
1 0	0 0	1 1	0 0	1 0	0	0	0	0

Acarreo

$S_1=0 S_0=0$	$S_1=0 S_0=1$	$S_1=1 S_0=1$	$S_1=1 S_0=0$		
T_1	T_0	T_1	T_0	T_1	T_0
1	0	0	1	0	0
1	1	1	0	0	1
1	1	1	0	1	0
1	0	0	1	1	0

T_1	$S_1 S_0$	00	01	11	10
		1	1 1 1		
		0	1 1 0		
		0	0 1 1		
		0	0 0 0		

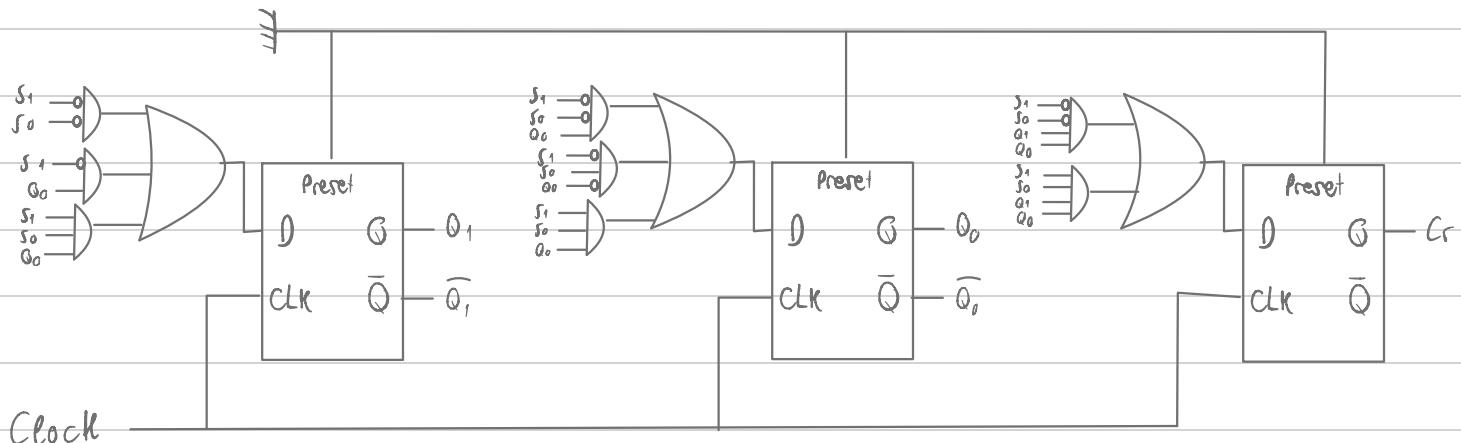
$$T_1 = \overline{S_1 S_0} + \overline{S_1} Q_0 + S_1 S_0 Q_0$$

T_0	$S_1 S_0$	00	01	11	10
		0	1 1	0	
		1	0 0	1	
		0	1 1	0	
		0	0 0	0	

$$T_0 = \overline{S_1 S_0} Q_0 + \overline{S_1} S_0 \overline{Q_0} + S_1 S_0 Q_0$$

C_f	$S_1 S_0$	00	01	11	10
		0	0	1	0
		0	0	0	0
		0	0	1	0
		0	0	0	0

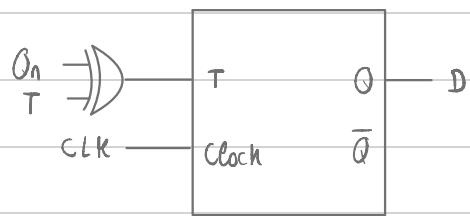
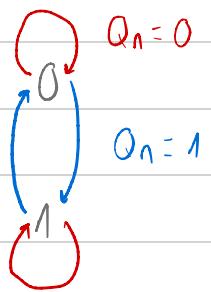
$$C_f = \overline{S_1 S_0} Q_1 Q_0 + S_1 S_0 Q_1 Q_0$$



Ejercicio 13

Obtener un biestable tipo D a partir de uno tipo T.

Q_n	S_{n+1}	Q_n	Q_{n+1}	T	D: $Q_n \setminus T$	0	1
S_0	S_0	0	0	0	0	0	1
S_0	S_1	0	1	1	1	1	0
S_1	S_0	1	0	1	$D = Q_n \bar{T} + \bar{Q}_n T = Q_n \oplus T$		
S_1	S_1	1	1	0			



Ejercicio 14

Obtener un biestable tipo J-K a partir de uno tipo D.

Q_n	$J=0 \ K=0$	$J=0 \ K=1$	$J=1 \ K=1$	$J=1 \ K=0$
0	0	0	1	1
1	1	0	0	1



$J=0 \ K=0$

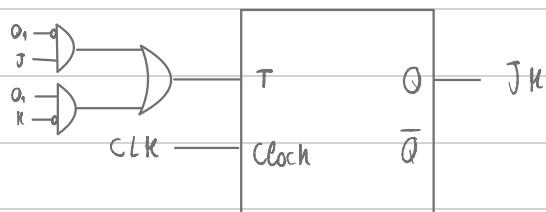
$J=0 \ K=1$

$J=1 \ K=1$

$J=1 \ K=0$

$D: Q_n^{jk}$	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$D = \bar{Q}_n J + Q_n \bar{K}$$



Ejercicio 15

Obtener un biestable tipo J-K a partir de uno tipo S-R.



No lo hemos visto