

ARQUITECTURA DE COMPUTADORES

2º Grado en Ingeniería Informática

Práctica 2

Control microprogramado en SiCoMe

¿Cómo se construye el microprograma de la instrucción?

La microprogramación consiste en almacenar los microprogramas correspondientes a las instrucciones del repertorio de la computadora en una memoria ROM, a la cual se accede según lo requiera el programa que se esté ejecutando.

En nuestro caso, las micropalabras que almacena la CROM tienen una longitud de 28 bits, de los cuales los 16 primeros son usados como señales de codificación de microoperaciones, los 4 siguientes como señales de control, y los 8 últimos como señales de direccionamiento, tal y como se muestra en la siguiente tabla:

| s15 | s14 | s13 | s12 | s11 | s10 | s9 | s8 | s7 | s6 | s5 | s4 | s3 | s2 | s1 | s0 | B3 | B2 | B1 | B0 | M7 | M6 | M5 | M4 | M3 | M2 | M1 | M0 |
|-----|-----|-----------|-----|-------------|-----|----|-----|----|----|----|----|----|-----|----|----|------------------------|----|----|----------------------|----|----|----|----|----|----|----|----|
| MAR | | OPR y MEM | | PC, SP y SC | | | ALU | | | | | | GPR | | | Control de Bifurcación | | | Dirección de la CROM | | | | | | | | |

La codificación de las distintas señales de microoperaciones es la siguiente:

Señales del MAR.

Son las señales s15 y s14.

| s15 | s14 | Microoperación |
|-----|-----|----------------|
| 0 | 0 | Ninguna |
| 0 | 1 | PC → MAR |
| 1 | 0 | GPR(AD) → MAR |
| 1 | 1 | SP → MAR |

Señales del OPR y de control de la memoria.

Son las señales s13 y s12.

| s13 | s12 | Microoperación |
|-----|-----|----------------|
| 0 | 0 | Ninguna |
| 0 | 1 | GPR → M |
| 1 | 0 | QR → M |
| 1 | 1 | GPR(OP) → OPR |

Señales de control del PC, SP y SC.

Son las señales s11, s10 y s9.

| s11 | s10 | s9 | Microoperación |
|-----|-----|----|----------------|
| 0 | 0 | 0 | Ninguna |
| 0 | 0 | 1 | PC+1 → PC |
| 0 | 1 | 0 | GPR → PC |
| 0 | 1 | 1 | SP+1 → SP |
| 1 | 0 | 0 | SP-1 → SP |
| 1 | 0 | 1 | LOAD SC |
| 1 | 1 | 0 | SC-1 → SC |

Señales de control del GPR.

Las señales de control del registro de propósito general son s2, s1 y s0.

| s2 | s1 | s0 | Microoperación |
|----|----|----|--|
| 0 | 0 | 0 | Ninguna |
| 0 | 0 | 1 | M → GPR |
| 0 | 1 | 0 | Acc → GPR |
| 0 | 1 | 1 | PC → GPR |
| 1 | 0 | 0 | GPR+1 → GPR |
| 1 | 0 | 1 | QR → GPR |
| 1 | 1 | 0 | $\overline{\text{GPR}} \rightarrow \text{GPR}$ |
| 1 | 1 | 1 | $\overline{\text{GPR}}+1 \rightarrow \text{GPR}$ |

ARQUITECTURA DE COMPUTADORES

2º Grado en Ingeniería Informática

Señales de control de la ALU

Son 6 las señales que se encargan de controlar la ALU: s8, s7, s6, s5, s4 y s3

| s8 | s7 | s6 | s5 | s4 | s3 | Microoperación |
|----|----|----|----|----|----|---|
| 0 | 0 | 0 | 0 | 0 | 0 | Ninguna |
| 0 | 0 | 0 | 0 | 0 | 1 | $0 \rightarrow \text{Acc}$ |
| 0 | 0 | 0 | 0 | 1 | 0 | $\overline{\text{Acc}} \rightarrow \text{Acc}$ |
| 0 | 0 | 0 | 0 | 1 | 1 | $\text{Acc}+1 \rightarrow \text{Acc}$ |
| 0 | 0 | 0 | 1 | 0 | 0 | $\overline{\text{Acc}}+1 \rightarrow \text{Acc}$ |
| 0 | 0 | 0 | 1 | 0 | 1 | $\text{GPR}+\text{Acc} \rightarrow \text{Acc}$ |
| 0 | 0 | 0 | 1 | 1 | 0 | ROL F Acc |
| 0 | 0 | 0 | 1 | 1 | 1 | ROR F Acc |
| 0 | 0 | 1 | 0 | 0 | 0 | $0 \rightarrow \text{QR}$ |
| 0 | 0 | 1 | 0 | 0 | 1 | $1 \rightarrow \text{OVF}$ |
| 0 | 0 | 1 | 0 | 1 | 0 | $0 \rightarrow \text{OVF}$ |
| 0 | 0 | 1 | 0 | 1 | 1 | $0 \rightarrow \text{Qn}+1$ |
| 0 | 0 | 1 | 1 | 0 | 0 | $\overline{\text{QR}}+1 \rightarrow \text{QR}$ |
| 0 | 0 | 1 | 1 | 0 | 1 | $\text{GPR} \rightarrow \text{QR}$ |
| 0 | 0 | 1 | 1 | 1 | 0 | $\text{M} \rightarrow \text{QR}$ |
| 0 | 0 | 1 | 1 | 1 | 1 | $1 \rightarrow \text{Qn}$ |
| 0 | 1 | 0 | 0 | 0 | 0 | $\text{X} \rightarrow \text{Qs}$ |
| 0 | 1 | 0 | 0 | 0 | 1 | ASHR ACC QR |
| 0 | 1 | 0 | 0 | 1 | 0 | ROL F ACC QR |
| 0 | 1 | 0 | 0 | 1 | 1 | ROR F ACC QR |
| 0 | 1 | 0 | 1 | 0 | 0 | SHL F A Q |
| 0 | 1 | 0 | 1 | 0 | 1 | SHR F A Q |
| 0 | 1 | 0 | 1 | 1 | 0 | $0 \rightarrow \text{F}$ |
| 0 | 1 | 0 | 1 | 1 | 1 | $\overline{\text{F}} \rightarrow \text{F}$ |
| 0 | 1 | 1 | 0 | 0 | 0 | $\overline{\text{GPR}}+1+\text{Acc} \rightarrow \text{Acc}$ |
| 0 | 1 | 1 | 0 | 0 | 1 | $\overline{\text{ACCQR}}+1 \rightarrow \text{ACCQR}$ |
| 0 | 1 | 1 | 0 | 1 | 0 | $0 \rightarrow \text{N}$ |
| 0 | 1 | 1 | 0 | 1 | 1 | $1 \rightarrow \text{N}$ |
| 0 | 1 | 1 | 1 | 0 | 0 | $\overline{\text{A}}+1 \rightarrow \text{A}$ |
| 0 | 1 | 1 | 1 | 0 | 1 | $\overline{\text{As}} \rightarrow \text{As}$ |
| 0 | 1 | 1 | 1 | 1 | 0 | $0 \rightarrow \text{As}$ |
| 0 | 1 | 1 | 1 | 1 | 1 | $\text{As} \rightarrow \text{Qs}$ |
| 1 | 0 | 0 | 0 | 0 | 0 | $\text{Qs}@\text{Bs} \rightarrow \text{As}$ |
| 1 | 0 | 0 | 0 | 0 | 1 | $\text{Qs}@\text{Bs} \rightarrow \text{Qs}$ |
| 1 | 0 | 0 | 0 | 1 | 0 | $\overline{\text{Q}}+1 \rightarrow \text{Q}$ |
| 1 | 0 | 0 | 0 | 1 | 1 | $0 \rightarrow \text{A}$ |
| 1 | 0 | 0 | 1 | 0 | 0 | $\text{A}+\text{B} \rightarrow \text{EA}$ |
| 1 | 0 | 0 | 1 | 0 | 1 | $\text{A}+\overline{\text{B}}+1 \rightarrow \text{EA}$ |
| 1 | 0 | 0 | 1 | 1 | 0 | $\text{A}+\overline{\text{B}}+1 \rightarrow \text{A}$ |
| 1 | 0 | 0 | 1 | 1 | 1 | $\text{E} \rightarrow \text{OVF}$ |

| |
|--|
| ARQUITECTURA DE COMPUTADORES 2º Grado en Ingeniería Informática |
|--|

Ejemplo de codificación de los ciclos de búsqueda y ejecución de la instrucción ADD mediante micropalabras:

| |
|--|
| FETCH |
| PC \rightarrow MAR |
| M \rightarrow GPR PC+1 \rightarrow PC |
| GPR(OP) \rightarrow OPR |
| ADD dir |
| GPR(AD) \rightarrow MAR |
| M \rightarrow GPR |
| GPR+Acc \rightarrow Acc |

[illegible]

Esta codificación está realizada según la siguiente tabla lógica de bifurcación:

[illegible]