

Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 1

Diseñar un circuito sumador/restador completo de 1 bit. El circuito tendrá cuatro entradas: los operandos x e y , el acarreo/adeudo de entrada y una señal de control s/r para indicar suma ($s/r = 0$) o resta ($s/r = 1$). Tendrá asimismo dos señales de salida: el resultado de la operación de suma o resta y el acarreo/adeudo de salida.

| S | x | y | C_i | R | C_o |
|---|---|---|-------|---|-------|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |

$Sx \quad yC_i$

| | | | |
|----|----|----|----|
| 00 | 01 | 11 | 10 |
| 00 | | 1 | |
| 01 | 1 | | 1 |
| 11 | 1 | 1 | |
| 10 | | 1 | 1 |

R

$Sx \quad yC_i$

| | | | |
|----|----|----|----|
| 00 | 01 | 11 | 10 |
| 00 | | 1 | |
| 01 | | 1 | 1 |
| 11 | | 1 | |
| 10 | | 1 | 1 |

C_o

$$R = x \bar{y} \bar{C}_i + x y C_i + \bar{x} \bar{y} C_i + \bar{x} y \bar{C}_i = x \oplus y \oplus C_i$$

$$C_o = y C_i + \bar{S} x C_i + \bar{S} x y + S \bar{x} C_i + S \bar{x} y$$

Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 2

Diseñar un comparador de números de 1 bit que incorpore tres entradas para conexión en cascada: $(X_{in} < Y_{in})$, $(X_{in} = Y_{in})$ y $(X_{in} > Y_{in})$. Estas entradas indican el resultado de la comparación en los bits de peso inferior a los que se comparan. Tres serán las salidas: $(X < Y)$, $(X = Y)$ y $(X > Y)$.

| X | Y | $X_{in} < Y_{in}$ | $X_{in} = Y_{in}$ | $X_{in} > Y_{in}$ | $X < Y$ | $X = Y$ | $X > Y$ |
|-----|-----|-------------------|-------------------|-------------------|---------|---------|---------|
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |

Las combinaciones que no se presentan en la tabla son todas aquellas que no son posibles, concretamente todas aquellas en las que más de una de las señales $X_{in} < Y_{in}$, $X_{in} = Y_{in}$, $X_{in} > Y_{in}$ tenga valor 1 o todas ellas tengan valor 0. Estas combinaciones generan indiferencias en las salidas $X < Y$, $X = Y$ y $X > Y$.

A partir de la tabla de verdad indicada más arriba y completada con las combinaciones que generan indiferencias se obtiene la expresión de cada una de las tres salidas, previa minimización empleando mapas de Karnaugh.

Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 3

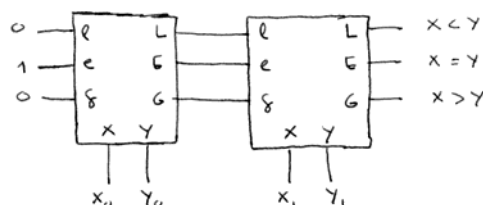
Diseñar un comparador de números de dos bits. Tendrá 4 entradas: dos para uno de los números (X_1, X_2) y dos para el otro (Y_1, Y_2). Tendrá asimismo tres salidas: ($X < Y$), ($X = Y$) y ($X > Y$).

| X_2 | X_1 | Y_2 | Y_1 | $X < Y$ | $X = Y$ | $X > Y$ |
|-------|-------|-------|-------|---------|---------|---------|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

⇒ A partir de la tabla de verdad se sintetizan las funciones para las salidas $X < Y$, $X = Y$ y $X > Y$

Ejercicio 4

Diseñar un comparador de números de dos bits utilizando los comparadores de 1 bit diseñados en el ejercicio 2.

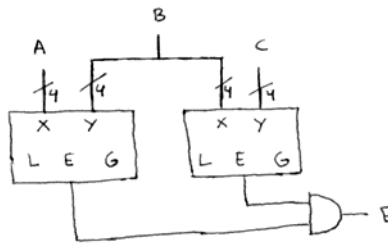


Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

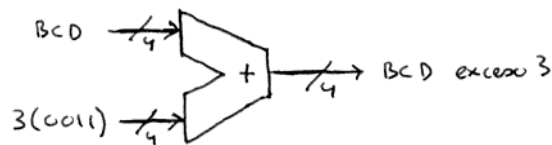
Ejercicio 5

Utilizando comparadores de magnitud de datos de 4 bits más las puertas necesarias, diseñar un circuito que compruebe, dados tres datos de 4 bits, si son iguales.



Ejercicio 7

Diseñar un conversor de código BCD a BCD exceso 3 utilizando un sumador.

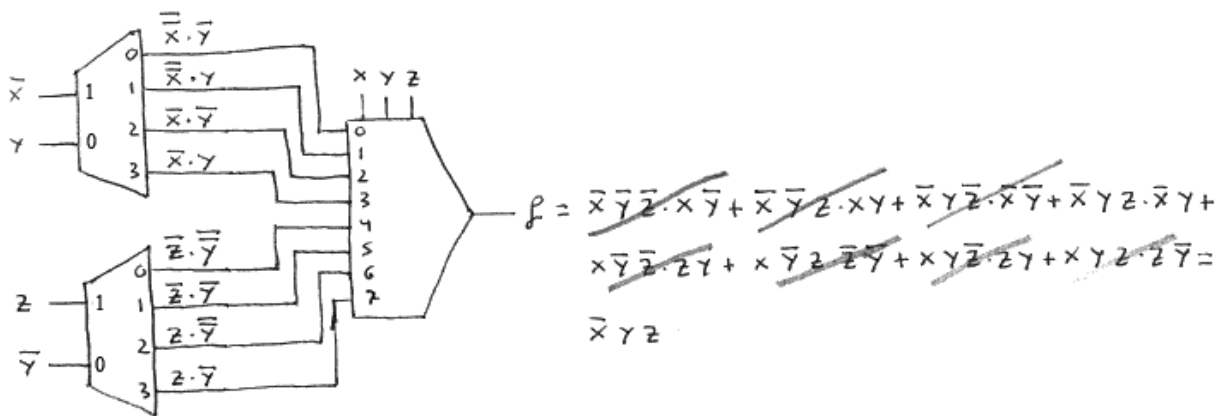
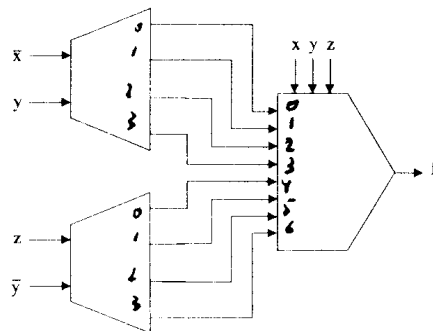


Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 8

Obtener las funciones sintetizadas por los circuitos de la figura siguiente:



Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

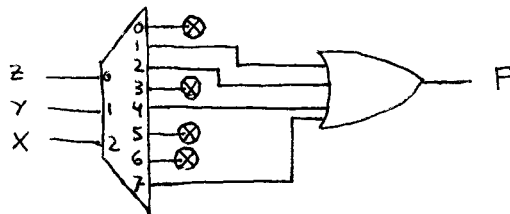
Ejercicio 10

Implementar la función definida por la siguiente tabla de verdad empleando:

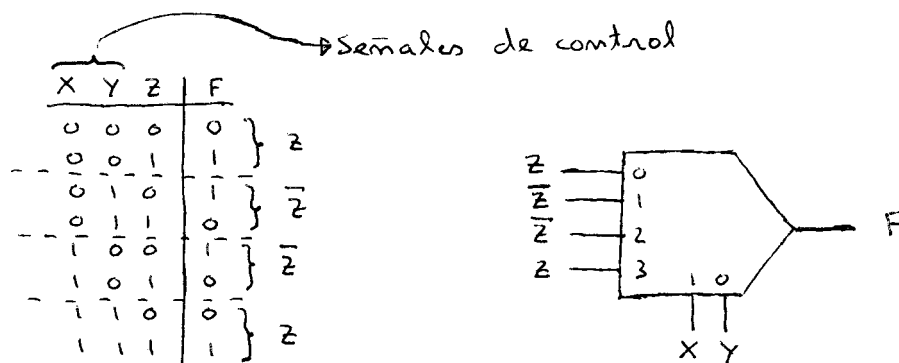
- a) Decodificadores
- b) Multiplexores

| X | Y | Z | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

a)



b)



Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 11

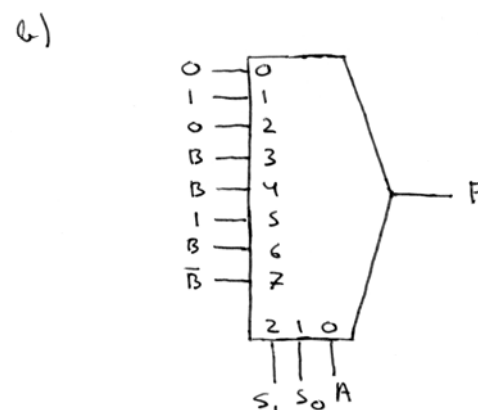
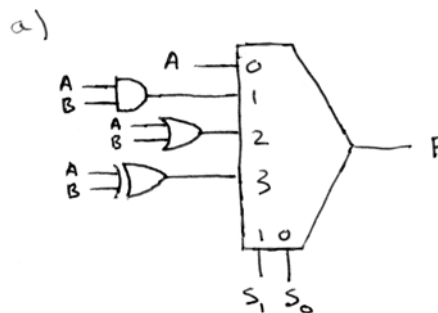
Diseñar una unidad lógica de 1 bit que realice las operaciones lógicas siguientes en función de dos señales de control S_1 y S_0 :

| S_1 | S_0 | Operación |
|-------|-------|--------------|
| 0 | 0 | A |
| 0 | 1 | $A \cdot B$ |
| 1 | 0 | $A + B$ |
| 1 | 1 | $A \oplus B$ |

a) Realizarla con un multiplexor de 4 a 1 y las puertas necesarias.

b) Realizarla con un multiplexor del tamaño necesario aplicando la técnica de implementación de funciones mediante multiplexores.

| S_1 | S_0 | A | B | F | |
|-------|-------|---|---|---|-----|
| 0 | 0 | 0 | 0 | 0 | } 0 |
| 0 | 0 | 0 | 1 | 0 | |
| 0 | 1 | 0 | 0 | 1 | } 1 |
| 0 | 1 | 0 | 1 | 1 | |
| 1 | 0 | 0 | 0 | 0 | } 0 |
| 1 | 0 | 0 | 1 | 0 | |
| 1 | 1 | 0 | 0 | 1 | } B |
| 1 | 1 | 0 | 1 | 1 | |
| 0 | 0 | 1 | 0 | 0 | } B |
| 0 | 0 | 1 | 1 | 1 | |
| 0 | 1 | 1 | 0 | 1 | } 1 |
| 0 | 1 | 1 | 1 | 1 | |
| 1 | 0 | 1 | 0 | 0 | } B |
| 1 | 0 | 1 | 1 | 1 | |
| 1 | 1 | 1 | 0 | 1 | } B |
| 1 | 1 | 1 | 1 | 0 | |



Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 12

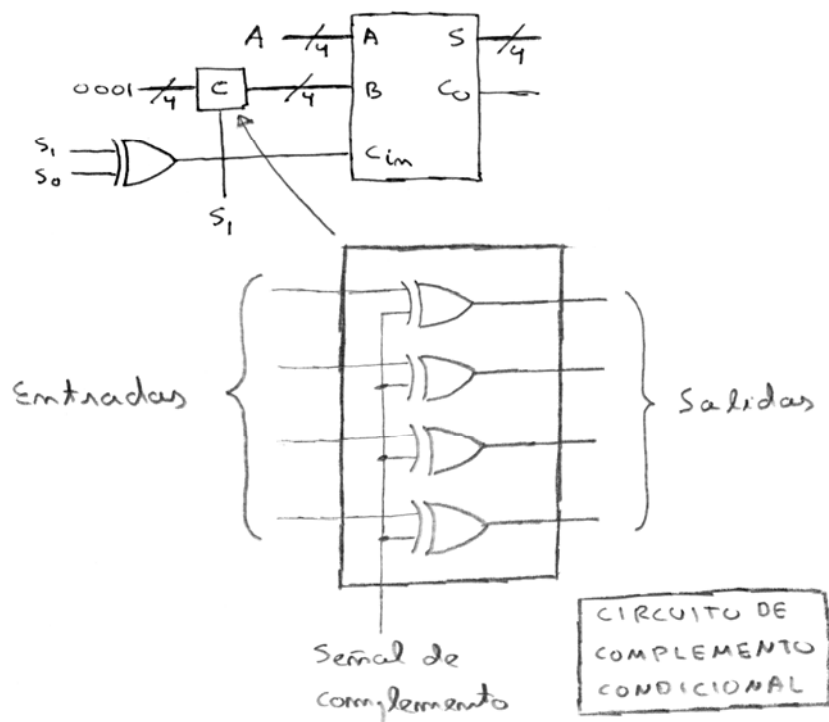
Diseñar una unidad aritmética de 4 bits partiendo de un sumador completo de cuatro bits que realice las operaciones siguientes en función de dos señales de control S_1 y S_0 :

| S_1 | S_0 | Operación |
|-------|-------|-----------|
| 0 | 0 | $A+1$ |
| 0 | 1 | $A+2$ |
| 1 | 0 | $A-1$ |
| 1 | 1 | $A-2$ |

$$A-1 = A + C_1(1) + 1$$

$$A-2 = A-1-1 = A + C_1(1) + 1 - 1 = A + C_1(1) + 0$$

| S_1 | S_0 | A | B | C_{in} |
|-------|-------|---|----------|----------|
| 0 | 0 | A | 1 | 0 |
| 0 | 1 | A | 1 | 1 |
| 1 | 0 | A | $C_1(1)$ | 1 |
| 1 | 1 | A | $C_1(1)$ | 0 |



Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 13

Diseñar una unidad aritmética de 4 bits partiendo de un sumador completo de cuatro bits que realice las operaciones siguientes en función de dos señales de control S_1 y S_0 :

| S_1 | S_0 | Operación |
|-------|-------|-----------|
| 0 | 0 | $A+2$ |
| 0 | 1 | $A+3$ |
| 1 | 0 | $A-3$ |
| 1 | 1 | $A-B$ |

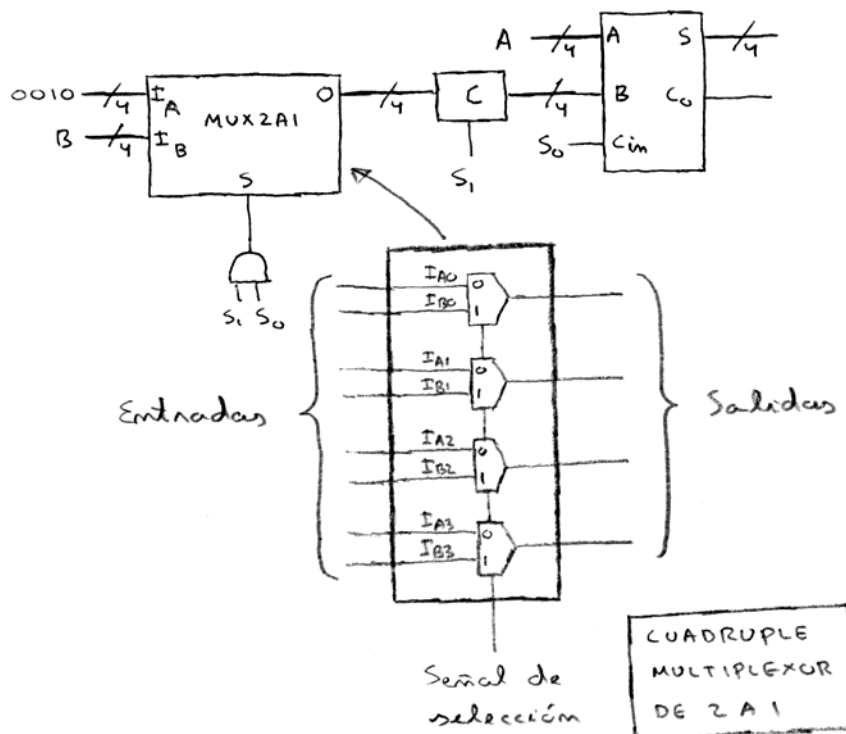
$$A+2 = A+2+0$$

$$A+3 = A+2+1$$

$$A-3 = A-2-1 = A+C_1(2)+1-1 = A+C_1(2)+0$$

$$A-B = A+C_1(B)+1$$

| S_1, S_0 | A | B | C_{in} |
|------------|---|----------|----------|
| 0 0 | A | 2 | 0 |
| 0 1 | A | 2 | 1 |
| 1 0 | A | $C_1(2)$ | 0 |
| 1 1 | A | $C_1(B)$ | 1 |



Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Ejercicio 14

Diseñar una unidad aritmética de 4 bits partiendo de un sumador completo de cuatro bits que realice las operaciones siguientes en función de dos señales de control S_1 y S_0 :

| S ₁ | S ₀ | Operación |
|----------------|----------------|--------------------------|
| 0 | 0 | $A + B + C_E$ |
| 0 | 1 | $A + 1$ |
| 1 | 0 | $A - B - \overline{C_E}$ |
| 1 | 1 | $A - 1$ |

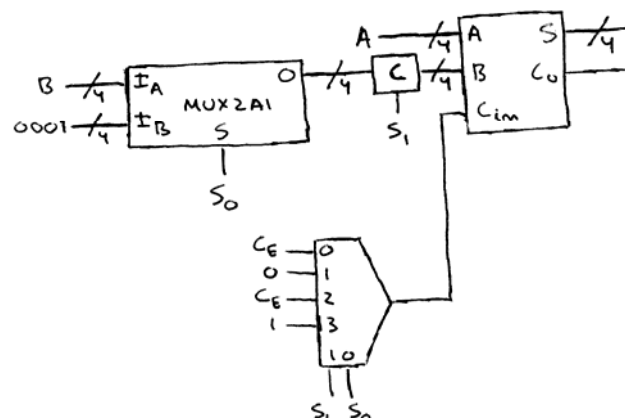
$$A + B + C_E = A + B + C_E$$

$$A + I = A + I + 0$$

$$\left. \begin{array}{l} A+1 = A+1+0 \\ A-B-\overline{C_E} = A+C_1(B)+1-\overline{C_E} \end{array} \right\} \begin{array}{l} C_E=0 \Rightarrow A+C_1(B)+0 \\ C_E=1 \Rightarrow A+C_1(B)+1 \end{array} \quad A+C_1(B)+C_E$$

$$A^{-1} = A + C_1(1) + 1$$

| S_1 | S_0 | A | B | C_i |
|-------|-------|---|----------|-------|
| 0 | 0 | A | B | C_E |
| 0 | 1 | A | 1 | 0 |
| 1 | 0 | A | $C_1(B)$ | C_E |
| 1 | 1 | A | $C_1(1)$ | 1 |



Ejercicio 16

Diseñar una unidad aritmético-lógica de 4 bits que realice las operaciones siguientes en función de tres señales de control S_2 , S_1 y S_0 :

| | | Operaciones Lógicas | Operaciones Aritméticas |
|----------------|----------------|-------------------------|-------------------------|
| S ₁ | S ₀ | S ₂ = 0 | S ₂ = 1 |
| 0 | 0 | $A + B$ | $A - 2$ |
| 0 | 1 | $A \cdot B$ | $-B + 1$ |
| 1 | 0 | $A \oplus B$ | $-A - 1$ |
| 1 | 1 | $\overline{A \oplus B}$ | $B - 1$ |

FUNDAMENTOS Y ESTRUCTURA DE COMPUTADORES

1º G. I. Informática

Curso 2010 – 2011

Página 11 de 11

Ejercicios resueltos

Temas 6, 7 y 8: Diseño Combinacional (II)

Realizar la unidad lógica empleando multiplexores del tamaño necesario aplicando la técnica de implementación de funciones mediante multiplexores. Para la unidad aritmética, partir de un sumador completo de cuatro bits.

