



## FUNDAMENTOS Y ESTRUCTURA DE COMPUTADORES

### 1º G. I. Informática

#### Tema 11. Relación de ejercicios extras de memorias

- 1.- Diseñar una unidad de memoria compuesta de 2Kx8 de RAM y 2Kx8 de ROM, y los circuitos disponibles son de 1K x 4 para la RAM y de 1K x 4 para la ROM. La memoria ROM debe mapearse en las direcciones superiores y la memoria RAM en las inferiores.
- 2.- Diseñar una unidad de memoria compuesta de 6Kx8 de RAM. Los circuitos disponibles son de 1K x 4 para la RAM
- 3.- Utilizando una memoria ROM del tamaño más adecuado, diseñe un circuito con cuatro entradas  $E_3$   $E_2$   $E_1$   $E_0$  (siendo  $E_3$  el bit de mayor peso) y dos salidas BCD y BCDEXC3. El circuito indicará si se reciben códigos válidos codificando las salidas de acuerdo con la siguiente tabla:

Según las entradas que se presenten	BCD	BCDEXC3
Código No válido BCD ni tampoco BCD <sub>EXC3</sub>	0	0
Código No válido BCD, pero válido BCD <sub>EXC3</sub>	0	1
Código Válido BCD, pero No válido BCD <sub>EXC3</sub>	1	0
Código Válido BCD y Válido BCD <sub>EXC3</sub>	1	1

Nota: Indíquese tanto la conexión externa de las señales de la memoria ROM como de la tabla de programación.

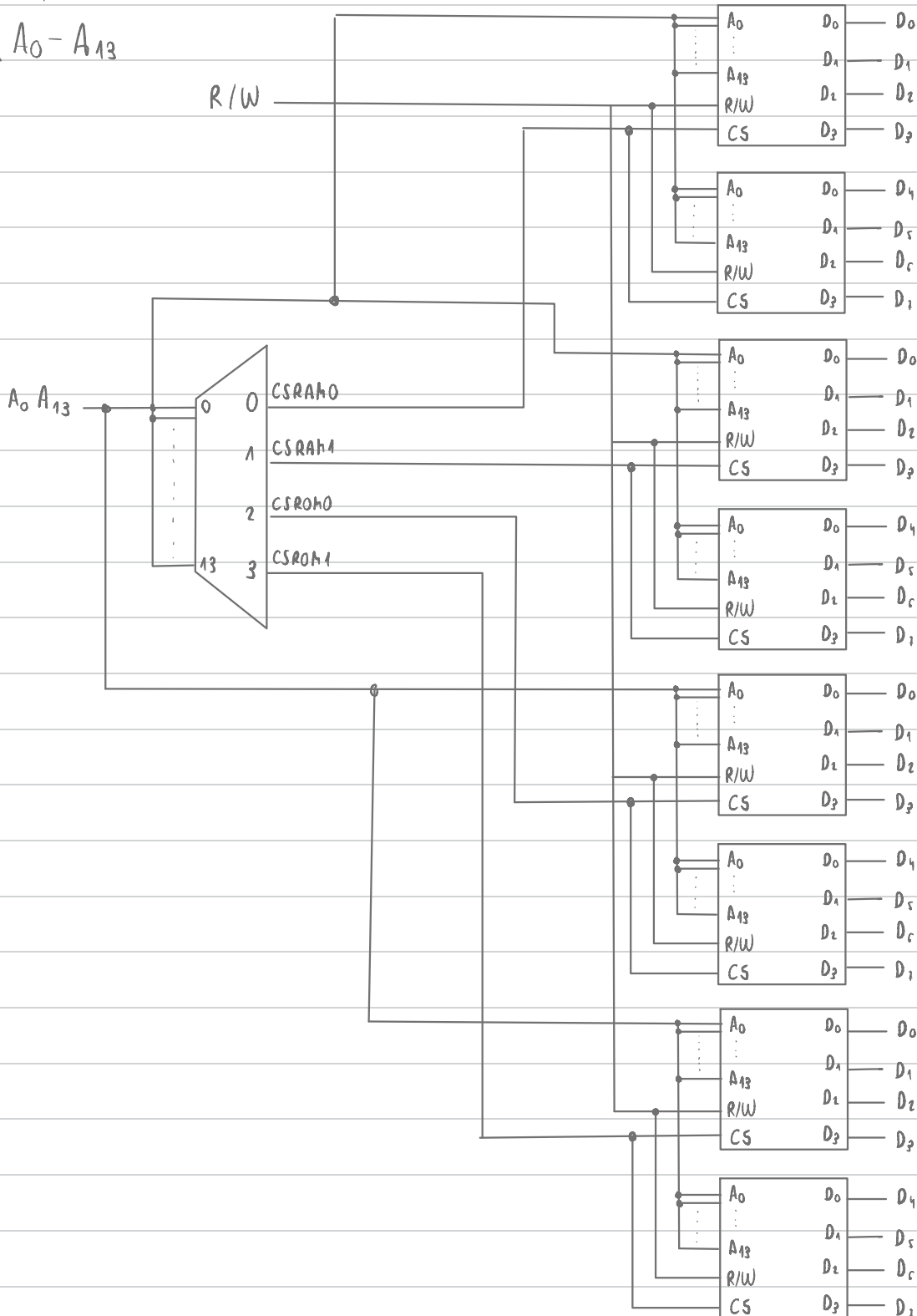
- 1.- Diseñar una unidad de memoria compuesta de  $2K \times 8$  de RAM y  $2K \times 8$  de ROM, y los circuitos disponibles son de  $1K \times 4$  para la RAM y de  $1K \times 4$  para la ROM. La memoria ROM debe mapearse en las direcciones superiores y la memoria RAM en las inferiores.

RAM :  $1K \times 4$  (4K bits)  $\rightarrow$   $2K \times 8$  (16K bits)

ROM :  $1K \times 4$  (4K bits)  $\rightarrow$   $2K \times 8$  (16K bits)

$\left\{ \begin{array}{l} D_0 - D_7 \\ R/W \\ A_0 - A_{13} \end{array} \right.$

14 líneas

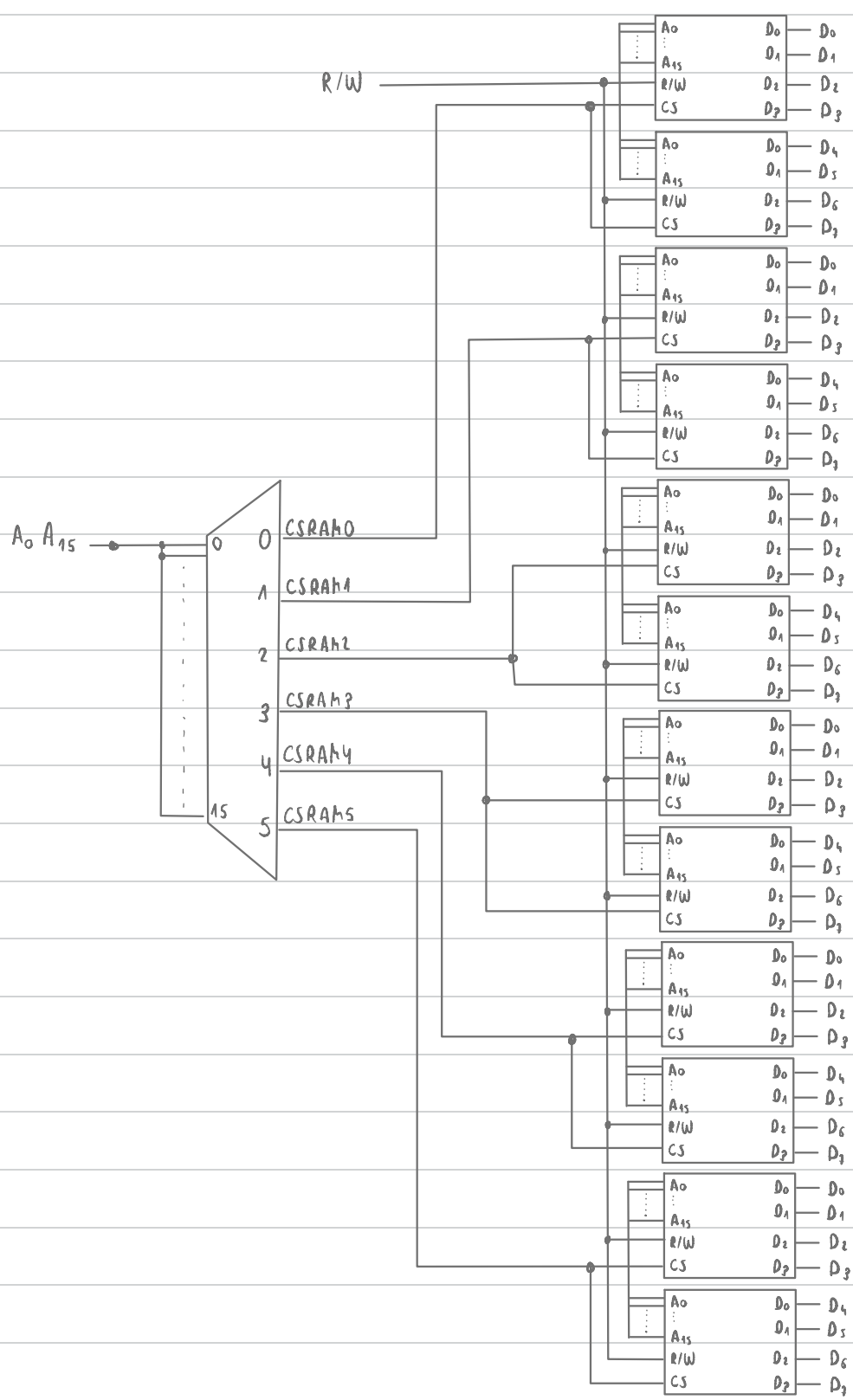


2.- Diseñar una unidad de memoria compuesta de 6Kx8 de RAM. Los circuitos disponibles son de 1K x 4 para la RAM

RAM : 1K x 4 (4K bits)  $\longrightarrow$  6K x 8 (48 K bits)

$\left\{ \begin{array}{l} D_0 - D_7 \\ R/W \\ A_0 - A_{15} \end{array} \right.$

16 líneas



3.- Utilizando una memoria ROM del tamaño más adecuado, diseñe un circuito con cuatro entradas E<sub>3</sub> E<sub>2</sub> E<sub>1</sub> E<sub>0</sub> (siendo E<sub>3</sub> el bit de mayor peso) y dos salidas BCD y BCDEXC3. El circuito indicará si se reciben códigos válidos codificando las salidas de acuerdo con la siguiente tabla:

Según las entradas que se presenten	BCD	BCDEXC3
Código No válido BCD ni tampoco BCD <sub>EXC3</sub>	0	0
Código No válido BCD, pero válido BCD <sub>EXC3</sub>	0	1
Código Válido BCD, pero No válido BCD <sub>EXC3</sub>	1	0
Código Válido BCD y Válido BCD <sub>EXC3</sub>	1	1

Nota: Indíquese tanto la conexión externa de las señales de la memoria ROM como de la tabla de programación.

$s_3$	$s_2$	$s_1$	$s_0$	BCD	BCD <sub>exc3</sub>	BCD: $s_3s_1$ / $s_1s_0$	00	01	11	10
0	0	0	0	1	0	00	1	1	1	1
0	0	0	1	1	0	01	1	1	1	1
0	0	1	0	1	0	11	0	0	0	0
0	0	1	1	1	1	10	1	1	0	0
0	1	0	0	1	1	$BCD = \overline{s_3} + \overline{s_2}s_1$				
0	1	0	1	1	1					
0	1	1	0	1	1	BCD <sub>exc3</sub> : $s_3s_1$ / $s_1s_0$	00	01	11	10
0	1	1	1	1	1	00	0	0	1	0
1	0	0	0	1	1	01	1	1	1	1
1	0	0	1	1	1	11	1			
1	0	1	0	0	1	10	1	1	1	1
1	0	1	1	0	1	$BCD_{exc3} = \overline{s_3} + \overline{s_2}s_1$				
1	1	0	0	0	1					
1	1	0	1	0	0					
1	1	1	0	0	0					
1	1	1	1	0	0					
1	1	1	1	0	0					