



Tema 8. Circuitos Combinacionales Aritméticos

- **Objetivos.**
 - Comprender el funcionamiento y el diseño de los circuitos aritméticos básicos.
 - Comprender el funcionamiento y el diseño de los circuitos sumadores/restadores.
 - Asimilar el funcionamiento y la metodología de diseño de los comparadores de magnitud.



Tema 8. Circuitos Combinacionales Aritméticos

- **Contenido**
 1. Sumadores binarios: sumador completo y sumador paralelo.
 2. Circuitos sumadores/restadores. Implementación mediante el complemento a 2.
 3. Unidad Aritmético Lógica: ALU.



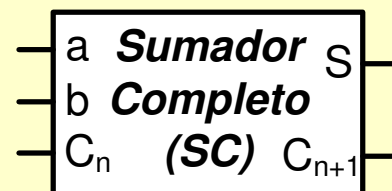
Sumador completo

- **Suma dos números binarios de 1 bit y un acarreo, es decir suma tres bits.**
 - Tiene tres entradas que corresponden a los bits de los números a sumar (**a**, **b**) y el acarreo de entrada (**C_n**).
 - Genera dos salidas (**S**, **C_{n+1}**), que corresponden a la suma y el acarreo generado, respectivamente.

Tabla de verdad

a	b	C _n	C _{n+1}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Representación a nivel de bloque





Sumador completo

bC_N	00	01	11	10
a				
0		1		1
1	1		1	

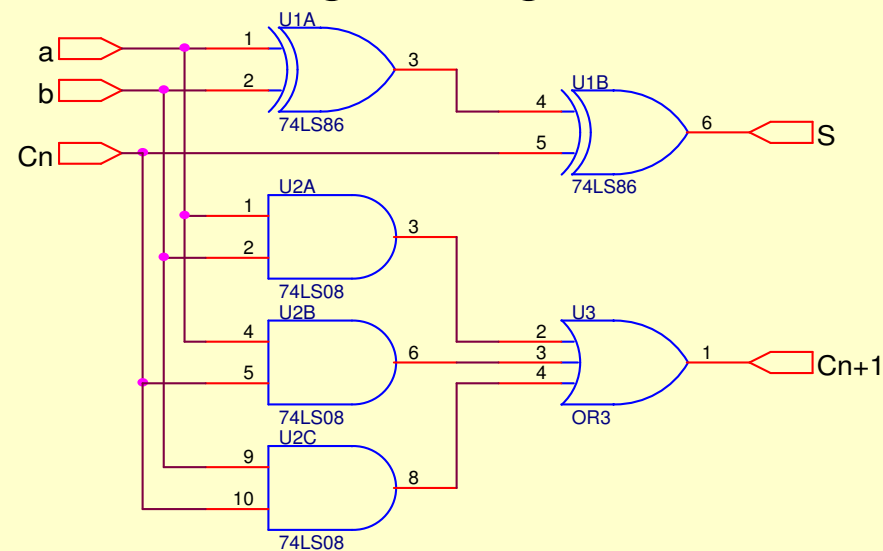
$$S = a \bar{b} \bar{C}_n + a b C_n + \bar{a} \bar{b} C_n + \bar{a} b \bar{C}_n$$

$$= a \oplus b \oplus C_n$$

bC_N	00	01	11	10
a				
0			1	
1		1	1	1

$$C_{n+1} = a b + a C_n + b C_n$$

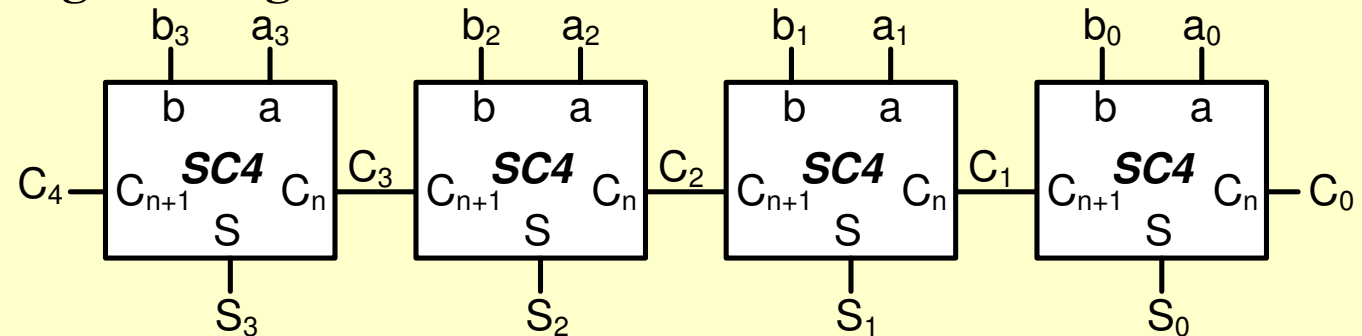
■ **Diagrama lógico.**





Sumador binario paralelo de n bits

- **Diagrama lógico.**



- **Usa la técnica de generación de acarreo en serie.**

- **Ventaja.**

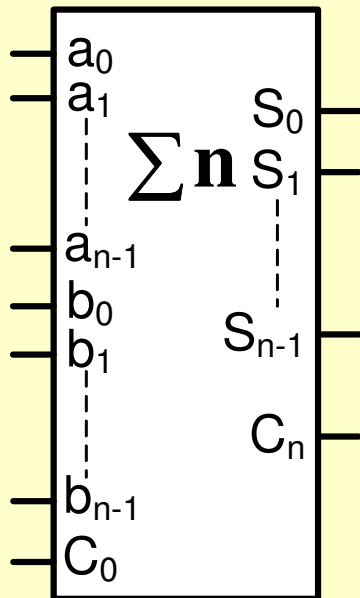
- Sencillez y bajo coste.

- **Inconveniente.**

- Aunque los 4 bits de los dos números se apliquen al mismo tiempo en las entradas, la suma no es correcta hasta que no se hayan propagado todos los acarreo.
 - El sumador con generación de acarreo en serie es lento.



Representación a nivel de bloque



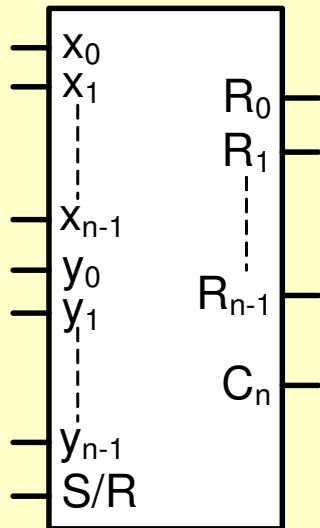
Sumador binario paralelo de n bits

- **Suma dos números binarios de n bits y un acarreo de entrada y genera los n bits de la suma y un acarreo de salida.**
- **Entradas.**
 - n entradas para el operando **A**: (a_{n-1}, \dots, a_0).
 - n entradas para el operando **B**: (b_{n-1}, \dots, b_0).
 - Acarreo de entrada C_0 .
- **Salidas.**
 - n salidas para el resultado de la suma **S**: (S_{n-1}, \dots, S_0).
 - Acarreo de salida C_n .
- **Implementación.** Se puede implementar de varias maneras:
 - Se conectan **n sumadores completos** de forma que se implemente el algoritmo de la suma de dos números binarios de n bits. Ventaja: poca circuiteria. Inconveniente: Lentos si el número de bits es elevado.
 - Generando la función lógica de cada salida (planoAND- planoOR). Ventajas:rápidez. inconvenientes: demasiada circuiteria, debido al número tan elevado de entradas para las puertas, imposible de sintetizar si el número de entradas es elevado.
 - Mediante técnicas que permiten generar los acarreos ´rápidamente, que es la solución intermedia entre las dos anteriores (No se estudiarán en esta asignatura).



Sumador/restador binario paralelo de n bits mediante el C2

Representación a nivel de bloque



Circuito sumador/restador mediante el C2 para números binarios sin signo.

- $x_{n-1} \dots x_0$ son las entradas del operando X de n bits.
- $y_{n-1} \dots y_0$ son las entradas del operando Y de n bits.
- $R_{n-1} \dots R_0$ son las salidas del resultado de la operación R de n bits.
- C_n es la salida de acarreo (suma) o de préstamo (resta).
- S/R es una entrada de control que determina la operación:

$S/R = 0$	<i>Suma</i>	$R = X + Y$
$S/R = 1$	<i>Resta</i>	$R = X - Y$

- Como ya se vio en el restador, la operación de resta se convierte en una suma, por lo que se construye a partir de un circuito sumador binario.

$$R = X - Y = X + Y_{C2} = X + \bar{Y} + 1$$

- Su estructura será semejante a la del circuito restador.
 - El circuito generador de C1 realizará el C1 de Y solamente en la resta.
 - La entrada de control S/R se conecta al generador de C1.



Sumador/restador binario paralelo de n bits mediante el C2

▪ *Diseño de un sumador/restador binario de 4 bits.*

▪ *Diagrama de bloques.*

▪ Comparando las operaciones que realiza el sumador con las que debe realizar para implementar las operaciones de suma y resta en función de la entrada S/R, se deduce:

$$S = A + B + C_0$$

$$S/R = 0 \Rightarrow R = X + Y = X + Y + 0 = X + Y + S/R$$

$$S/R = 1 \Rightarrow R = X - Y = X + \bar{Y} + 1 = X + \bar{Y} + S/R$$

$$R = S \Rightarrow A = X \quad B = Y/\bar{Y} \quad C_0 = S/R$$

▪ *Diseño del generador de C1.*

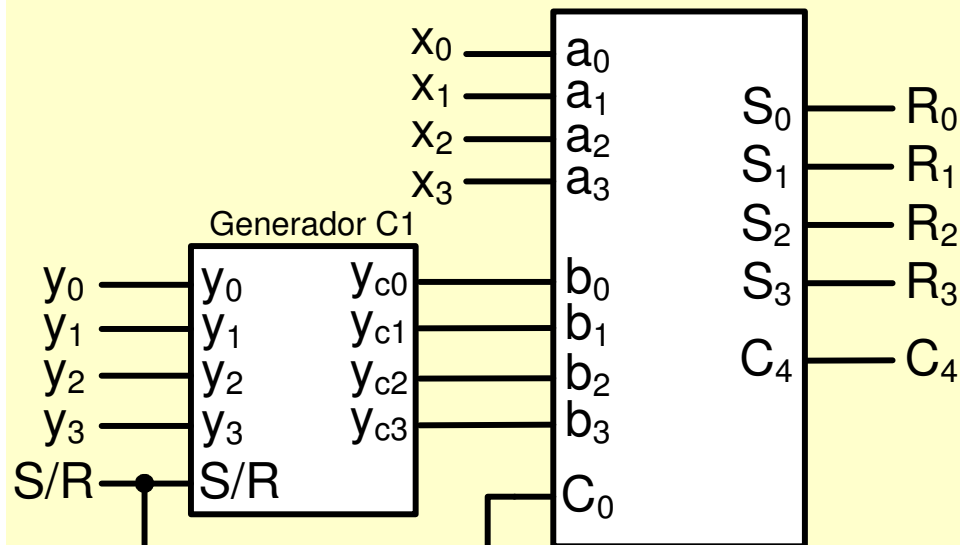
▪ El procesamiento es igual para todos los bits del operando Y.

$$S/R = 0 \Rightarrow y_{Ci} = y_i \quad S/R = 1 \Rightarrow y_{Ci} = \bar{y}_i$$

S/R	y_i	y_{Ci}
0	0	0
0	1	1
1	0	1
1	1	0

$$y_{ci} = S/R \oplus y_i$$

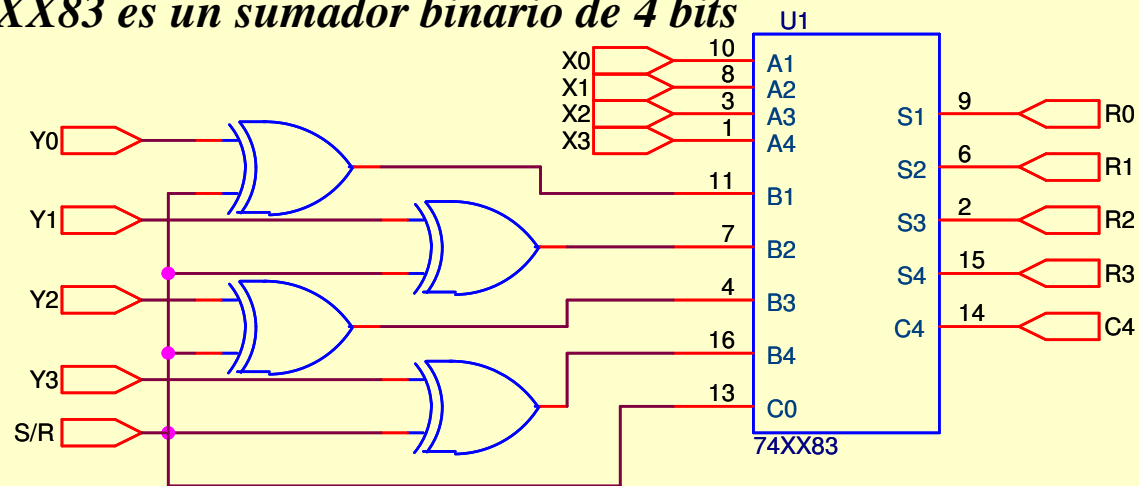
▪ El generador de C1 está formado por 4 puertas XOR.





Sumador/Restador binario paralelo mediante el complemento a 2

- Diagrama lógico del sumador/restador binario de 4 bits. El circuito 74XX83 es un sumador binario de 4 bits



■ Análisis del funcionamiento.

- Si $S/R = 0$

$$B = Y; \quad C_0 = 0 \Rightarrow R = X + Y$$

- Si $S/R = 1$

$$B = \bar{Y}; \quad C_0 = 1 \Rightarrow R = X + \bar{Y} + 1 = X + Y_{C2} = X - Y$$

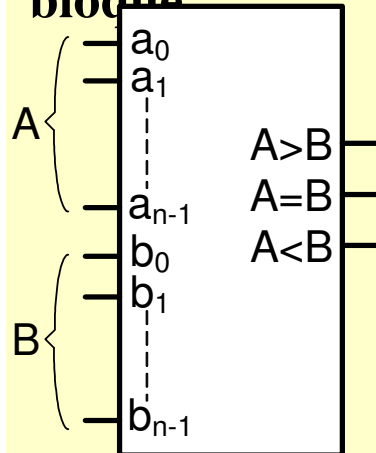
- Desbordamiento.

- Se produce desbordamiento solamente en la suma si se genera acarreo de salida, es decir $C4 = 1$.



Comparador de magnitud.

**Representación
a nivel de
bloque**



- **Definición.**
 - Circuito combinacional que a partir de 2 números A y B indica si uno es mayor, igual o menor que el otro.
 - Genera 3 salidas: $A > B$, $A = B$ y $A < B$.
- **Diseño.**
 - No se diseña aplicando la metodología general de diseño de sistemas combinacionales, ya que es complicado y la implementación tiene un coste elevado.
 - La tabla de verdad tendrá $2n$ variables de entrada, y por tanto, 2^{2n} filas de valores de entrada.
 - Se diseña aplicando el algoritmo de comparación de las magnitudes relativas de dos números:
- **Algoritmo de comparación.**
 - Dados dos números de 4 bits:
 - $A = a_3 a_2 a_1 a_0$
 - $B = b_3 b_2 b_1 b_0$
 - **Dos números son iguales** si todos los bits de mismo peso son iguales:
 - $(A = B) = (a_3 = b_3) (a_2 = b_2) (a_1 = b_1) (a_0 = b_0)$



6. Comparador de magnitud.

$$A = a_3 a_2 a_1 a_0$$

$$B = b_3 b_2 b_1 b_0$$

- **Salidas $A > B$ y $A < B$**
 - Se comparan los bits de mismo peso empezando por los de mayor peso hasta encontrar dos bits distintos.
 - El número que tenga el bit mayor, es decir a 1, será mayor.
 - $(A > B) = (a_3 > b_3) + (a_3 = b_3) (a_2 > b_2) + \dots + (a_3 = b_3) (a_2 = b_2) (a_1 = b_1) (a_0 > b_0)$
 - $(A < B) = (a_3 < b_3) + (a_3 = b_3) (a_2 < b_2) + \dots + (a_3 = b_3) (a_2 = b_2) (a_1 = b_1) (a_0 < b_0)$
- **Conclusión.**
 - El componente básico es un comparador de magnitud de un bit.
 - Se usan n comparadores de magnitud y se le añade un bloque combinacional para implementar el algoritmo de comparación.



Comparador de magnitud.

- *Diseño de un comparador de magnitud de 1 bit.*

**Representación
a nivel de
bloque**

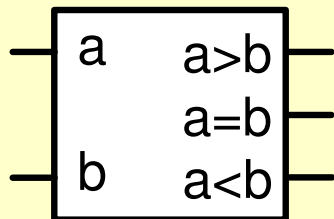


Tabla de verdad

a	b	a>b	a=b	a<b
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

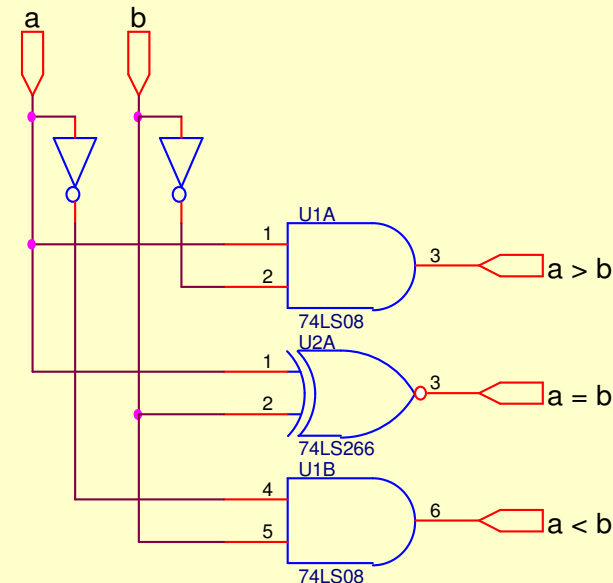
Funciones lógicas

$$(a > b) = a \bar{b}$$

$$(a = b) = \bar{a} \bar{b} + a b = a \odot b$$

$$(a < b) = \bar{a} b$$

Diagrama lógico

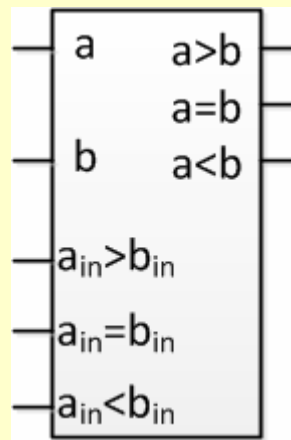




Comparador de magnitud.

- *Comparador de magnitud de 1 bit con entradas de la etapa anterior de los bits de mayor peso. No se indica las funciones de salida por ser complejas*

Representación a nivel de bloque



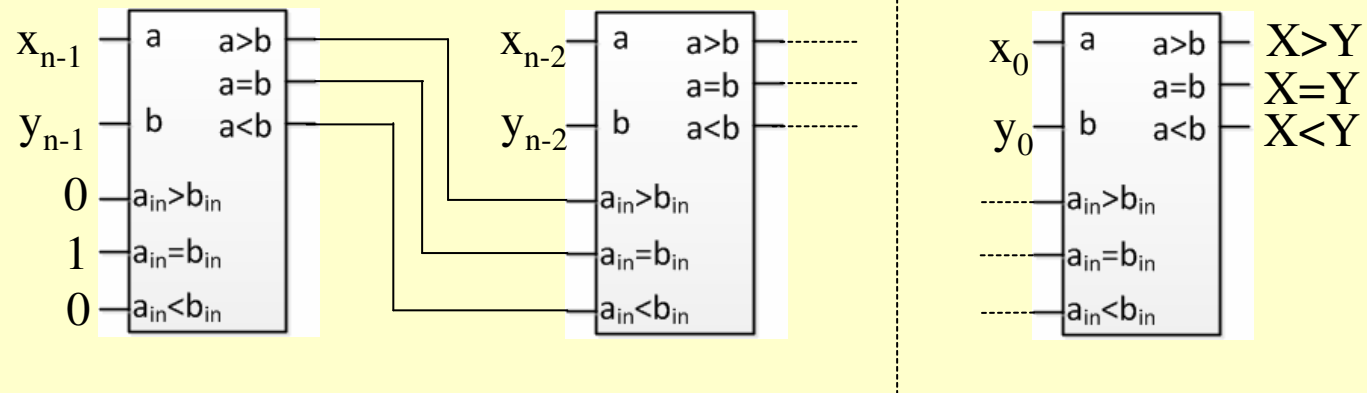


Comparador de magnitud.

- Comparador de magnitud de n bits con entradas de la etapa anterior de los bits de mayor peso a partir de un comparador de 1 bit.*

$$X = x_{n-1} x_{n-2} \dots x_0$$

$$Y = y_{n-1} y_{n-2} \dots y_0$$





Bibliografía detallada

Circuitos Combinacionales Aritméticos

Las diapositivas se han confeccionado utilizando como fuente:

- Circuitos Combinacionales Aritméticos
"Diseño Lógico". A. Lloris, A. Prieto. Mc-Graw Hill. 1996.
Capítulos: 6.2(párrafo primero), 6.2.1, 6.2.2, 6.2.3, 6.2.4, 6.2.5