

TEMA 4. CAMINO DE DATOS Y U. DE CONTROL DE UNA COMPUTADORA

INTRODUCCION

- Objetivos
 - Estudio de la técnicas de diseño de Unidades de Control
 - Unidad de Control Cableada
 - Unidad de Control Microprogramada
 - Aplicación a diferentes máquinas de cómputo
- Visión Global
 - La U. De Control como bloque de la Estructura Von Neuman
 - Unidad de Cálculo
 - Unidad de Memoria
 - Unidad de Entrada/Salida
 - Unidad de Control
- Función de la Unidad de Control
 - Asegurar la ejecución de los programas (en M. principal)
 - Generación de las secuencias de microordenes para la ejecución de todas y cada una de las instrucciones de la computadora
 - Ejecución de la siguiente Instrucción del programa

- Técnicas de diseño de la Unidad de Control

CABLEADA

- Como Circuito Secuencial Síncrono
 - Tedioso y rígido
 - Difícil de analizar
 - Dificultad de detectar errores
 - Minimiza el número de biestables
 - Es de ejecución rápida
- Mediante Registros de desplazamiento
 - Mas sencillo
 - Flexible
 - Fácil de analizar
 - Minimiza la lógica adicional
 - Bastante rápida
- Mediante Decodificadores de Tiempo e Instrucción
 - Sencilla de diseñar
 - Bastante flexible
 - Fácil de analizar
 - Posee bastante lógica combinacional
 - Es rápida

MICROPROGRAMADA

- Mediante la utilización de una ROM de Control
 - Muy fácil de diseñar
 - Muy flexible
 - Fácil de analizar
 - Es costosa en circuitería (ROM, Registros y L.C.)
 - Es la mas lenta

DISEÑO DE UNA UNIDAD DE CONTROL CABLEADA

- **Condiciones de partida**
 - Conocimiento de la estructura de la máquina
 - Conocimiento del conjunto de Instrucciones
 - Secuencia de microinstrucciones de cada una
 - La dependencia con la estructura
 - Registros, C Combinacionales, buses, etc...

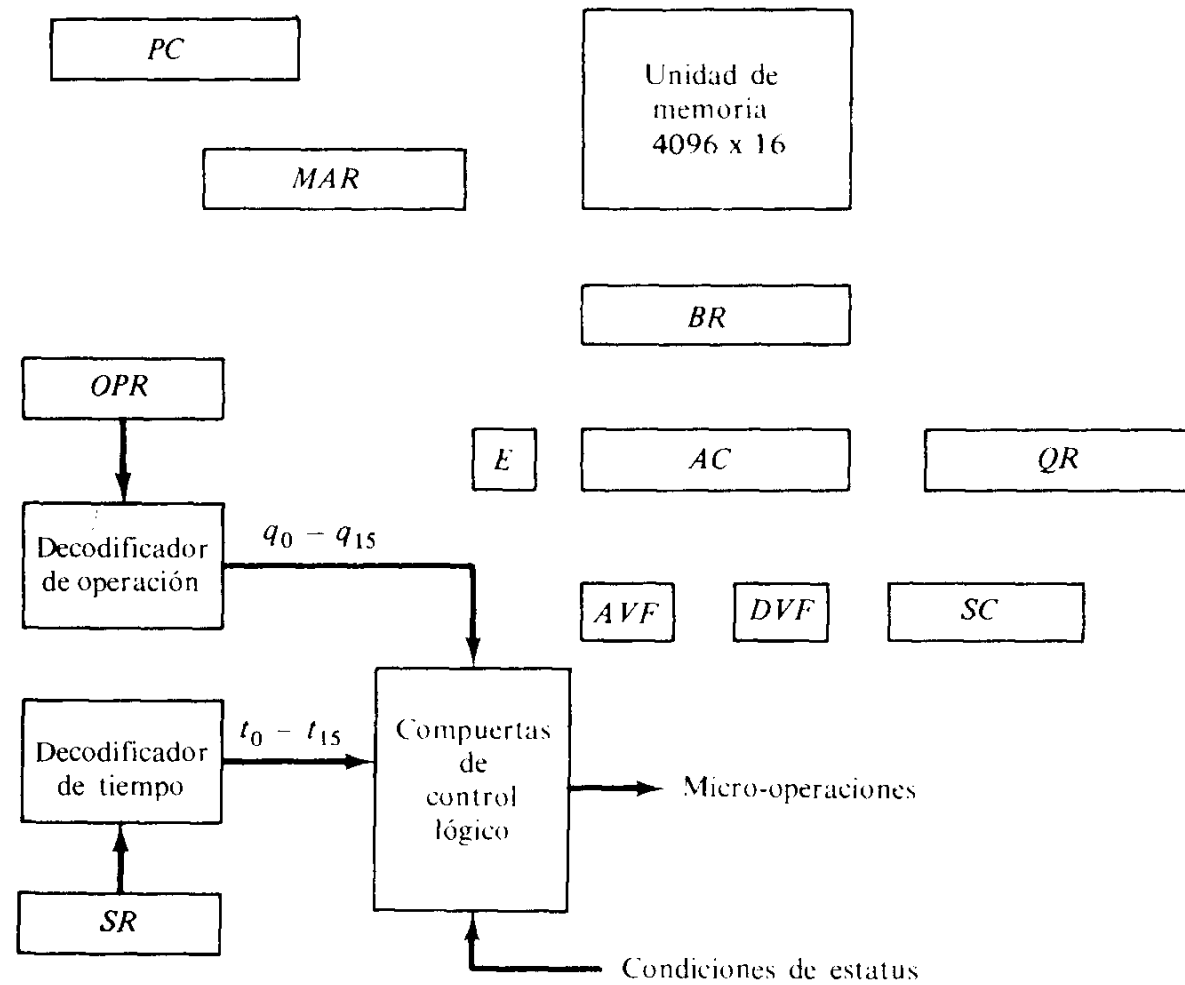


Figura 9-12 Diagrama de bloque de un computador con procesador aritmético.

- Unidad de Control
 - Registros PC, OPR, SR de 12, 4 y 4 bits respectivamente
 - Decodificadores de:
 - * Operación
 - * Tiempo
 - Módulo de compuertas de control lógico
- **Estudio del modelo propuesto para la Unidad de Control**
 - De tipo Cableada con decodificadores
 - Estructura
 - Registros
 - * de Operación OPR
 - * de secuencia temporal SR
 - Contador
 - * Cuenta hacia arriba
 - * Clear
 - * Carga paralela
 - Decodificador de Instrucciones 4 a 16
 - * Entrada: el contenido del OPR (el OP-CODE)
 - * Se activa **qi** de acuerdo con el código entrante
 - Decodificador de tiempos 4 a 16
 - * Genera la temporización de acuerdo con un reloj básico (t_0, t_1, \dots, t_{15})
 - * La instrucción mas larga consume menos de 16 pulsos

- Puertas de control lógico
 - Generación de las microordenes
 - * dependiendo de la instrucción (q_i)
 - * dependiendo del tiempo (t_j)
 - * dependiendo de alguna condición
 - Expresión lógica de una microorden

$$M_n = c_i \& q_j \& t_k$$

" La microorden M_n se ejecutará (a 1) cuando se tenga la instrucción j en el instante k y solo si se cumple la condición i "

▪ **Especificación de las secuencias de microoperaciones**

- Ciclos de una Instrucción
 - De búsqueda
 - * Idéntico para todas las Instrucciones
 - De ejecución
 - * Específico para cada Instrucción

▪ Ciclo de Búsqueda

- Objetivos
 - Situar el Op-code en el OPR
 - Actualizar el PC
 - Posicionar el MAR
- Formato de la línea de macrooperación

EXPRESION RTL PARA EL CICLO DE BUSQUEDA

"Expr. lóg.de control Señales a activar Temporización"

TABLA 9-4 Enunciados de transferencia de registro para el ciclo fetal

$t_0:$	$MAR \leftarrow PC,$	$SR \leftarrow SR + 1$
$t_1:$	$BR \leftarrow M,$	$PC \leftarrow PC + 1, \quad SR \leftarrow SR + 1$
$t_2:$	$MAR \leftarrow BR(AD), \quad OPR \leftarrow BR(OP), \quad SR \leftarrow SR + 1$	

■ Instrucciones ADD y SUB

- Identidad de los algoritmos de Suma y Resta
- Se define la variable x de igualdad de signos

$$x = A_s \text{ OR-EX } B_s$$

- La secuencia se basa en el algoritmo correspondiente

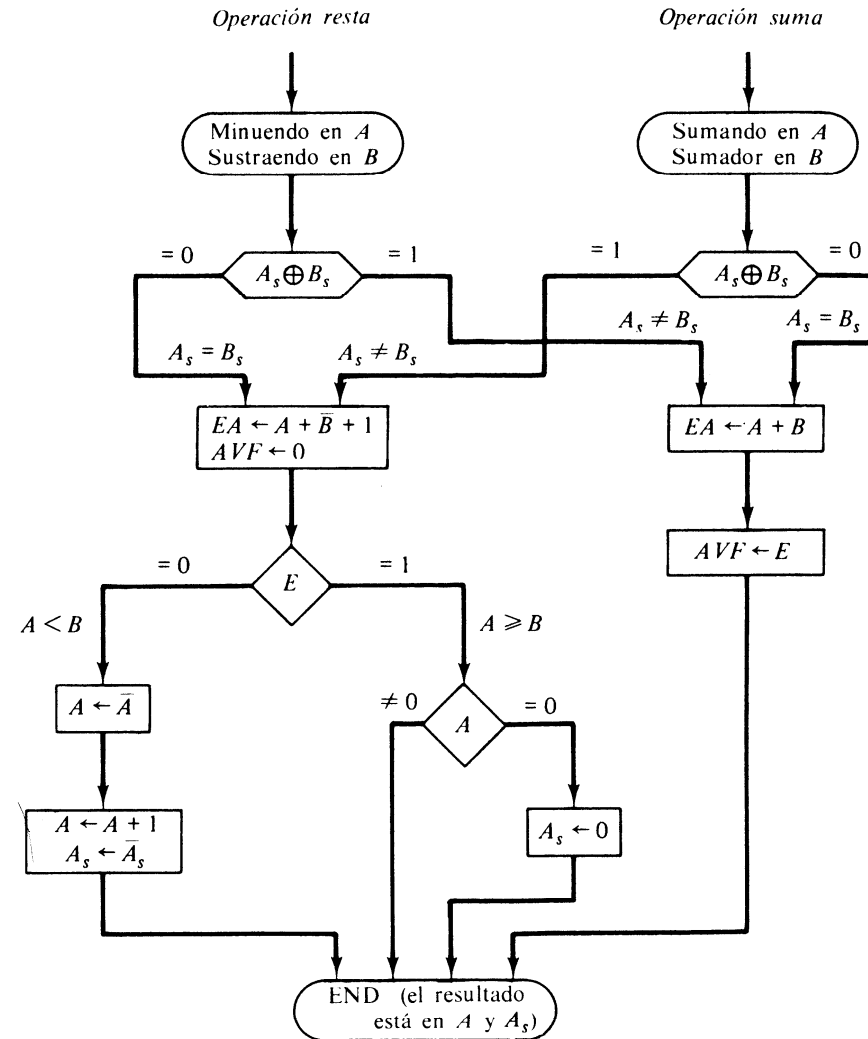


Figura 9-4 Diagrama de flujo para las operaciones sumar y restar.

EXPRESION RTL PARA LAS INSTRUCCIONES ADD Y SUB

TABLA 9-5 Enunciados de transferencia de registro para ADD y SUB

$(q_0 + q_1)t_3:$	$BR \leftarrow M,$	$SR \leftarrow SR + 1$	Lea el operando, vaya a t_4
$(x'q_0 + xq_1)t_4^*:$	$EA \leftarrow A + B,$	$SR \leftarrow SR + 1$	Sume las magnitudes, vaya a t_5
$(xq_0 + x'q_1)t_4:$	$EA \leftarrow A + \bar{B} + 1, AVF \leftarrow 0, SR \leftarrow 0110$		Reste las magnitudes, vaya a t_6
$(q_0 + q_1)t_5:$	$AVF \leftarrow E,$	$SR \leftarrow 0$	Coloque el sobreflujo y regrese a t_0
$E(q_0 + q_1)t_6:$	Si $(A = 0)$ entonces $(A_s \leftarrow 0),$	$SR \leftarrow 0$	Coloque el signo y regrese a t_0
$E'(q_0 + q_1)t_6:$	$A \leftarrow \bar{A},$	$SR \leftarrow SR + 1$	Complemente A , vaya a t_7
$(q_0 + q_1)t_7:$	$A \leftarrow A + 1, A_s \leftarrow \bar{A}_s,$	$SR \leftarrow 0$	Incremento y regrese a t_0

$$*x = A_s \oplus B_s.$$

▪ **Instrucción de multiplicación MULT**

- Necesidad de implementar bucles
- Necesidad de microoperaciones condicionales

TABLA 9-6 Enunciados de transferencia de registro para MULT

$q_{213}:$	$BR \leftarrow M, SR \leftarrow SR + 1$
$q_{214}:$	$A_s \leftarrow Q_s \oplus B_s, Q_s \leftarrow Q_s \oplus B_s, A \leftarrow 0, E \leftarrow 0, SC \leftarrow 15, SR \leftarrow SR + 1$
$Q_n q_{215}:$	$EA \leftarrow A + B$
$q_{215}:$	$SC \leftarrow SC - 1, SR \leftarrow SR + 1$
$q_{216}:$	$\text{shr } EAQ, \text{ si } (SC = 0) \text{ entonces } (SR \leftarrow 0), \text{ si } (SC \neq 0) \text{ entonces } (SR \leftarrow 0101)$

▪ **Lógica de control necesaria**

– Conjuntos de líneas a activar

$$PC \leftarrow PC + 1$$

$$MAR \leftarrow PC$$

$$BR \leftarrow M$$

$$MAR \leftarrow BR(AD)$$

$$SR \leftarrow SR + 1$$

$$EA \leftarrow A + B$$

$$AVF \leftarrow E$$

etc.

– Circuito para cada línea

➤ Suma de todas las expresiones lógicas que aparecen en las secuencias de microinstrucciones de las instrucciones

➤ Ejemplo : incrementar el contenido de SR ($SR \leftarrow SR + 1$)

$$f = t_0 + t_1 + t_2 + (q_0 + q_1) t_3 + q_2 t_3 + (x'q_0 + xq_1) t_4 + q_2 t_4 + q_2 t_5 + E' (q_0 + q_1) t_6 + \dots$$

➤ Seguramente se podría minimizar