



Tema 9. Sistemas Secuenciales

- **Objetivos.**
 - Comprender las diferencias entre Sistema Combinacional y Secuencial.
 - Comprender el funcionamiento y conocer las tablas de transición de los latch y flip-flop más comunes.
 - Asimilar las diferencias entre un latch y un flip-flop.
 - Introducir el concepto de cronograma y resaltar su importancia tanto en el análisis como en el diseño de sistemas secuenciales síncronos.



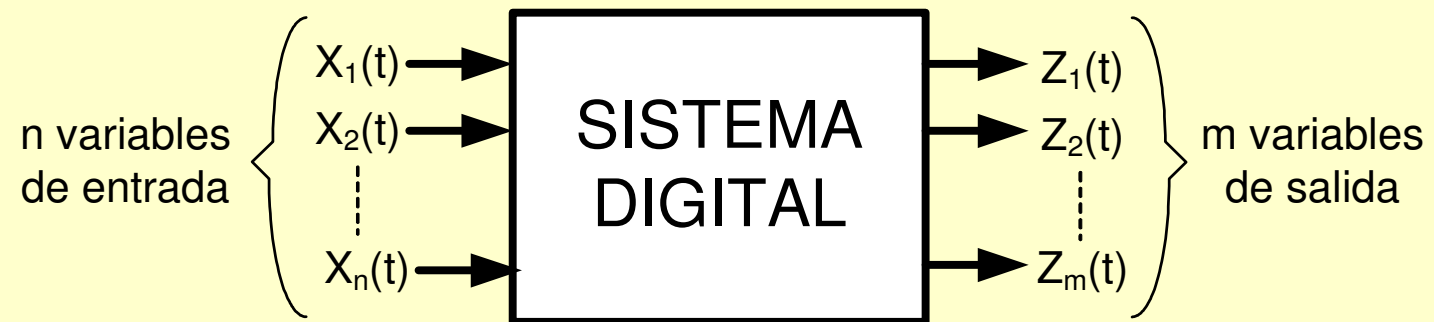
Tema 9. Sistemas Secuenciales

- **Contenidos.**
 1. Definición de sistema secuencial.
 - Comparación combinacional-secuencial.
 - Estructura.
 2. Elementos de memoria.
 - Latch SR: NOR y NAND. Latches síncronos: SR y D.
 - Biestables o flip-flops síncronos: Definición. Utilidad. Biestable. Biestable JK. Biestable T. Biestable D. Biestables disparados por flanco.
 - Biestables con entradas asíncronas.



Definición de Sistema Secuencial

Modelo general de un sistema digital.



- Tanto las entradas como las salidas se expresan en función del tiempo.
- Dependiendo de la relación entre las señales de salida y las de entrada respecto a sus valores, se distinguen dos tipos de sistemas digitales:
 - **Sistema combinacional.**
 - **Sistema secuencial.**



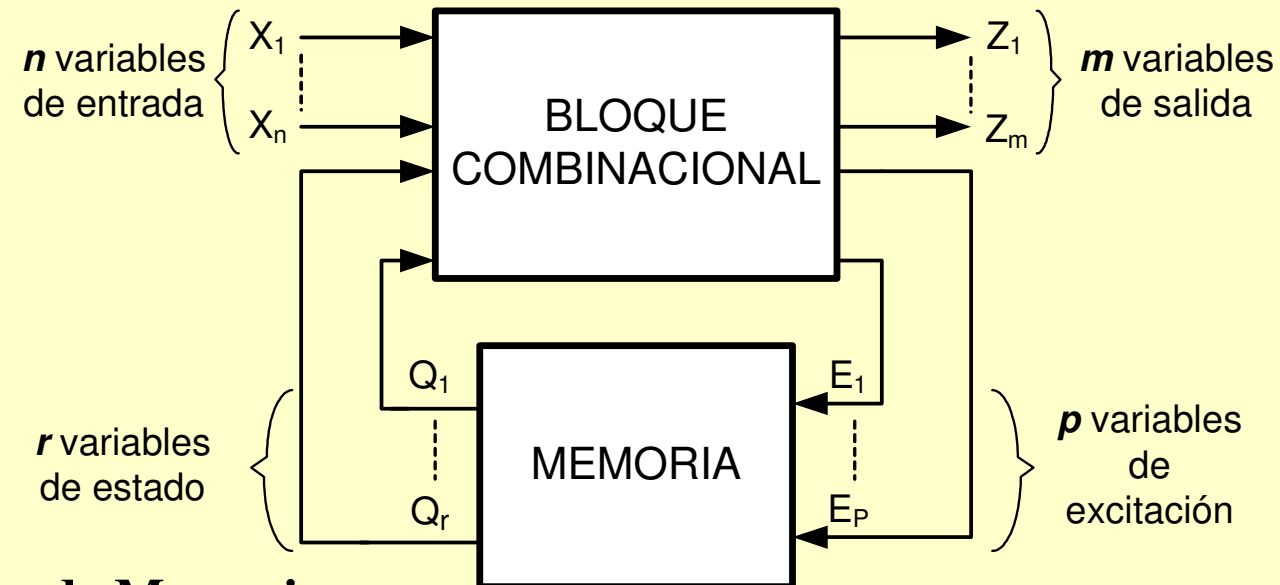
Definición de Sistema Secuencial

- **Sistema combinacional.**
 - En cualquier instante de tiempo, el valor de las señales de salida depende exclusivamente del valor de las señales de entrada en ese instante.
 - Existe una relación unívoca de los valores de las señales de entrada con los de salida, indiferentemente del instante de tiempo que se considere:
 - En instantes de tiempo distintos, para un mismo valor conjunto de las variables de entrada, las variables de salida tienen siempre el mismo valor.
 - Es decir, las variables de salida no puede tener valores distintos para un mismo valor de las variables de entrada, aunque se consideren instantes de tiempo diferentes.
 - Por tanto, para describir su comportamiento solo se necesita saber el valor de las variables de salida para cada valor de las variables de entrada, y se elimina la variable tiempo.
 - Por ello, se describe el comportamiento mediante una tabla de verdad.
- **Sistema secuencial.**
 - El valor actual de las señales de salida (en un instante de tiempo dado) depende no sólo del de las señales de entrada en ese instante sino de los valores anteriores que han tenido las entradas y/o las salidas, es decir, de la evolución del sistema.
 - En función del tiempo, el valor de las variables de salida puede ser distinto para un mismo valor de las variables de entrada, es decir depende del instante de tiempo que se considere (evolución del sistema).
 - No se puede expresar el comportamiento mediante una tabla de verdad.
 - Necesita un bloque de memoria para almacenar información sobre la evolución del sistema.



Definición de Sistema Secuencial

- Estructura general de los sistema secuenciales.



- **Bloque de Memoria.**
 - **La memoria almacena información sobre la evolución del sistema.**
 - Esta información se representa mediante **r señales binarias ($Q_r \dots Q_1$)**, denominadas **variables de estado**.
 - Corresponden a las salidas del bloque de memoria.
 - Cada una de las 2^r combinaciones binarias de las r variables de estado se denomina **estado del sistema**.
 - Un estado almacena información sobre la evolución del sistema.



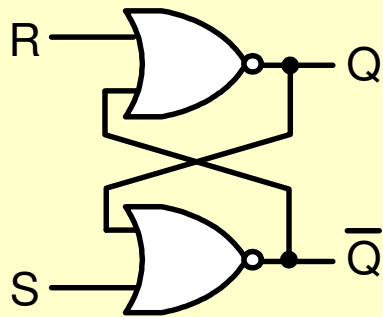
Elementos de memoria

- Se distinguen dos elementos básicos de memoria.
 - ***Latch.***
 - ***Biestable o flip-flop.***
- Ambos permiten almacenar un bit de información.
- ***Características comunes:***
 - Tienen dos estados estables (biestable): 0 y 1.
 - Suelen tener dos salidas. Una es el complemento de la otra: **Q** y \overline{Q}
 - Mantiene indefinidamente su estado actual siempre que se le suministre energía eléctrica (tensión continua de alimentación) y no se modifique cambiando de valor sus entradas.
- ***Latch básico. Latch SR.***
 - Es el elemento de memoria más básico y en el que se basan los restantes.
 - Se puede implementar con puertas NOR (***latch SR NOR***) o puertas NAND (***latch SR NAND***).
 - Se implementan con dos puertas de 2 entradas con realimentación cruzada.



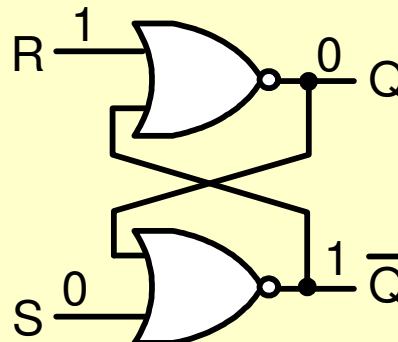
Elementos de memoria

- **Latch SR NOR.**

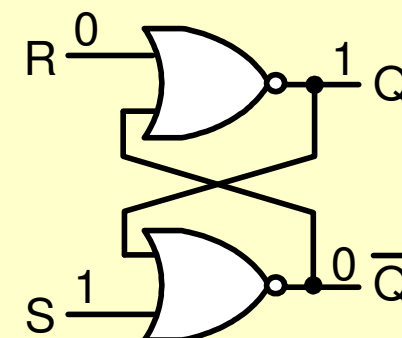


- Tiene dos estados:
 - ✓ Estado 1 $\Rightarrow Q = 1$ y $\bar{Q} = 0$
 - ✓ Estado 0 $\Rightarrow Q = 0$ y $\bar{Q} = 1$
- Tiene dos entradas:
 - ✓ **S** que corresponde a la sigla de SET. Es la entrada de puesta a 1.
 - ✓ **R** que corresponde a la sigla de RESET. Es la entrada de puesta a 0.
- Se recomienda que se active una sola entrada.

Puesta a 0



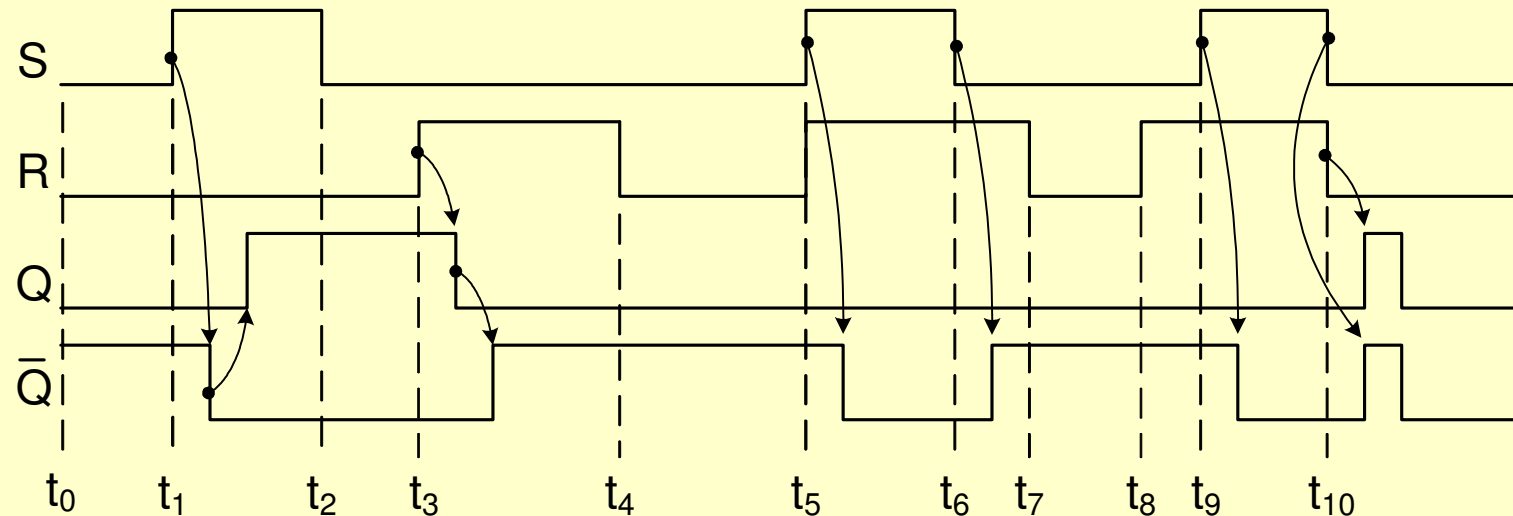
Puesta a 1



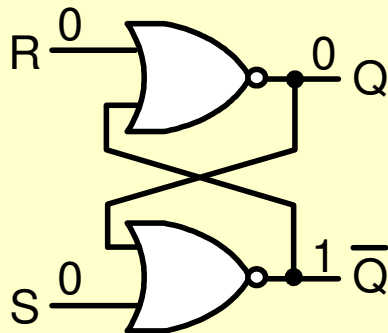


Elementos de memoria

■ Cronograma del funcionamiento.



Instante inicial t_0



- El estado del latch en un instante de tiempo dado t_v , se denomina **estado actual**, y se representa mediante Q^v .
- El estado que adoptará el latch a partir del instante t_v , dependiendo de los valores de las entradas S y R y de su estado actual, se denomina **estado siguiente**, y se representa por Q^{v+1} .
- $Q^v = Q^{v+1}$ después del retardo de propagación.
- En el instante t_{10} , $S = R = 1$ cambia a $S = R = 0$:
 - No se puede predecir el estado siguiente del latch.
 - Dependerá de la puerta más rápida.
 - Si tienen el mismo retardo pueden oscilar las salidas.



Elementos de memoria

■ Conclusión del cronograma.

- $S = 1$ y $R = 0 \Rightarrow$ Puesta a 1, $Q^{v+1} = 1$ y $\overline{Q}^{v+1} = 0$
- $S = 0$ y $R = 1 \Rightarrow$ Puesta a 0, $Q^{v+1} = 0$ y $\overline{Q}^{v+1} = 1$
- $S = 0$ y $R = 0 \Rightarrow$ No cambia, $Q^{v+1} = Q^v$ y $\overline{Q}^{v+1} = \overline{Q}^v$
- $S = 1$ y $R = 1 \Rightarrow$ Estado siguiente no predecible. No se usa.
Además se tendría $Q = \overline{Q} = 0$ Contradicción

■ Tabla característica o de transición.

- Describe el funcionamiento del latch.
- Indica el estado siguiente que adopta para cada combinación de valores de las entradas y el estado actual.

Representación a nivel de bloque

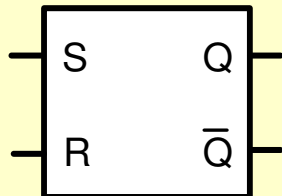


Tabla característica o de transición reducida

S	R	Q^{v+1}	\overline{Q}^{v+1}	Modo
0	0	Q^v	\overline{Q}^v	No cambia
0	1	0	1	Puesta a 0
1	0	1	0	Puesta a 1
1	1	0	0	No usada

Tabla de transición completa

S	R	Q^v	Q^{v+1}	\overline{Q}^{v+1}	Modo
0	0	0	0	1	No cambia
0	0	1	1	0	
0	1	0	0	1	Puesta a 0
0	1	1	0	1	
1	0	0	1	0	Puesta a 1
1	0	1	1	0	
1	1	0	0	0	No usada
1	1	1	0	0	



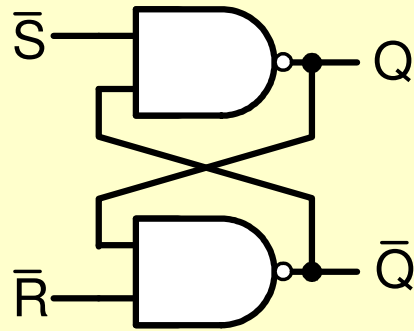
Elementos de memoria

- Latch SR NAND.**

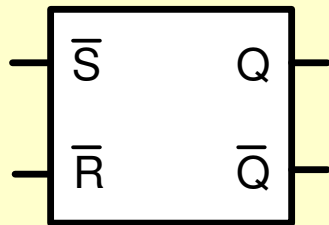
- En una puerta NAND el valor que fuerza la salida a un determinado valor es el 0.

$$\overline{X \cdot 0} = 1$$

- Por tanto, las entradas S y R son activas a nivel bajo (0).
- Para distinguirlo del SR NOR se complementan S y R.



**Representación
a nivel de bloque**



**Tabla característica o de
transición reducida**

\bar{S}	\bar{R}	Q^{v+1}	\bar{Q}^{v+1}	Modo
0	0	1	1	No usada
0	1	1	0	Puesta a 1
1	0	0	1	Puesta a 0
1	1	Q^v	\bar{Q}^v	No cambia

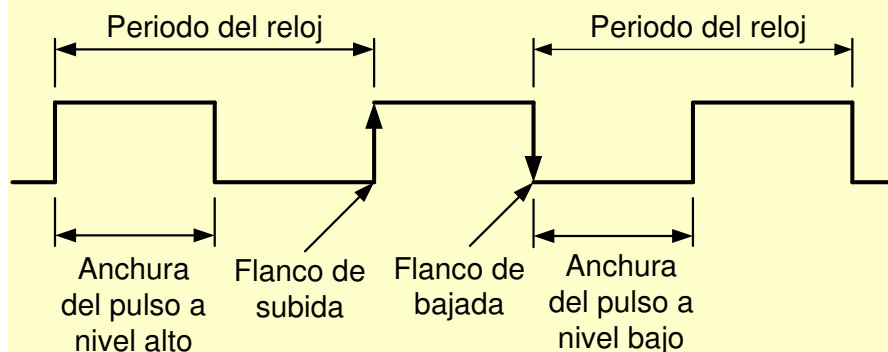
Tabla de transición completa

\bar{S}	\bar{R}	Q^v	Q^{v+1}	\bar{Q}^{v+1}	Modo
0	0	0	1	1	No usada
0	0	1	1	1	
0	1	0	1	0	Puesta a 1
0	1	1	1	0	
1	0	0	0	1	Puesta a 0
1	0	1	0	1	
1	1	0	0	1	No cambia
1	1	1	1	0	



Elementos de memoria. Latch síncronos por nivel

- Los latch SR básicos cambian inmediatamente su salida si lo hace alguna de sus entradas.
 - Por ello, se denominan *latch asíncronos*.
- Los latch síncronos tienen otra señal adicional, denominada *entrada de reloj o de habilitación*, que la representaremos por **C**, **G** o **EN**.
 - La salida cambia si la entrada de reloj o de habilitación tiene el nivel lógico activo correspondiente.
- **Señal de reloj.**
 - *Señal que oscila entre los dos niveles lógicos con una cierta duración o periodo.*



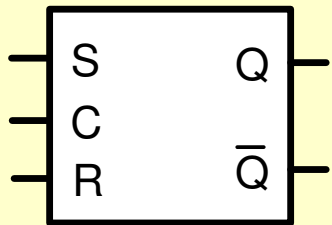
Unidades de periodo		
μs	ns	ps
$10^{-6} s$	$10^{-9} s$	$10^{-12} s$

Unidades de frecuencia		
KHz	MHz	GHz
10^3 Hz	10^6 Hz	10^9 Hz

- **Periodo (T).** Tiempo entre dos transiciones del mismo tipo (dos flancos de subida o de bajada).
- **Frecuencia (f).** Número de periodos por segundo. Es la inversa del periodo.
- **Anchura del pulso a nivel alto (t_{WH}).** Tiempo durante el que la señal de reloj está a nivel alto.
- **Anchura del pulso a nivel bajo (t_{WL}).** Tiempo durante el que la señal de reloj está a nivel bajo.
- **Simetría del ciclo (Duty cycle).** Cociente entre la anchura del pulso del reloj a nivel alto y el periodo del reloj expresado en tanto por ciento.



Representación a nivel de bloque

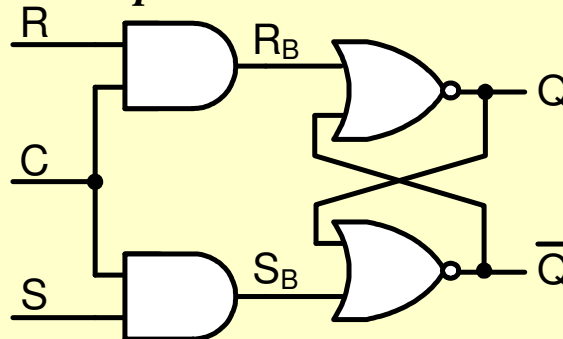


Elementos de memoria

• Latch SR síncrono por nivel.

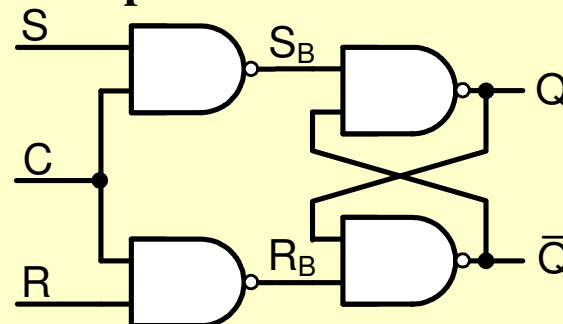
- Se puede implementar a partir del latch SR NOR o SR NAND.
- En ambos la entrada C funciona como una entrada de control de habilitación.

• A partir del latch SR NOR.



- $C = 1 \Rightarrow R_B = R \quad S_B = S$
 - Funciona como el latch SR básico con puertas NOR.
- $C = 0 \Rightarrow R_B = 0 \quad S_B = 0$
 - No cambia de estado.

▪ A partir del latch SR NAND.

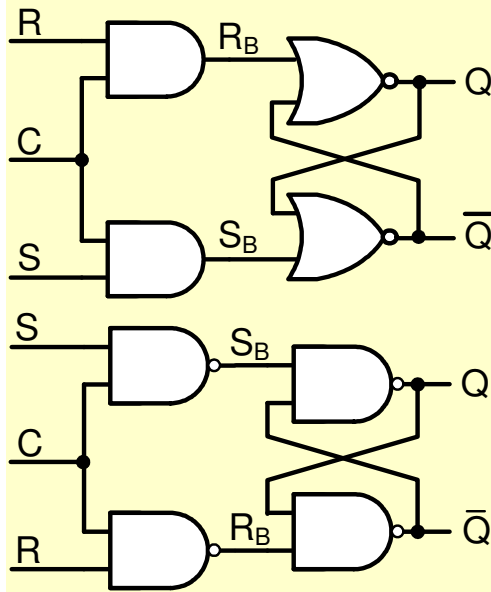


- $C = 1 \Rightarrow R_B = \bar{R} \quad S_B = \bar{S}$
 - Funciona como el latch SR básico con puertas NOR, excepto para el valor de entrada no usado (\bar{S} y \bar{R} activas).
- $C = 0 \Rightarrow R_B = 1 \quad S_B = 1$
 - No cambia de estado.

- En ambos latch las entradas S y R son activas a nivel alto. Por tanto, la representación a nivel de bloque y la tabla de transición son iguales.

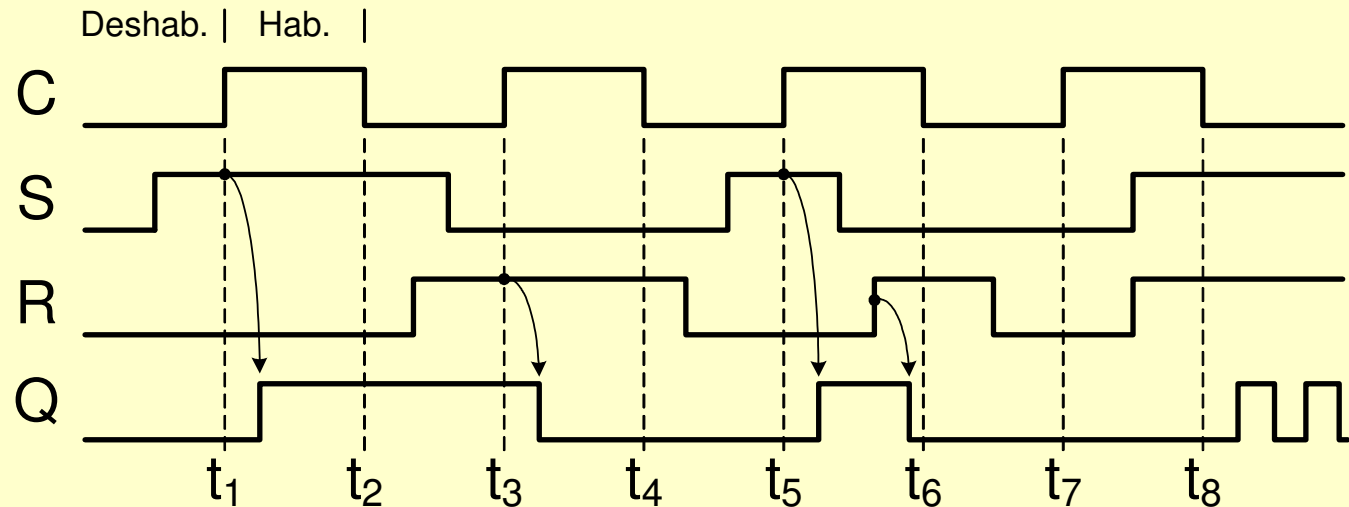


Elementos de memoria



- El cronograma es idéntico para ambos excepto si $S = R = 1$ y $C = 1$.
- La salida $Q = 1$ para el latch SR síncrono con puertas NAND.
- Como no se usa este valor de entrada, el cronograma real es el mismo para ambos.

■ Cronograma del funcionamiento.



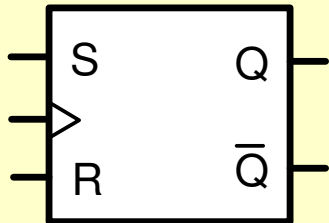
■ Conclusiones del funcionamiento.

- ✓ El latch cambia de estado si $C = 1$.
 - ✓ Se comporta como un latch SR NOR.
- ✓ Si $C = 0$ no cambia de estado.
- ✓ Por ello, se denomina latch SR síncrono por nivel.
- ✓ Si $S = R = 1$ y C pasa de 1 a 0, no se puede predecir el estado siguiente.
 - ✓ No se debe de usar este valor de entrada.

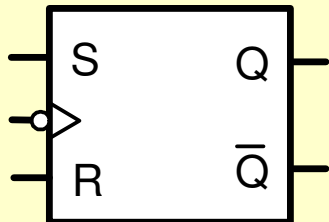


Elementos de memoria. Biestables o flip-flops. Definición.

*Biestable SR activo
por flanco de subida*



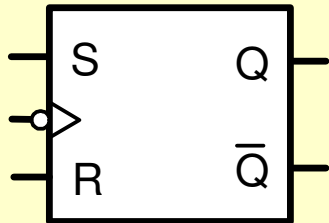
*Biestable SR activo
por flanco de bajada*



- *Definición de biestable o flip-flop.*
 - **Elemento básico de memoria que cambia de estado, o de valor su salida, solamente si se produce un flanco activo en su entrada de reloj.**
 - Según el *tipo de flanco activo* se distinguen dos tipos de biestables:
 - *Biestables activos por flanco de bajada.*
 - *Biestables activos por flanco de subida.*
- *La entrada de reloj se representa mediante el símbolo >*
 - Si es activo por flanco de bajada se le antepone un círculo.
- *Diferencias entre un latch y un biestable.*
 - *Un biestable no es transparente*, ya que las salidas solamente pueden cambiar en los flancos de la señal de reloj.
 - Se dice que *un latch es sensible por nivel* y *un biestable por flanco*.
- *Según la forma de hacer sensible el biestable al flanco de la señal de reloj se distinguen dos tipos de biestables:*
 - ***Biestable Maestro-esclavo.***
 - ***Biestable activo por flanco.***



Biestable SR activo por flanco de bajada

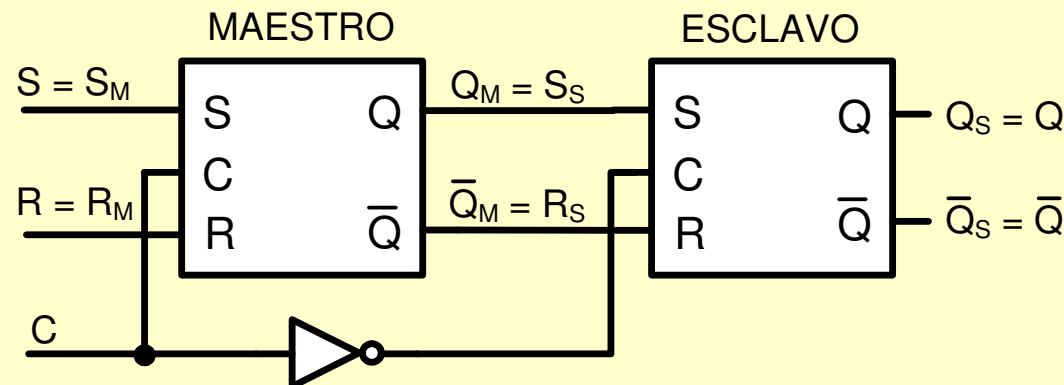


Elementos de memoria.

Biestables o flip-flops Maestro-esclavo (Master-slave).

- La estructura Maestro-esclavo se puede implementar con latch D o latch SR síncronos.
- Se obtendrá un biestable SR activo por flanco de bajada, por lo que se usarán latch SR síncronos.
- ***Estructura interna del biestable SR Maestro-esclavo.***

- Consta de dos latch SR síncronos, denominados maestro y esclavo.



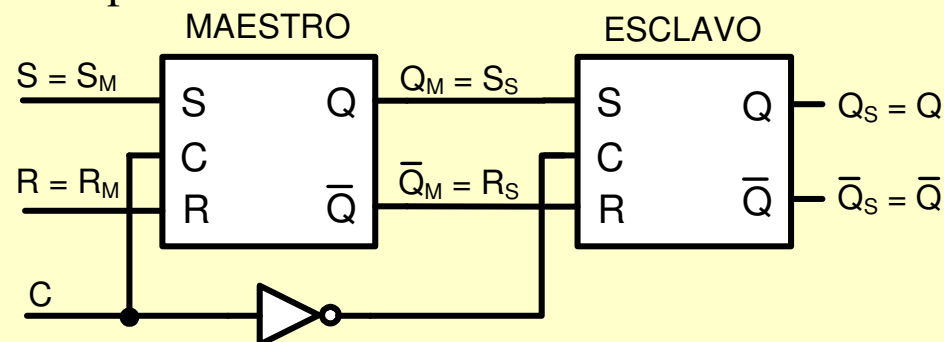
- Las entradas del biestable son las entradas del latch maestro.
- Las salidas del biestable son las salidas del latch esclavo.
- Las salidas del latch maestro se conectan a las entradas del latch esclavo.
- Los dos latch se sincronizan mediante la misma señal de reloj, pero el maestro se habilita sólo cuando $C = 1$, y el esclavo cuando $C = 0$.



Elementos de memoria. Biestables o flip-flops Maestro-esclavo (Master-slave).

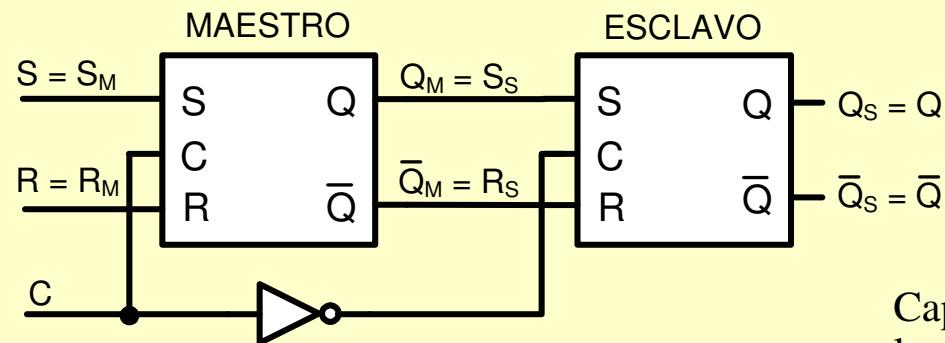
- *Análisis del funcionamiento.*

- Si $C = 1$:
 - Se habilita sólo el maestro.
 - Almacena el valor correspondiente a sus entradas S_M y R_M , que coinciden con las entradas S y R del biestable.
- Si $C = 0$:
 - Se deshabilita el maestro, que almacena su estado actual, y se habilita el esclavo.
 - Cambia sus salidas según sus estradas S_S y R_S , que dependen de las salidas del maestro. El latch esclavo sólo usa los modos de puesta a 1 y puesta a 0.
- Por tanto, el maestro selecciona el valor de salida cuando $C = 1$, y con \downarrow de C se transfiere el contenido del maestro al esclavo.
- El biestable SR maestro-esclavo nunca está en modo transparente, ya que no se habilitan al mismo tiempo los dos latch.



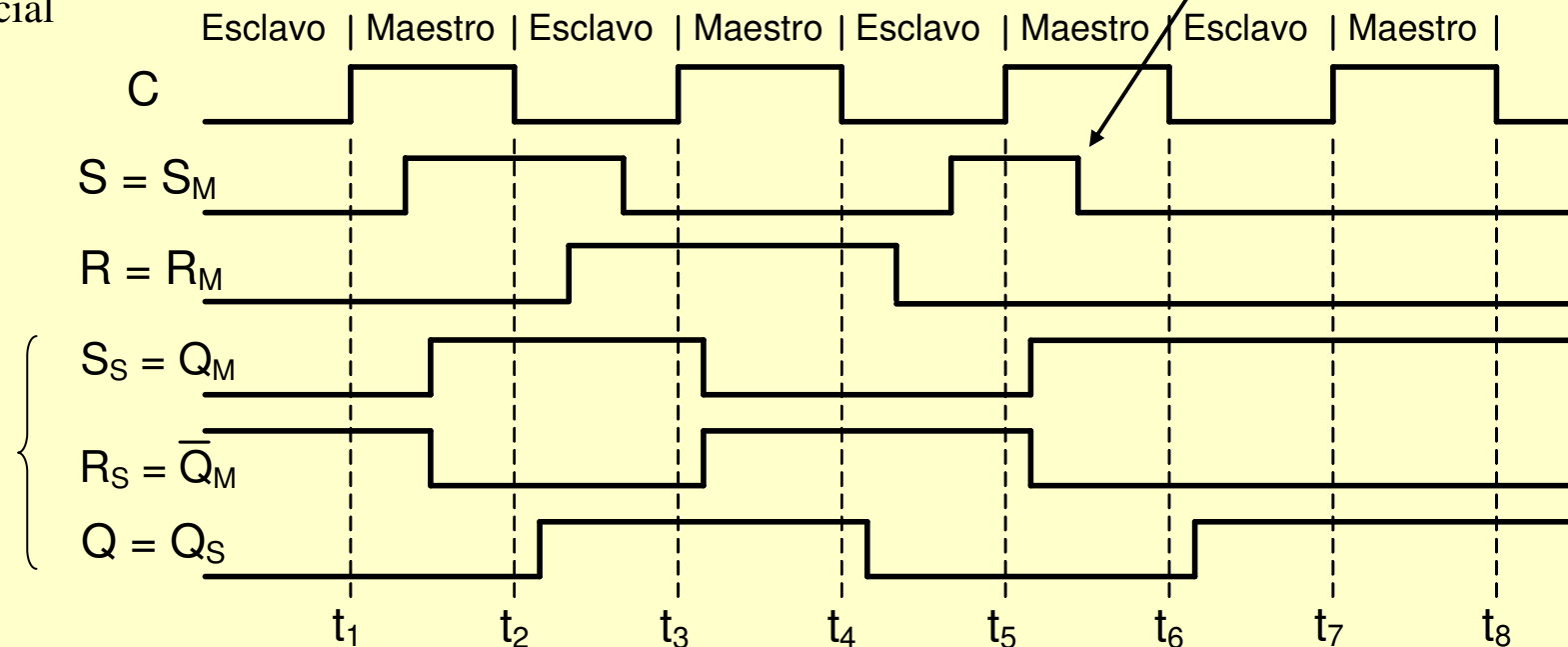


Elementos de memoria. Bistable o flip-flop SR Maestro-esclavo (Master-slave).



Suponemos que el biestable y ambos latch están en el estado 0 en el instante inicial

• Cronograma.





Elementos de memoria.

Bistable o flip-flop SR Maestro-esclavo (Master-slave).

- ***Conclusión del funcionamiento del bistable SR maestro-esclavo.***
 - La salida del bistable se sincroniza con el flanco de bajada de la señal de reloj.
 - Sólo cambia de valor en los flancos de bajada de la señal de reloj.
 - El valor válido de las entradas sería justo el que tienen antes del flanco de bajada de la señal de reloj. Esto es válido para los biestables D, pero no para el SR.
 - En el pulso 3, la salida se pone a 1 aunque $S = R = 0$.
 - **Justificación:**
 - Cuando $C = 1$ se activó S, por lo que el latch maestro fue al estado 1, y al desactivarse S antes del flanco de bajada del reloj, el latch maestro mantiene su estado actual (1).
 - Esta característica se denomina ***captación de unos***.
 - Por tanto, el valor que se transfiere al esclavo lo determina la última entrada del bistable que se active mientras que $C = 1$.
 - La señal de reloj en los biestable o flip-flop se denomina Clk (Clock).
 - Para implementar un flip-flop activo por flanco de subida se intercambian los relojes entre los latch: Maestro ($C = 0$), Esclavo ($C = 1$).



Elementos de memoria

- **Biestables o flip-flops activos por flanco.**
 - Los flip-flops activos por flanco cambia de estado o su salida cuando se produce un flanco activo en la señal de reloj.
 - Pueden ser activos por flanco de subida o de bajada, pero nunca en ambos flancos de la señal de reloj.
 - Son los que se usan como elementos de memoria en los sistemas secuenciales síncronos, que son los tipos de sistemas secuenciales más empleados en los sistemas digitales.
 - En el funcionamiento real, como se deben de cumplir unos parámetros temporales para garantizar el funcionamiento, simplemente hay que analizar el valor de las entradas en el mismo flanco activo.
 - En función de las entradas se distinguen varios tipos de flip-flops: SR, D, JK y T.
 - Los flip-flops SR, D y JK se construyen partiendo del latch síncrono por nivel correspondiente y añadiéndole un circuito que detecte el flanco activo en la señal de reloj.



Elementos de memoria

Representación
a nivel de bloque

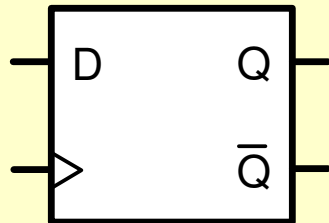


Tabla de transición
reducida

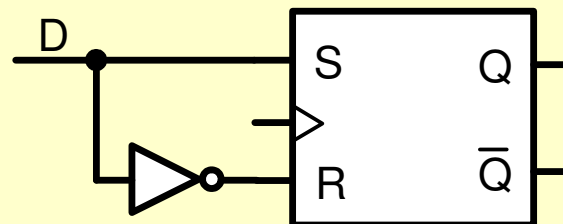
Clk	D	Q^{v+1}	Modo
0	-	Q^v	No cambia
↑	0	0	Puesta a 0
↑	1	1	Puesta a 1

Ecuación de estado

$$Q^{v+1} = D$$

- **Biestable D activo por flanco de subida.**

- Se construye a partir de un flip-flop SR activo por flanco de subida y se conecta la entrada D a las entradas SR del mismo modo que para el latch D síncrono por nivel.



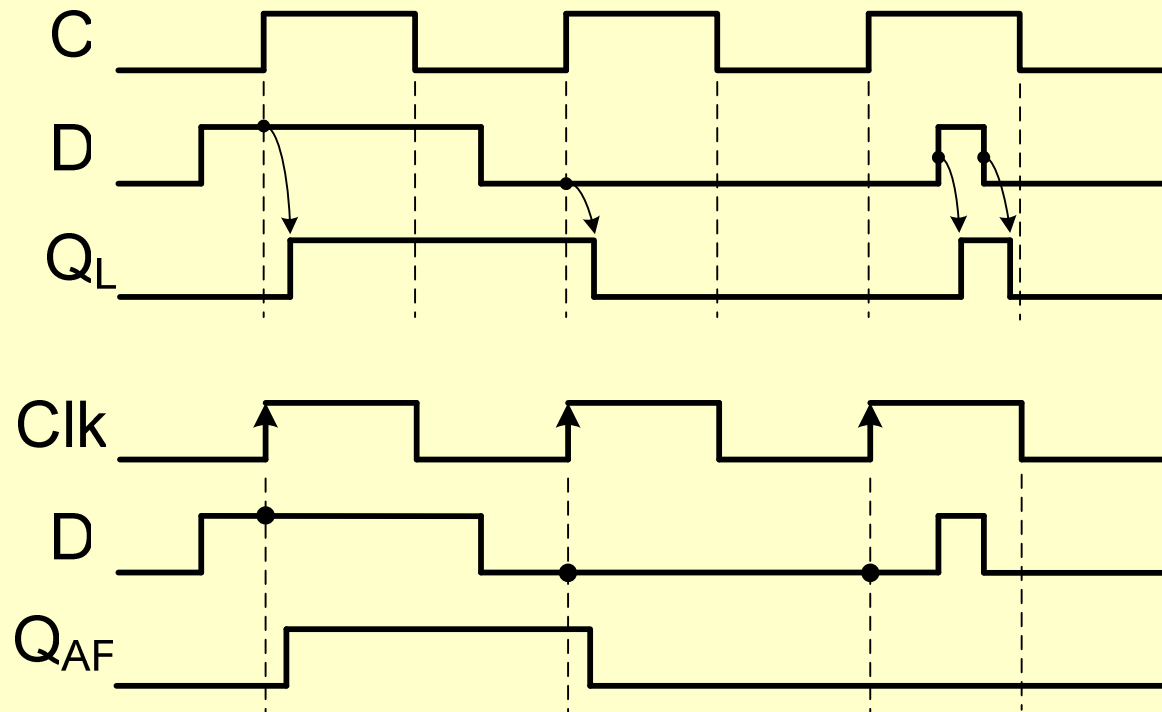
- Al igual que el latch D solamente usa los modos de puesta a 1 y puesta a 0.
- En cada flanco de subida de Clk el valor de la entrada de datos D se almacena en el flip-flop.

- En la ecuación de estado a diferencia del latch D síncrono no se incluye la señal de reloj.



Elementos de memoria

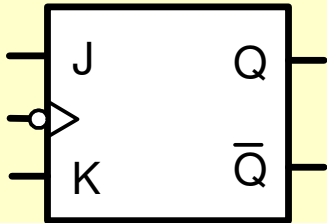
- **Cronograma del funcionamiento.**
 - Se muestra la diferencia entre un latch D síncrono (Q_L) y un flip-flop D activo por flanco (Q_{AF}).





Elementos de memoria

Representación a nivel de bloque



• Biestable JK activo por flanco de bajada.

- Se construye a partir de un flip-flop SR activo por flanco de bajada y se realimentan las salidas hacia las entradas del mismo.
- Solamente tiene en cuenta el valor de las entradas cuando se produce un flanco activo en la señal de reloj.

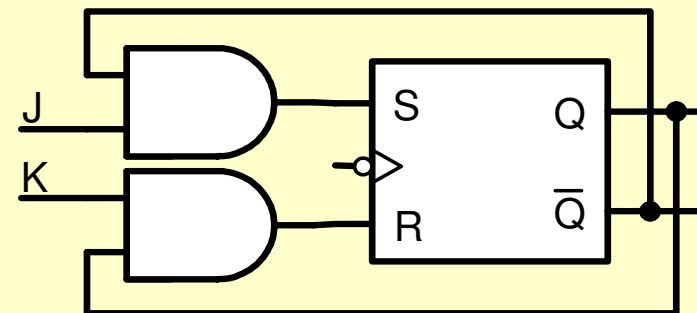
Tabla de transición reducida

Clk	J	K	Q^{v+1}	Modo
0	-	-	Q^v	No cambia
↓	0	0	Q^v	No cambia
↓	0	1	0	Puesta a 0
↓	1	0	1	Puesta a 1
↓	1	1	$\overline{Q^v}$	Toggle

Ecuación de estado

- Se elimina Clk

$$Q^{v+1} = J \overline{Q^v} + \overline{K} Q^v$$





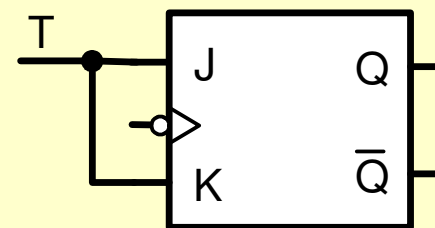
Elementos de memoria

- **Implementación de un Biestable D a partir de un biestable JK activo por flanco.**
 - Se construye a partir de un flip-flop JK activo por flanco uniendo sus dos entradas J y K.
 - Se deduce analizando la tabla de transición reducida del flip-flop JK:
 - Se usan sólo dos valores de entrada, ya que el flip-flop T tiene dos modos de funcionamiento: Mantenimiento y conmutación.

T	Q^{v+1}	Modo
0	Q^v	No cambia
1	$\overline{Q^v}$	Toggle

J	K	Q^{v+1}	Modo
0	0	Q^v	No cambia
0	1	0	Puesta a 0
1	0	1	Puesta a 1
1	1	$\overline{Q^v}$	Toggle

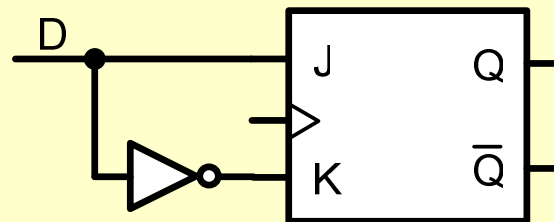
- Comparando ambas tablas se deduce que $J = K = T$.





Elementos de memoria

- **Implementación de un Biestable D activo por flanco a partir de un biestable JK.**
 - Anteriormente se introdujo el biestable D a partir de un biestable SR. De manera similar se puede construir un biestable D a partir de un flip-flop JK activo por flanco, como muestra la figura.

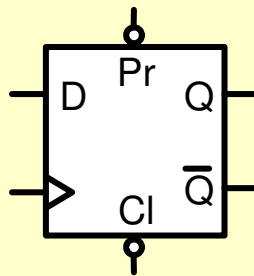




Elementos de memoria

- **Señales asíncronas de un biestable.**

- Además de las señales de entrada estudiadas anteriormente, los biestables tienen dos entradas que provocan cambios en el estado del biestable, y por tanto en las salidas, independientemente de la señal de reloj. Estas entradas se le denominan Preset y Clear.
- Estas entradas se muestran a continuación como ejemplo en un biestable tipo D. Para los restantes tipos de biestables el funcionamiento de estas entradas es el mismo.



- **Pr** es la entrada asíncronas de Preset o de puesta a 1. Es activa a nivel bajo.
- **Cl** es la entrada asíncrona de Clear o puesta a 0. Es activa a nivel bajo.



Bibliografía detallada

Sistemas Secuenciales

Las diapositivas se han confeccionado utilizando como fuente:

- **Sistemas Secuenciales**

- "Diseño Lógico". A. Lloris, A. Prieto. Mc-Graw Hill. 1996.
Capítulos: 7.1.1, 7.2, 7.3
- "Circuitos digitales y microprocesadores", H.Taub, Mc-Graw Hill. 1983.
Capítulo: 4.8 (biestable maestro-esclavo)
- "Diseño Lógico". A. Lloris, A. Prieto. Mc-Graw Hill. 1996.
Capítulos: 7.4, 7.5, 7.6 (biestables J-K,D,T)
- "Circuitos digitales y microprocesadores", H.Taub, Mc-Graw Hill. 1983.
Capítulo: 4.12 (Captación de unos y ceros por el biestable maestro-esclavo)
- "Diseño Lógico". A. Lloris, A. Prieto. Mc-Graw Hill. 1996.
Capítulos: 7.8 (biestables disparados por flanco), 7.10 (estructura de los sistemas secuenciales sincronos)