
ARQUITECTURA AVANZADA DE PROCESADORES

Profesor: Dr. Héctor Martínez Pérez

Correo electrónico: el2mapeh@uco.es

Curso 2025/2026



PLANIFICACIÓN

OCTUBRE

L	M	X	J	V	S	D
		1	2	3	4	5
6	7	8	9	10	11	12
13	14	15	16	17	18	19
20	21	22	23	24	25	26
27	28	29	30	31		

NOVIEMBRE

L	M	X	J	V	S	D
					1	2
3	4	5	6	7	8	9
10	11	12	13	14	15	16
17	18	19	20	21	22	23
24	25	26	27	28	29	30

DICIEMBRE

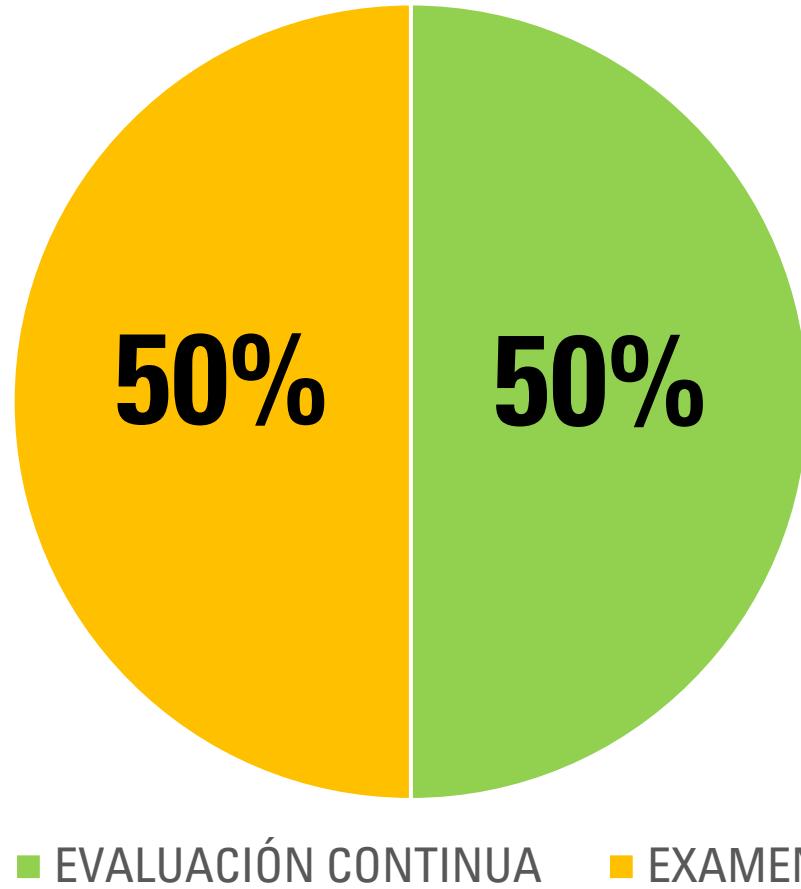
L	M	X	J	V	S	D
1	2	3	4	5	6	7
8	9	10	11	12	13	14
15	16	17	18	19	20	21
22	23	24	25	26	27	28
29	30	31				

Ensamblador MIPS+MARS

Segmentación MIPSIM

Recuperación + Dudas + Examen

EVALUACIÓN PRÁCTICAS



50% EVALUACIÓN CONTINUA

- Asistencia a clase
- Participación
- Defensa de ejercicios

50% EXAMEN

CENTRAL PROCESADORA

32-BIT
UCU

32-BIT

CPU

INTERCONEXIONES

MEMORIA

¿EMPEZAMOS?

CENTRAL

ALU

