



Tema 5. Diseño de circuitos combinacionales

Objetivos

- Conocer los métodos de síntesis de sistemas combinacionales.
- Conocer la síntesis NAND-NOR.
- Conocer algunos parámetros y características de las puertas físicas.
- Concepto de riesgos en circuitos combinacionales.



Tema 5. Diseño de circuitos combinacionales

Contenido

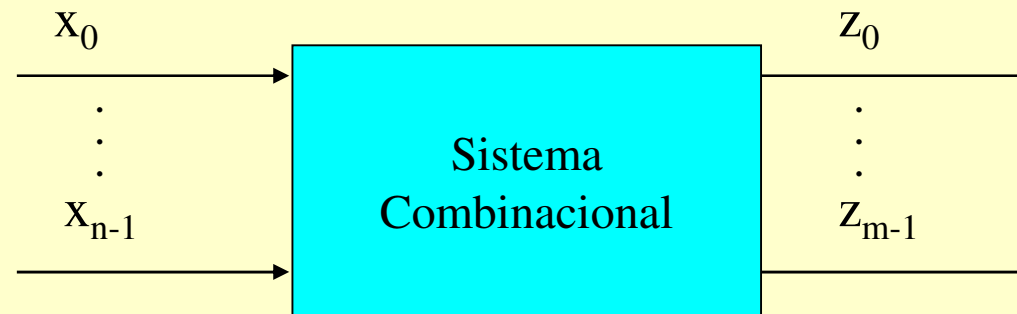
- Circuito combinacional: definición y características
- Síntesis mediante puertas básicas: AND, OR, NOT
- Síntesis mediante puertas NAND o NOR
- Parámetros importantes de las puertas físicas
- Riesgos en circuitos combinacionales



Definición de Sistema Combinacional.

- Son Sistemas Digitales en los que **en cualquier instante de tiempo, los valores de sus señales de salida dependen únicamente de los valores de las señales de entrada en ese mismo instante**, salvo los retardos debidos a la propagación de las señales.

$$Z_i = f_i(x_{n-1}, \dots, x_0) \quad ; \quad i = m-1, \dots, 0$$





Definición de Sistema Combinacional.

- Las señales de **entrada**, x_{n-1}, \dots, x_0 , y de **salida**, z_{m-1}, \dots, z_0 , se representan mediante **variables lógicas**.
- Para n variables de entrada, hay 2^n combinaciones posibles de valores binarios de entrada.
- **Para cada combinación de valores de entrada, hay solamente una combinación de valores de las variables de salida.**
- El **comportamiento** de un sistema combinacional se podrá describir mediante **m funciones lógicas**, una para cada señal de salida.
- Cada función lógica de las variables de salida se expresa en función de las n variables de entrada.



Síntesis de Sistemas Combinacionales.

- *Etapas del diseño.*
 1. *Se enuncia el problema.*
 2. *Se determina el **número de variables de entrada y de variables de salida** necesarias para representar los valores de salida que tiene que generar el circuito.*
 3. *Se **asignan nombres** a las variables de entrada y a las de salida.*
 4. *Se forma la **tabla de verdad** que relacione las variables de entrada y las de salida según el comportamiento descrito en el enunciado.*
 5. *Se **simplifica** cada una de las funciones lógicas de las variables de salida.*
 6. *Se **dibuja el diagrama lógico** de cada una de las funciones lógicas simplificadas.*



Diseño con puertas lógicas básicas.

- La implementación de circuitos combinacionales mediante puertas lógicas básicas AND, OR y NOT, ya se ha tratado en el tema anterior.



Síntesis NAND-NOR

- Como ya se vió en el tema de álgebra de conmutación cualquier circuito se puede implementar solamente con puertas NAND o solamente con puertas NOR. Se mostró como cualquier puerta AND, OR o NOT se puede sustituir por una o varias puertas NAND realizando la misma función lógica. De igual manera ocurre cuando se consideran puertas NOR.
- Aunque sustituyendo las puertas AND, OR y NOT una a una se consigue sintetizar solo con puertas NAND o solo con puertas NOR. En algunos casos se puede realizar la sustitución, de una manera rápida y sencilla, siempre que se cumplan los requisitos de los teoremas que se van a enunciar a continuación:



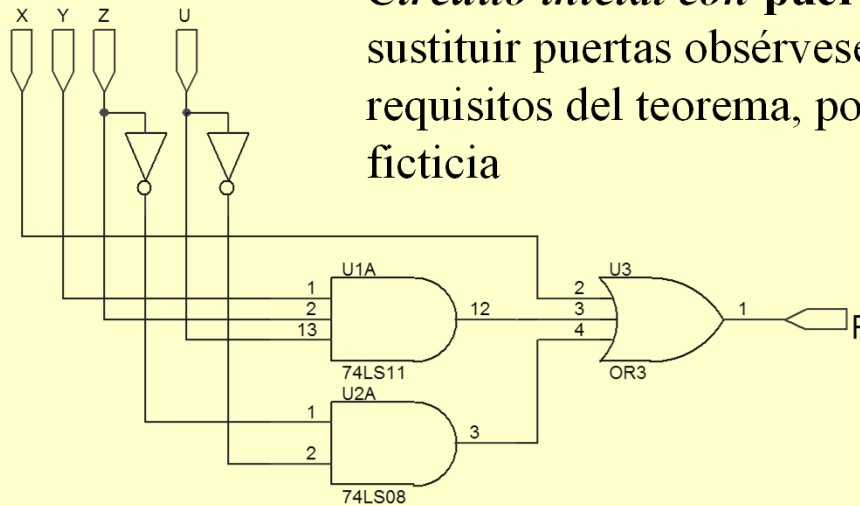
Síntesis NAND – Teorema

- **Teorema NAND.** Dado un circuito de dos niveles donde se tiene un plano de puertas AND que alimenta a una puerta OR y donde las entradas (o su complementada) solamente llegan a las puertas AND, por ejemplo, como ocurre cuando se hace la síntesis utilizando minterm, entonces se puede conseguir un circuito que realiza la misma función lógica sin mas que sustituir todas las puertas AND, OR y NOT por puertas NAND.
- Si se tiene un circuito donde una o varias entradas lleguen al segundo nivel OR, el requisito de que las entradas o sus complementadas solamente lleguen al primer nivel de puertas AND se cumple fácilmente sin más que poner una puerta AND extra, donde la entrada o su complementada se conecte a las dos entradas de esta puerta AND

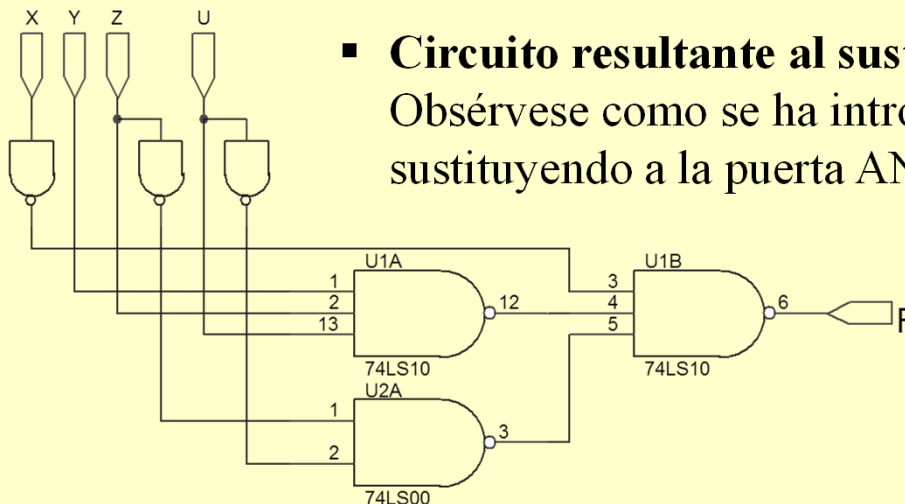


Síntesis NAND- Teorema Ejemplo

- **Circuito inicial con puertas lógicas básicas.** Antes de pasar a sustituir puertas obsérvese que la entrada x no cumple uno de los requisitos del teorema, por lo que se debe poner una puerta AND ficticia



- **Circuito resultante al sustituir las puertas básicas por NAND.** Obsérvese como se ha introducido una puerta en la entrada x sustituyendo a la puerta AND ficticia



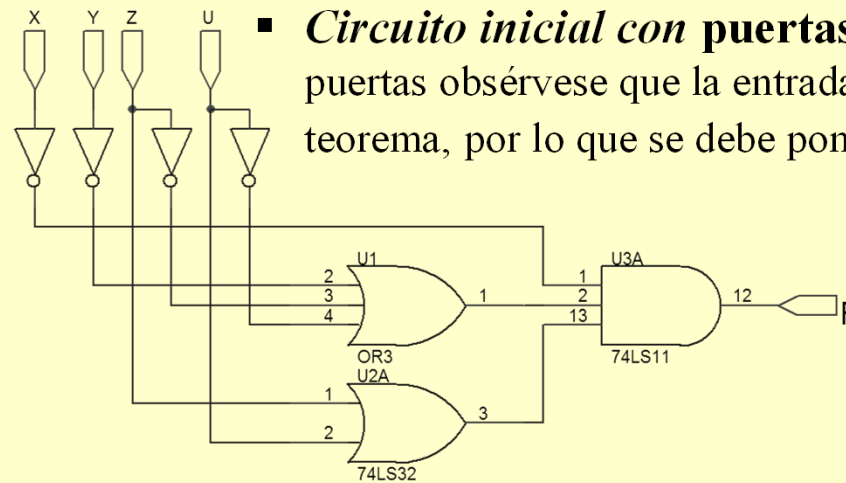


Síntesis NOR – Teorema

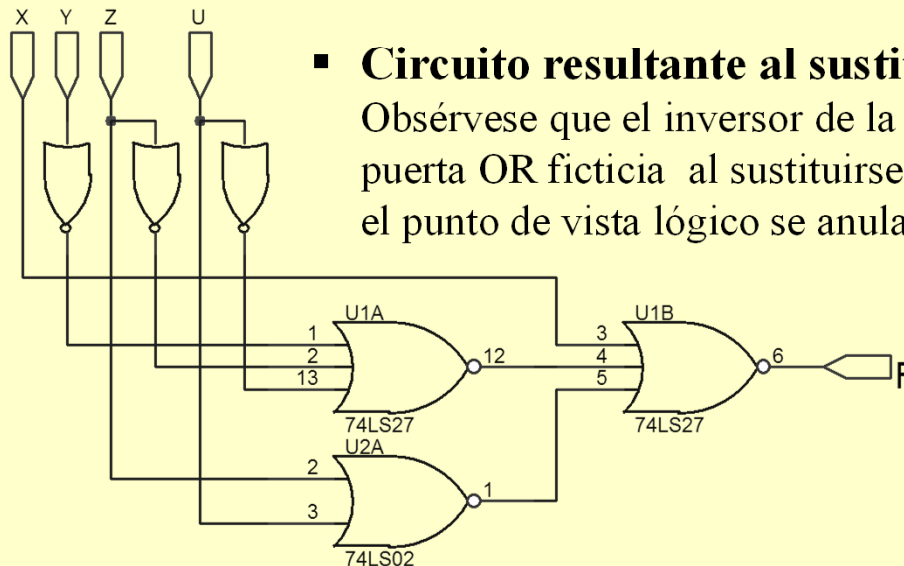
- **Teorema NOR.** Dado un circuito de dos niveles donde se tiene un plano de puertas OR que alimenta a una puerta AND y donde las entradas (o su complementada) solamente llegan a las puertas OR, por ejemplo, como ocurre cuando se hace la síntesis utilizando maxterm, entonces se puede conseguir un circuito que realiza la misma función lógica sin mas que sustituir todas las puertas AND, OR y NOT por puertas NOR.
- Si se tiene un circuito donde una o varias entradas lleguen al segundo nivel AND, el requisito de que las entradas o sus complementadas solamente lleguen al primer nivel de puertas OR se cumple fácilmente sin más que poner una puerta OR extra, donde la entrada o su complementada se conecte a las dos entradas de esta puerta OR



Síntesis NOR- Teorema Ejemplo



- **Circuito inicial con puertas lógicas básicas.** Antes de pasar a sustituir puertas obsérvese que la entrada x no cumple uno de los requisitos del teorema, por lo que se debe poner una puerta OR ficticia



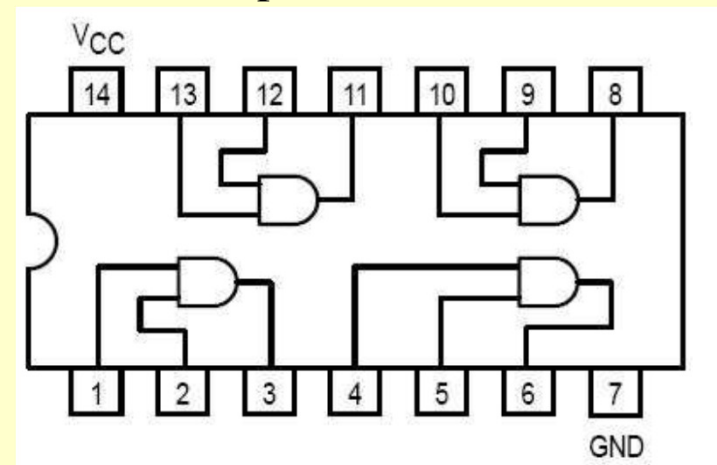
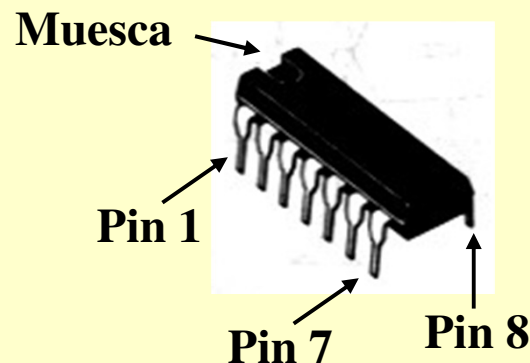
- **Circuito resultante al sustituir las puertas básicas por NOR.** Obsérvese que el inversor de la entrada x del circuito inicial junto con la puerta OR ficticia al sustituirse darían lugar a dos puertas NOR que desde el punto de vista lógico se anulan y por tanto se quitarían.

$$\overline{\overline{(x + x)}} = \overline{x} = x$$



Algunos parámetros de las puertas físicas Encapsulado

- A la hora de fabricar unas puertas se decide en que tipo de encapsulado se montarán. Una vez elegido el encapsulado el fabricante decide cuantas puertas va a poner en el chip que cubrirá con el encapsulado.
- Por ejemplo, si se quiere una puerta AND de dos entradas, no se tiene en un circuito con una sola puerta, se busca en los fabricantes de semiconductores un circuito que contenga puertas AND. En este caso, se puede utilizar el circuito 74LS08 como el que utilizamos en prácticas. Este circuito tiene cuatro puertas AND.



Puertas AND de 2 entradas (74LS08)



Algunos parámetros de las puertas físicas

Tensión y corriente

- Los niveles lógicos están relacionados con unos rangos de tensión. Además, estos rangos de tensión varían según el tipo de transistores utilizados para la construcción de las puertas.

Tensión

Nivel lógico 1

Valores de tensión no
definidos

Nivel lógico 0

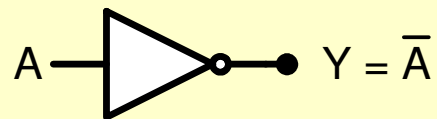
- La salida de las puertas no pueden manejar corrientes tan grandes como se quieran. El número de entradas que se pueden conectar a la salida de una puerta manteniéndose los niveles de tensión asociados a los niveles lógicos está limitado. Este número de entradas es lo que se conoce como **fanout**.



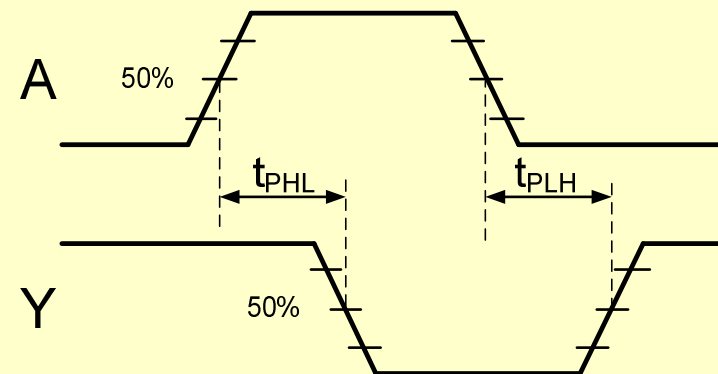
Algunos parámetros de las puertas físicas

Tiempo de propagación

- Cuando cambia una entrada de una puerta, si produce un cambio en la salida, este cambio no se produce instantáneamente sino que cambia después de un tiempo pequeño.
- Si al cambiar de valor la entrada de un circuito cambia de valor su salida, ésta lo hace tras un determinado tiempo, denominado **retardo de propagación**.
- El parámetro **retardo de propagación** nos da una idea de la rapidez con la que la puerta responde a un cambio en sus entradas.



- Se definen dos retardos de propagación, uno cuando la señal de salida cambia de alto a bajo t_{PHL} y otro, cuando la señal de salida cambia de bajo a alto t_{PLH}

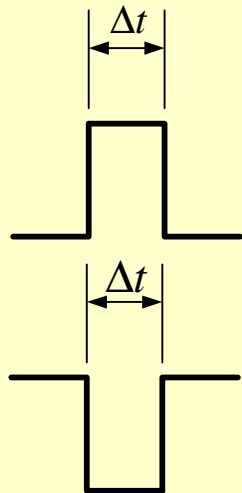




Riesgos en Circuitos Combinacionales. Definición

- ¿Qué son los riesgos?

- Situaciones anómalas que se dan en los sistemas combinacionales, en las que se generan **pequeños pulsos espurios** en las salidas al cambiar de valor las entradas.

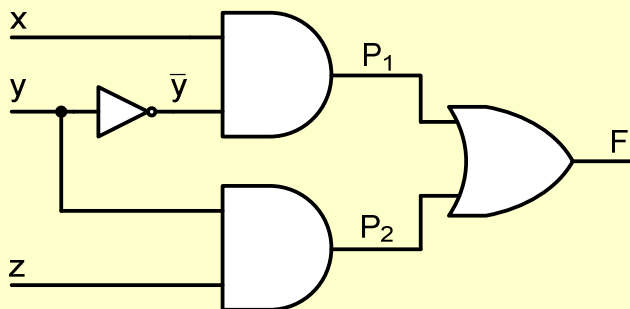


- ¿Qué es un pulso espurio?

- Un **cambio de valor de corta duración** en una señal que debería permanecer constante.

- ¿Por qué se producen los riesgos?

- Debido a que las puertas tienen un retardo de propagación, si una **señal se propaga por diferentes caminos con distintos retardos** y posteriormente se conectan dichos caminos a una misma puerta, se puede producir pequeños pulsos espurios a su salida.





Riesgos en Circuitos Combinacionales.

Tipos

- Tipos de riesgos

- Según el **número de entradas que cambian de valor**:

- Riesgos lógicos

- Sólo cambia de valor una entrada. Se pueden solucionar.

- Riesgos funcionales

- Cambia de valor más de una entrada. Son inevitables.

- Dependiendo de cómo cambien **las señales de salida**:

- Riesgos estáticos

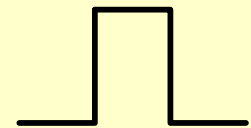
- Si al cambiar de valor las entradas la salida debe permanecer en el valor v , pero momentáneamente toma el valor \bar{v} . Es decir se genera un pulso espurio.

» Si $v = 1$, se dice que se trata de un **riesgo estático al uno**.

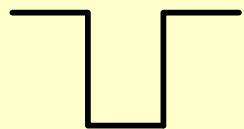
» Si $v = 0$, se dice que se trata de un **riesgo estático al cero**.

- Riesgos dinámicos

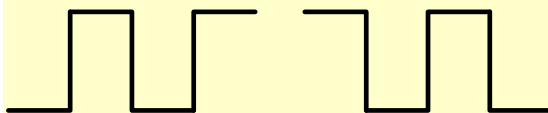
- Si al cambiar de valor las entradas, la salida debe cambiar de 0 a 1 (ó de 1 a 0), pero momentáneamente regresa al valor original, efectuando el recorrido $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ (ó $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$). Es decir, se generan dos pulsos espurios.



Estático al 0



Estático al 1



Dinámicos



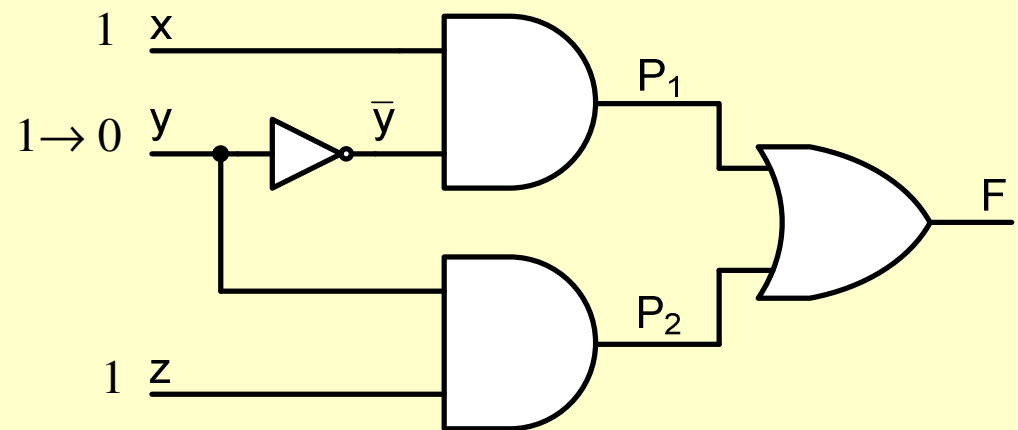
Riesgos en Circuitos Combinacionales. Riesgos lógicos estáticos

- **Riesgo lógico estático al 1.**
 - Se produce al implementar una función lógica simplificada a partir de la suma de minterms, si hay dos minterms-1, que difieren en el valor de una sola variable de entrada, y en la simplificación no quedan cubiertos por la misma adyacencia.
 - Ejemplo:

yz \ x	00	01	11	10
0			1	
1	1	1	1	

☞ Los **minterm 5 y 7** cumplen la condición

$$F(x, y, z) = x \bar{y} + y z$$

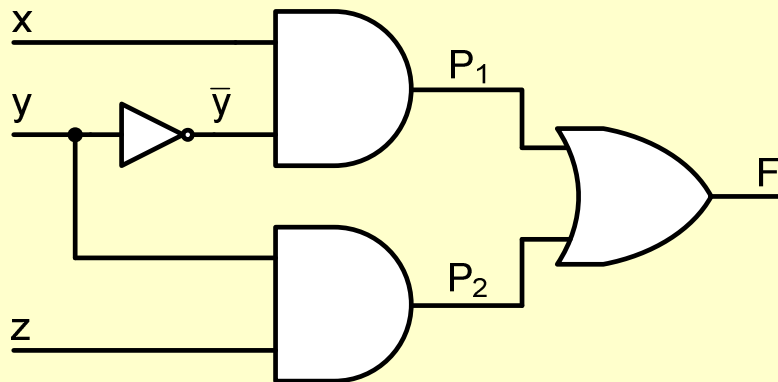




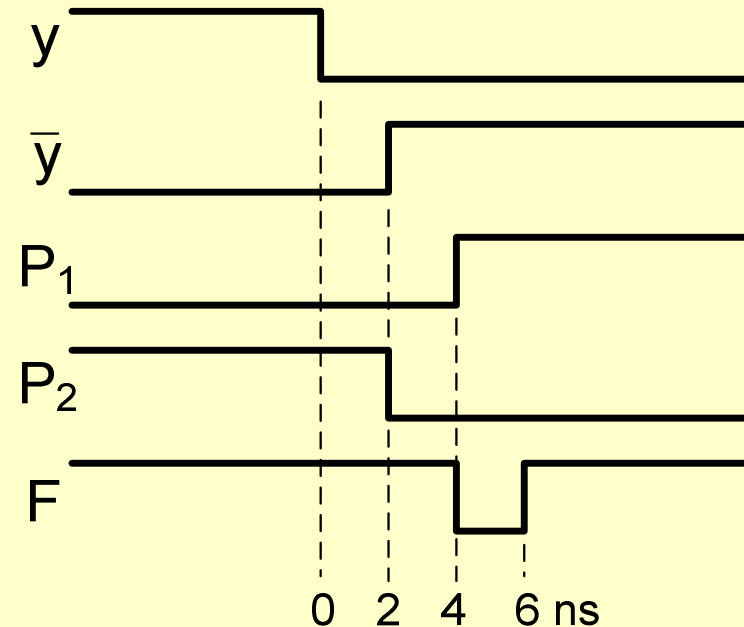
Riesgos en Circuitos Combinacionales. Riesgos lógicos estáticos

- Riesgo lógico estático al 1.**

☞ Al cambiar las entradas del **minterm 7 al 5** se produce el riesgo lógico estático al 1. Suponemos un $t_{PD} = 2\text{ ns}$



☞ La entrada **y** se propaga por dos caminos diferentes, con retardos desiguales, y finalmente se conectan a una misma puerta (OR). Si en un determinado instante **y** e \bar{y} toman el mismo valor, se produce un riesgo estático al uno en la salida **F**, ya que **P₂** se pone a 0 antes de que **P₁** sea 1



☞ **¿Se produce el riesgo al pasar del minterm 5 al 7?**

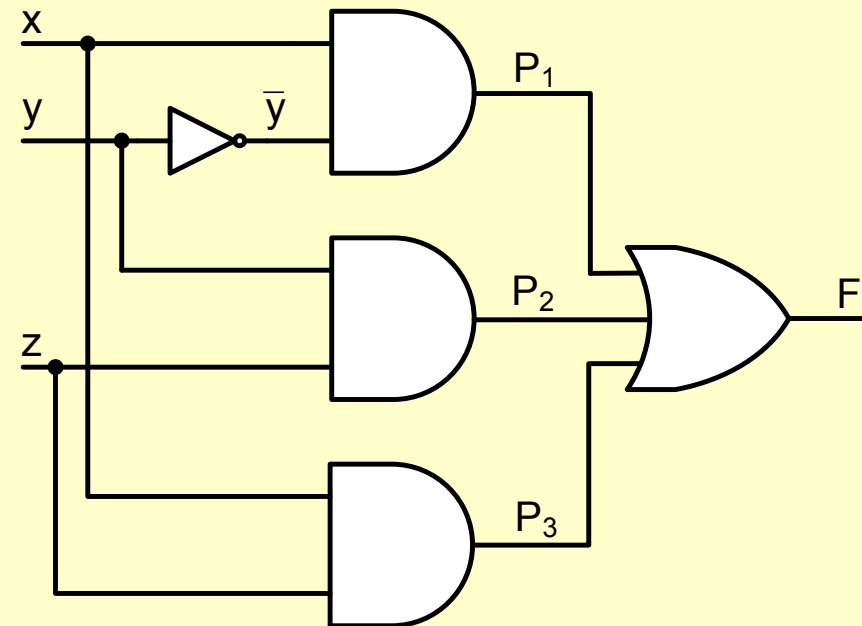


Riesgos en Circuitos Combinacionales. Riesgos lógicos estáticos

- **Solución del riesgo lógico estático al 1.**
 - *Se añade una adyacencia redundante que incluya los dos minterms adyacentes (5 y 7 en el ejemplo).*

yz \ x	00	01	11	10
0			1	
1	1	1	1	

$$F(x, y, z) = x \bar{y} + yz + xz$$



☞ El término producto redundante P3 siempre vale 1 al pasar del minterm 7 al 5, ya que es independiente de y.



Bibliografía detallada

Diseño de circuitos combinacionales

Las diapositivas se han confeccionado utilizando como fuente:

"Diseño Lógico". A. Lloris, A. Prieto. Mc-Graw Hill. 1996.

Capítulos: 3.6.1, 3.6.2, 5.2.1, 5.2.2, 5.2.4, 6.1(No los subapartados)