

FEC

Práctica 7

Profesora: Lilia D. Tapia Mariscal

01

Circuitos secuenciales

Diseño de un contador módulo 3

Objetivos:

- ✓ Comprender el funcionamiento de un contador.
- ✓ Estudio del método general de diseño de contadores.
- ✓ Diseñar sistemas digitales secuenciales en OrCAD Capture.
- ✓ Adquirir habilidad en la simulación de sistemas digitales secuenciales mediante la herramienta Simulate de OrCAD, y en la interpretación de los resultados.

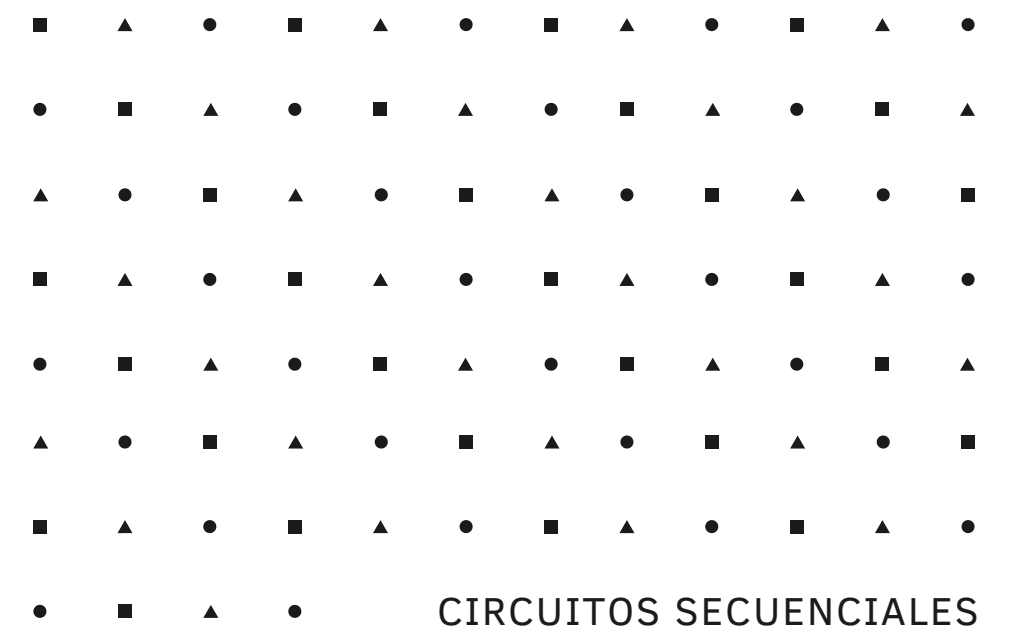
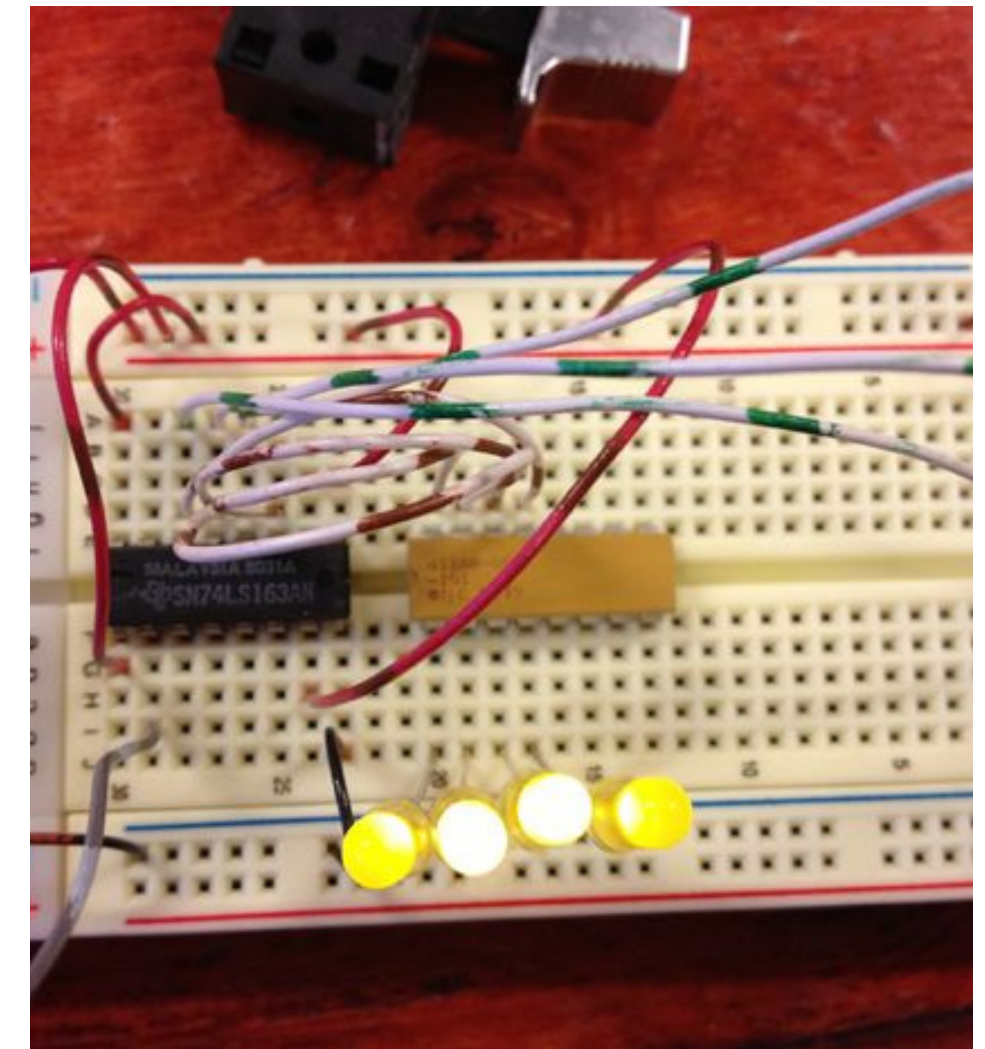
FEC

Contadores

Introducción

- Es un circuito secuencial que pasa por una secuencia específica y cíclica de estados al aplicarle pulsos en su entrada de reloj.
- Esta secuencia tiene **dos estados definidos**, denominados inicial y final.
- Siempre se cumple que si el contador está en su estado final y se le aplica un pulso de reloj, pasa a su estado inicial, es decir, la secuencia de estados es cíclica, se repite.
- A los estados también se les denomina **cuenta**.

Para profundizar: [Tema 10 de teoría](#)



04

CIRCUITOS SECUENCIALES

Módulo de un contador

Módulo

- Número de estados que tiene su secuencia.

Señales

- **Señal de habilitación:** mientras esta señal está activa, el contador cambia de estado (cuenta), cuando está inactiva el contador permanece en ese estado (la cuenta se mantiene).
Salida de acarreo (carry).
- Esta señal de salida se activa cuando el contador está en el último estado de la cuenta
- **Otras señales:** dirección de la cuenta (ascendente/descendente), reset síncrono (vuelta al estado inicial), carga paralela, etc

Contadores binarios

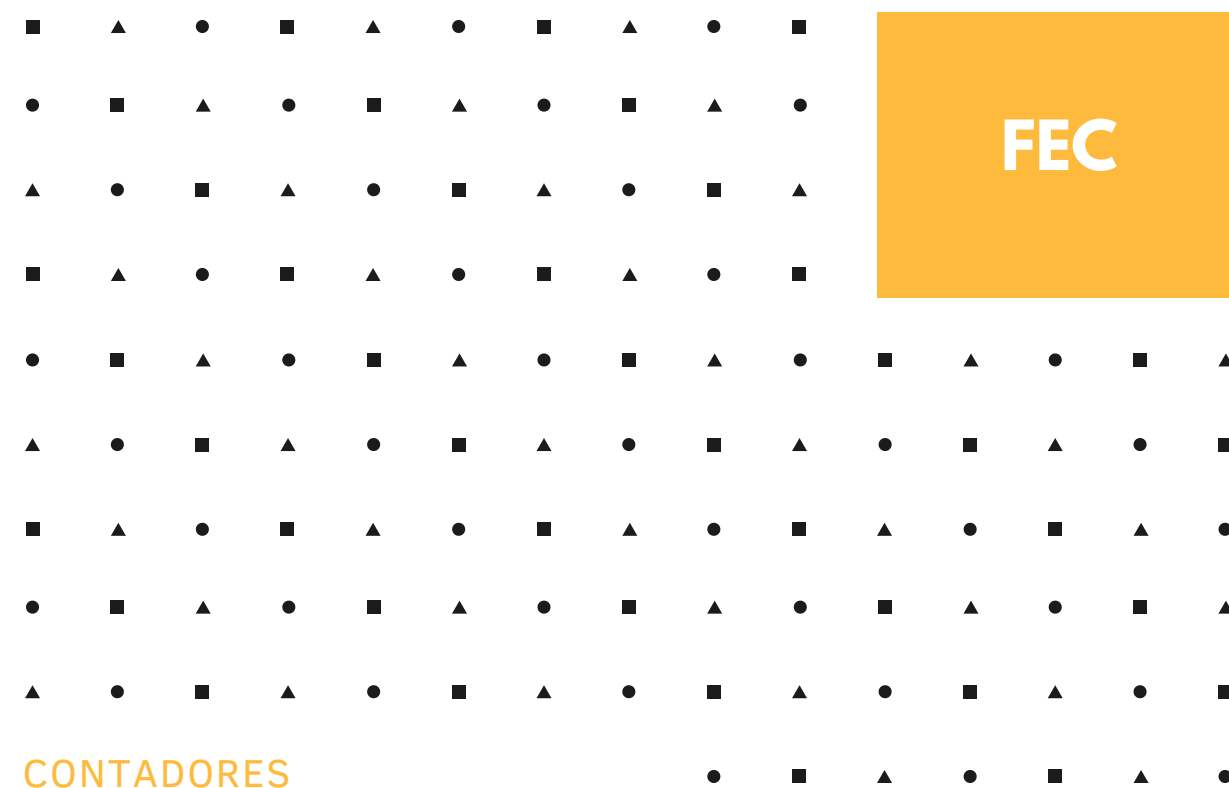
Los contadores más simples y usados son los binarios, que codifican en sus salidas de cuenta mediante el código binario natural cada uno de sus estados

Planteamiento

Contador síncrono módulo 3

Diséñese un contador síncrono módulo 3 ascendente/descendente, con reset asíncrono y salida de acarreo.

- La entrada A indicará si el conteo ha de ser ascendente ($A=1$) o descendente ($A=0$)
- La señal de entrada RESET' asíncrono será activa a baja, debiendo ponerse a cero el contador en el momento en que $\text{RESET}'=0$.
- El contador debe implementarse utilizando biestables tipo D.



Dependiendo de cómo cambien las salidas de cuenta:

Contadores síncronos. Todos los flip-flops usan la misma señal de reloj. Todos los flip-flops cambian de estado al mismo tiempo al producirse un flanco activo de la señal de reloj. Por tanto, todas las salidas de cuenta cambian simultáneamente.

Contadores asíncronos: La señal de reloj se conecta solamente a la entrada de reloj del primer flip-flop, es decir, el que genera la salida de cuenta menos significativa (Q_0).

Biestables tipo D

Entrada		Salida
D	CLK	Q
0	TPP	0
1	TPP	1

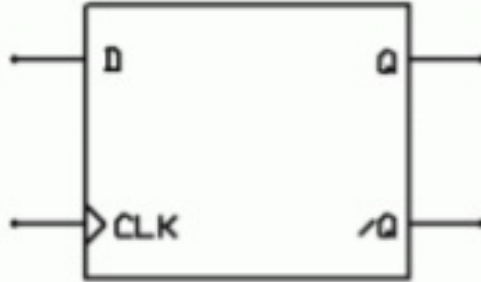
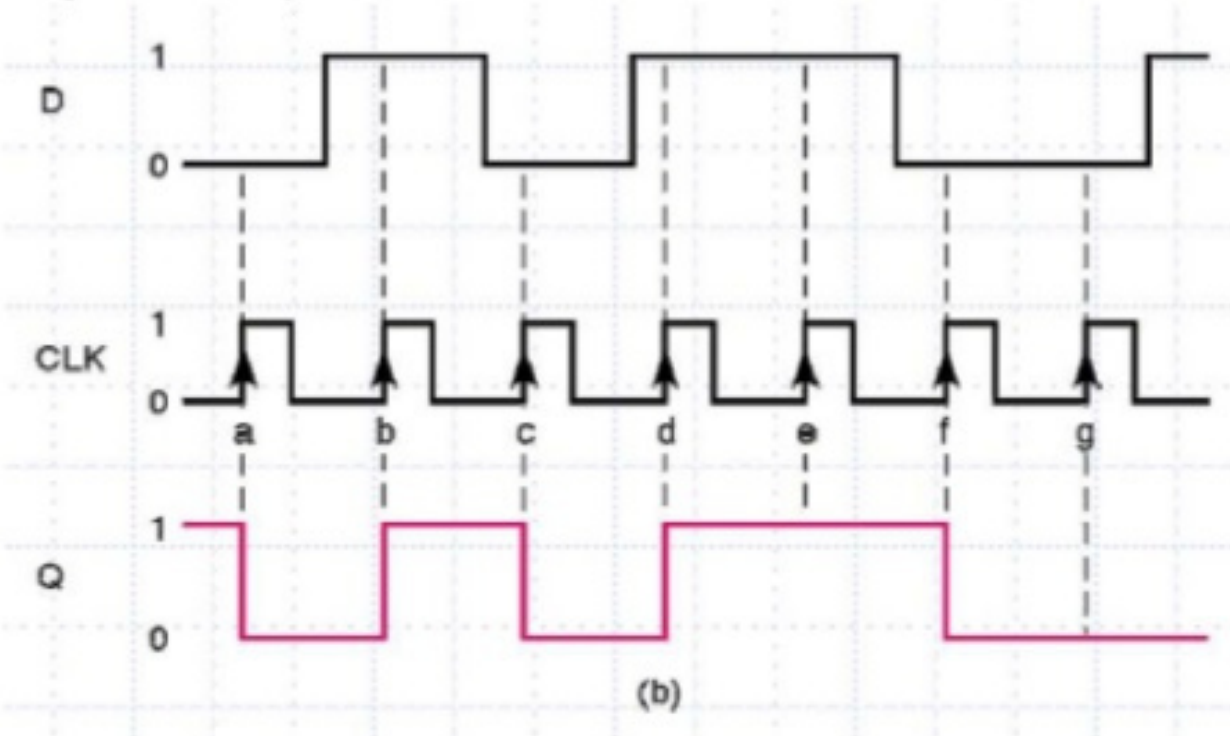


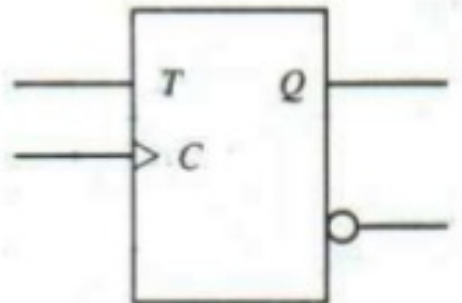
Diagrama de tiempo



(b)

*T

Tabla de la verdad y Símbolo

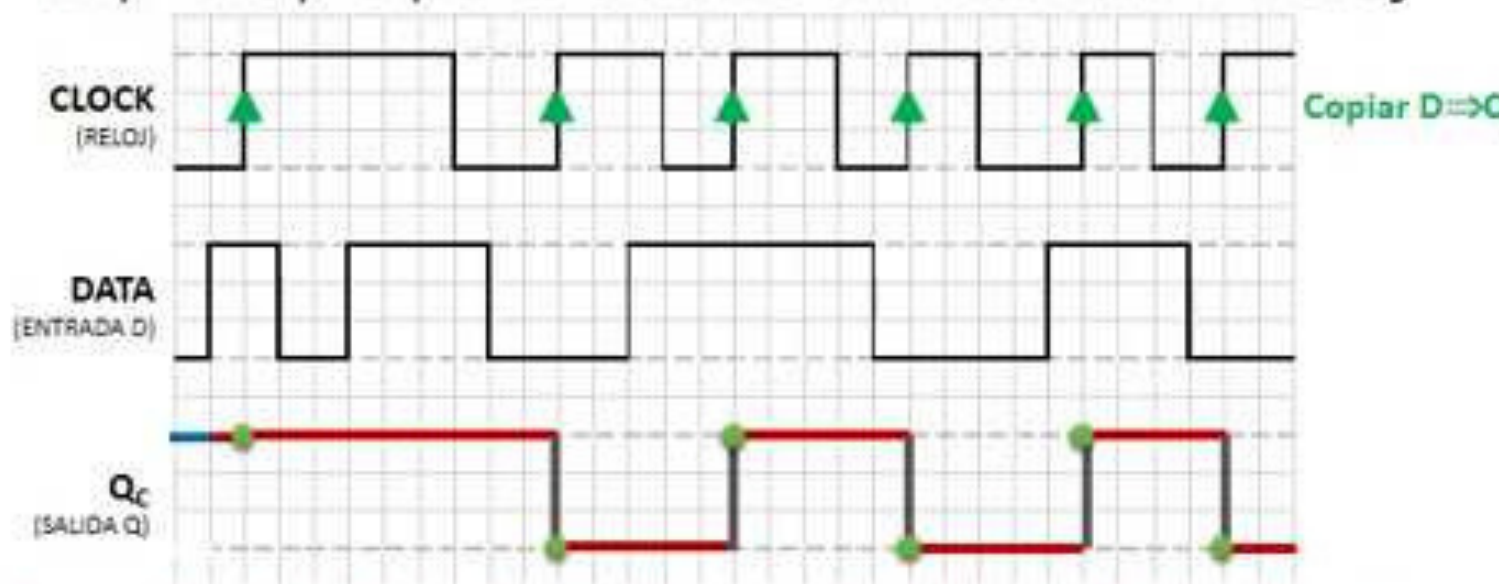


a) Símbolo gráfico

T	Q (t + 1)
0	Q (t)
1	Q' (t)

b) Tabla de características

Flip-Flop tipo D activo en subida ↑ reloj



- Cuando el flip-flop D recibe un pulso ascendente de reloj, copia/almacena la entrada D en la salida Q.
- El resto del tiempo, la salida Q se mantiene.

En clase despreciamos tiempos de establecimiento, mantenimiento y propagación.

Planteamiento de la práctica:

Entradas:

CLK: Señal de reloj

A: Dirección de cuenta

A= 1: Cuenta ascendente (0,1,2,0,1,2...)

A= 0: Cuenta descendente (2,1,0,2,1,0...)

Reset: Puesta a cero, asíncrona, activa nivel bajo

Salidas:

Cuenta [1:0]: Valor de la cuenta

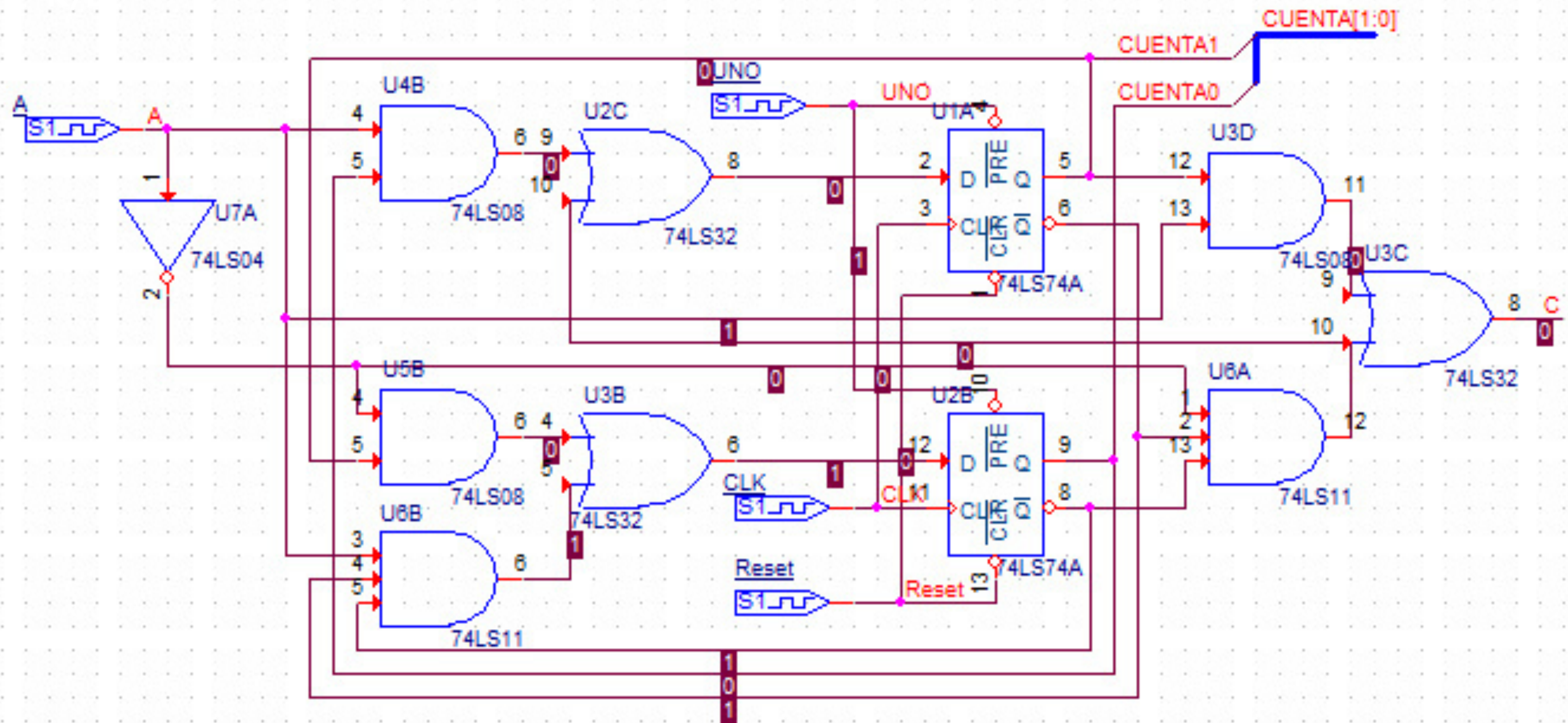
C: Salida de acarreo (rebosamiento del contador)

Componentes:

Circuito integrado	Descripción
74LS74	2 biestables tipo D
74LS04	6 puertas NOR (inversores)
74LS08	4 puertas AND de 2 entradas
74LS11	3 puertas AND de 3 entradas
74LS21	2 puertas AND de 4 entradas
74LS32	4 puertas OR de 2 entradas

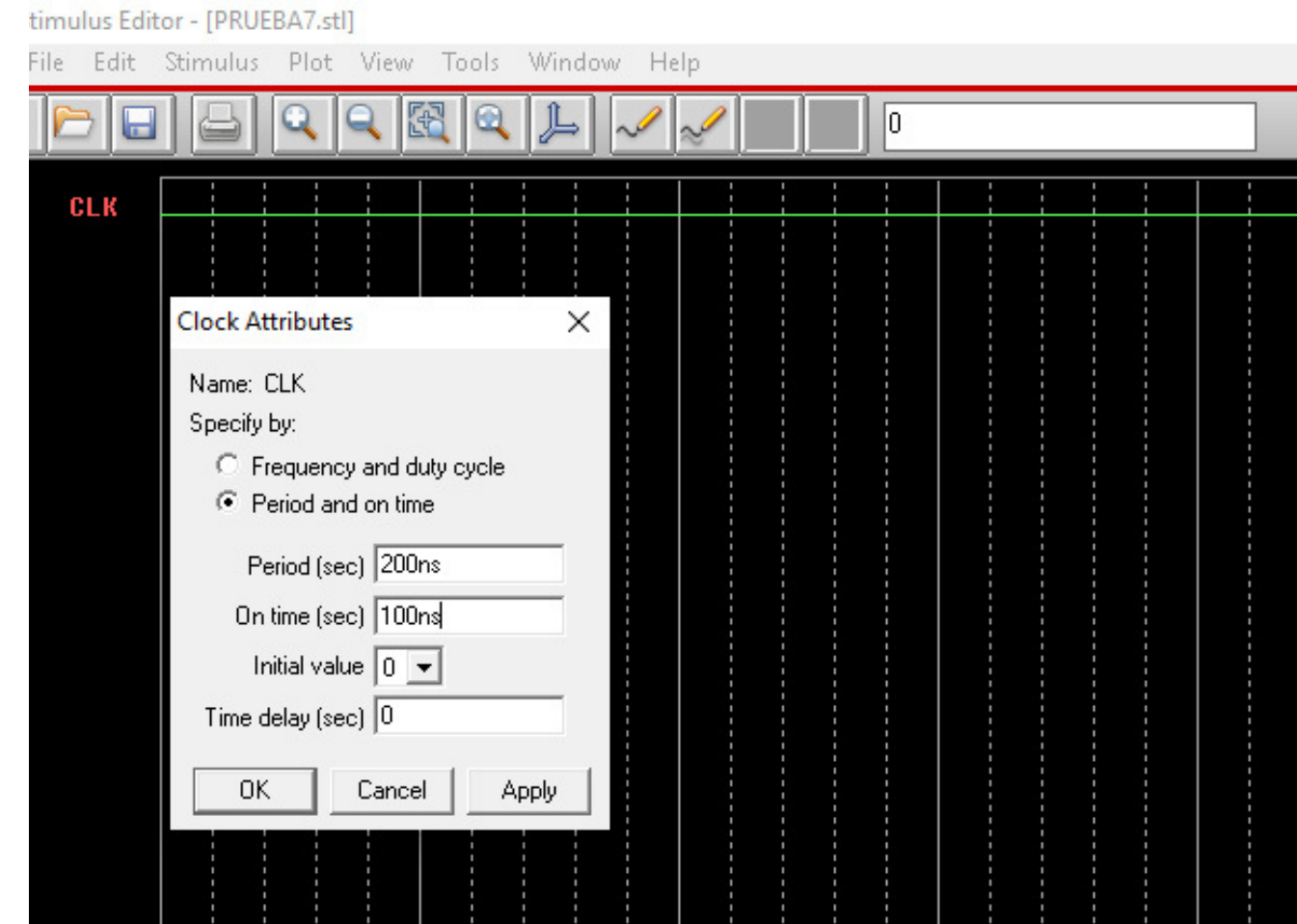
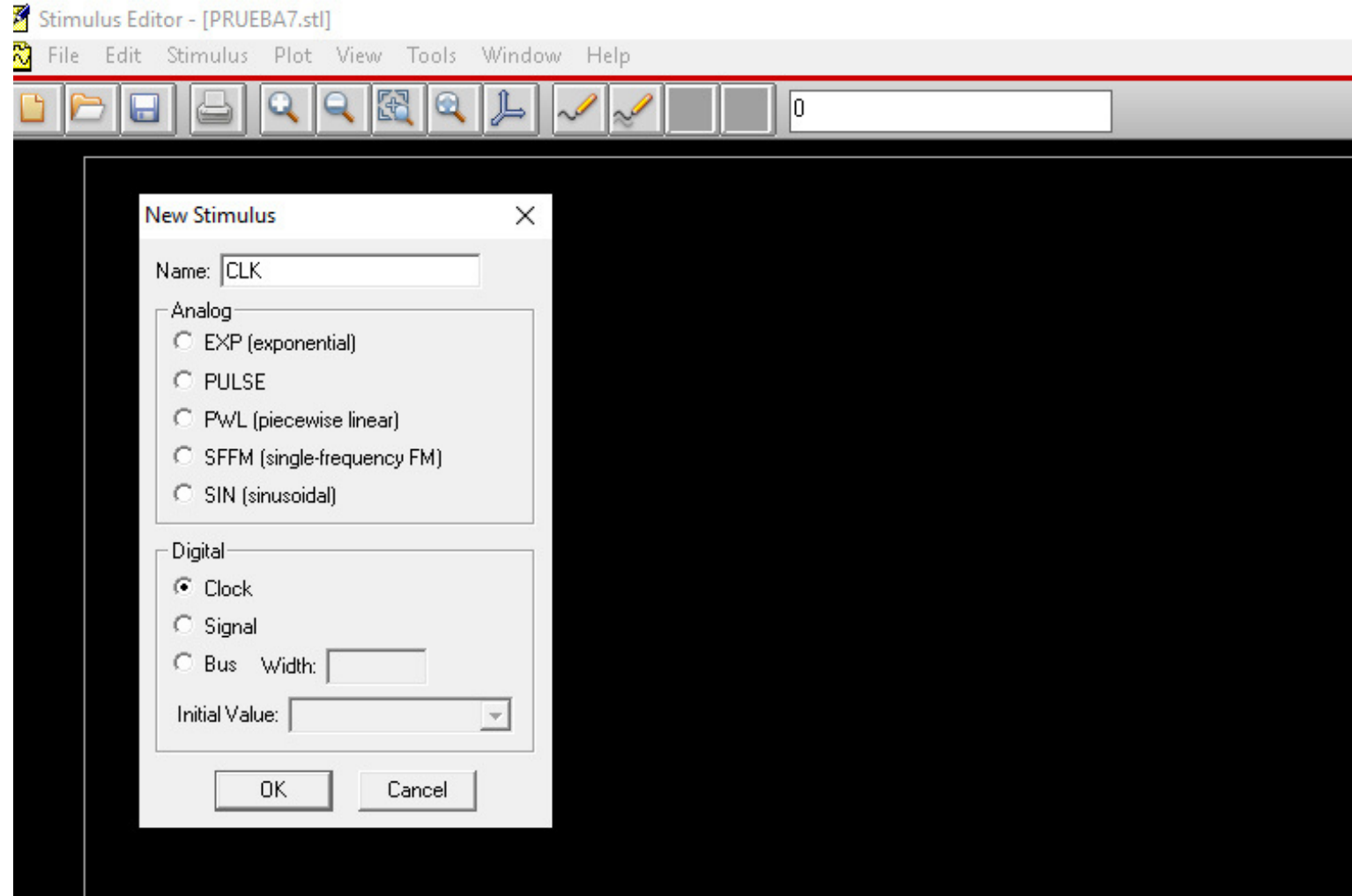
Tiempo de simulación: 4000ns

I. Esquemático

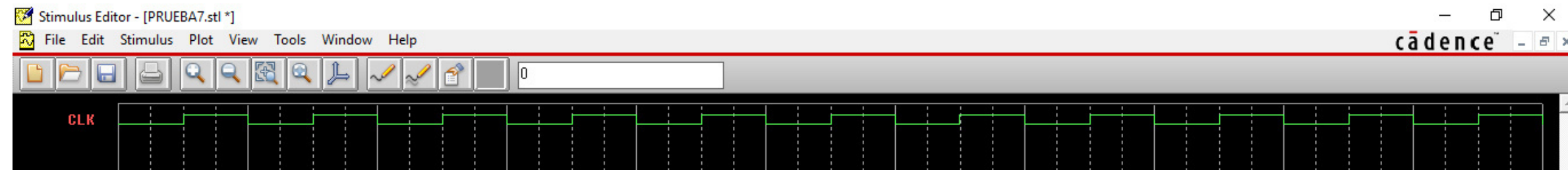


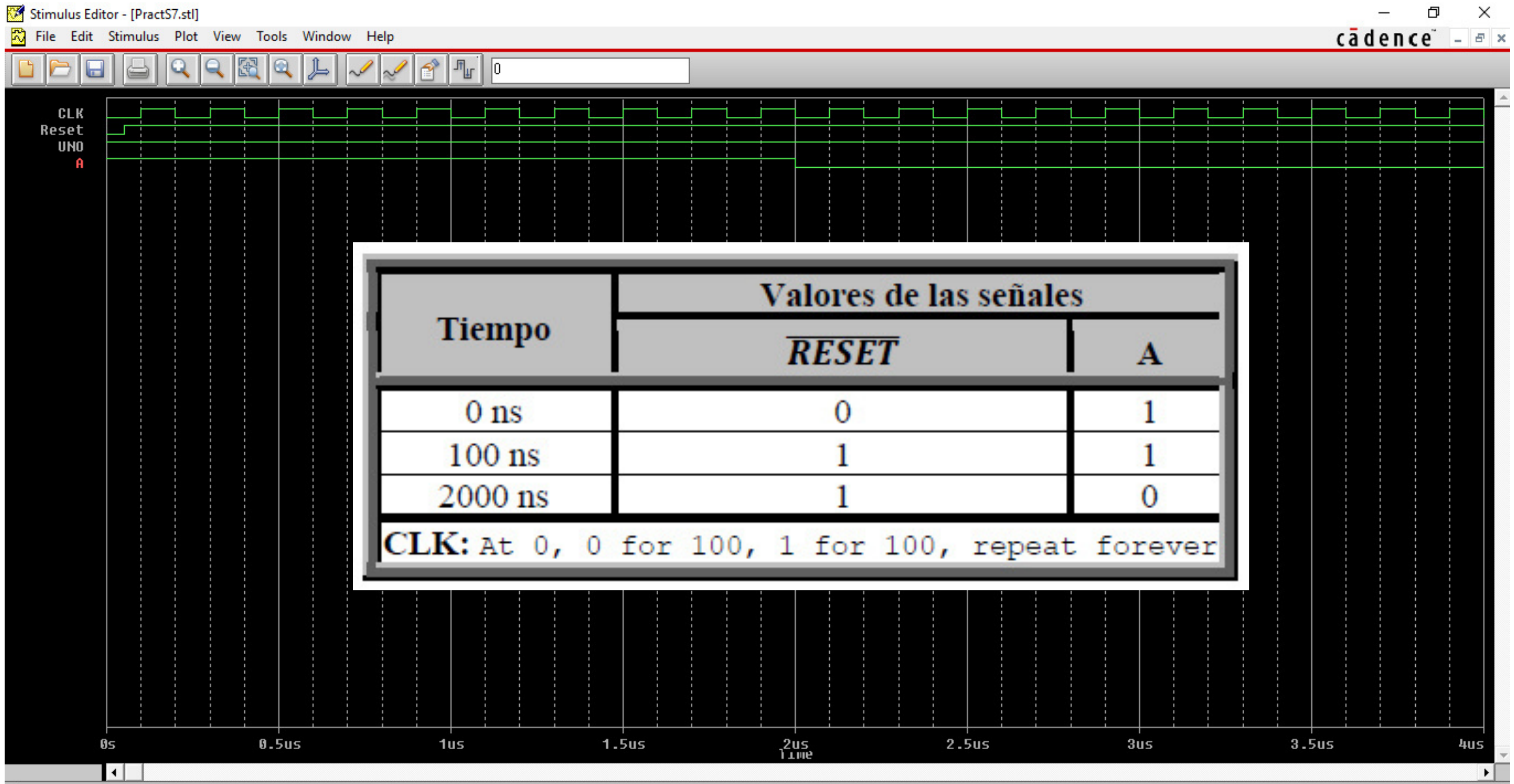
CLK

II. Estimulación



Ajuste del plot





III. Simulación

