Аннотация

В данном дипломном проекте была разработана информационно-вычислительная система анализа характеристик электрических сигналов, содержащая блок диагностики, предназначенной для формирования управляющих сигналов, обеспечивающих функционирование электромеханических исполнительных устройств. Основанием для разработки является задание на дипломное проектирование.

В пояснительной записке содержится расчетно-теоретическая, системная, конструкторская, технологическая, экономическая части и безопасность жизнедеятельности.

Пояснительная записка состоит из 121 страниц, 45 рисунков, 14 таблиц, библиография из 43 наименований.

The summary

In this thesis project was developed by information and computer system analysis of the characteristics of electrical signals, comprising a diagnostic unit for forming control signals for the operation of electro-mechanical actuators. The basis for the development of a specification for diploma design.

The explanatory note contains the theoretical calculation, system, design, technological, economic and safety of the activity.

An explanatory note is made up of 121 page 45 drawings 14 tables, bibliography from 43 titles.

Техническое задание.

Введение.

Настоящее техническое задание распространяется на разработку встроенного блока диагностики, предназначенного для тестирования компонентов системы и информационно-вычислительной системы анализа характеристик электрических сигналов.

1. Обоснования для разработки.

Блок диагностики и информационно-вычислительная система разрабатываются на основании задания на дипломное проектирование, утвержденного кафедрой ПиП ЭВС, алгоритмов BIST, стандарта IEEE 1149.1.

Тема - «Разработка блока диагностики».

2. Источники разработки.

Информационно-вычислительная системы и блок диагностики разрабатывается на основании нормативных документов организации внутрисхемного тестирования, порядка организации внутрисхемного тестирования.

3. Технические требования.

3.1. Состав изделия

Микроконтроллер, контроллер системной шины, ОЗУ, ПЗУ, АЦП, табло 32 строки на 48 столбцов, клавиатура – 12 клавиш, сопряжение с ЭВМ через порты USB и LPT, 8 входных цифровых каналов, 4 входных аналоговых канала, встроенный блок диагностики.

3.2. Технические параметры

Максимальная частота входных аналоговых сигналов fmax 50 Гц

Величина входного аналогового напряжения Uан , не более +/- 5.0 В

Уровень релейных сигналов совместим с ТТЛ уровнем

Максимальная длина проводников до

источника первичного сигнала - не более 0,3 м

Точность представления входной информации - не хуже 0,1%

Время формирования сигнала на выходе - не более 0,1 с

Точность представления выходной информации - не хуже 1%

Объем памяти

ОЗУ - не менее 64 Кбайт

ПЗУ – не менее 16 Кбайт.

3.3. Требования к надежности

Общие требования к надежности по ГОСТ 23359-82. Наработка на отказ при работе в нормальных климатических условиях по ГОСТ 15150-59 - не ме-нее 3000 ч.

3.4. Конструктивные требования.

3.4.1. Требования к материалам и покрытиям.

Основные требования к материалам и покрытиям несущих конструкции устройств «Материалы и покрытия» по ОСТ 4.029.091 – 81.

Тип аппаратуры– переносной.

3.5. Условия эксплуатации.

3.5.1. Климатическое исполнение.

Система по климатическим и внешним воздействиям должна соответствовать группе УХЛ 4 по ГОСТ 15150

Температура окружающего воздуха……………………..от -20 до +70

Относительная влажность

при температуре +30…………………………………........до 90%

Атмосферное давление……………………………………630…800 мм рт. ст.

Система функционирует в непрерывном режиме круглосуточно и соответствует требованиям, предъявляемым к многоканальным, ремонтопригодным и восстанавливаемым системам.

3.5.2. Механические воздействия.

Механические воздействия должны соответствовать ГОСТ 25467-82, группа исполнения М2.

Таблица 1. Характериски механических воздействий

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Синусоидальная вибрация | | | Механический удар многократного воздействия | |
| Диапзон частот, гц | Амплитуда ускорения, м/с2 | Степень жёсткости по ГОСТ 20.57.406-81 | Пиковое ударное ускорение | Степень жёсткости по ГОСТ 20.57.406-81 |
| 1-55 | 10 | II | 150 | I |

3.6. Требования безопасности.

Основные требования к безопасности электротехнических изделий - по ГОСТ 12.2.007.0-75 и "Правилами устройств электроустановок потребителей". Требования по исключению аварийных ситуаций в соответствии с ГОСТ 12.2.034-78.

3.7. Требования к упаковке, маркировке, транспортированию и хранению.

Упаковка и надлежащие условия хранения должны обеспечивать сохранность изделия при транспортировке и хранении и выполняться по соответствующим стандартам, отраслевым нормам и инструкциям. Предупредительная маркировка (ГОСТ 14192-96) наносится на упаковочную единицу- деревянный ящик для продукции электротехнической промышленности (ГОСТ 16511-86) по правилам, установленным ГОСТ 26838-86. Маркировка наносится на само изделие любым способом, обеспечивающим четкое и ясное ее изображение в течение всего срока службы (ГОСТ 21552-84). Рекомендуемые размеры шрифтов: 3,6,8,10,15,30,50,100 мм (ГОСТ 14192-96). Каждое изделие обёртывается в противокоррозионную упаковочную бумагу (ГОСТ 16295-93), складывается в обклеенный виброизоляционным материалом (ГОСТ 27242-87) ящик не более чем в 2 слоя. При складировании и перевозке не допускать более 2-х слоев укладки упаковочных единиц. Хранятся изделия в складских помещениях, защищенных от воздействия атмосферных осадков, на стеллажах, при н.у. (температура - 20±+5%°С, влажность - 60±15%, давление - 630-800 мм рт. ст.) в соответствие с ГОСТ 21552-84. Транспортировку устройства проводить в тape предприятия изготовителя любым видом транспорта при наличии паспорта и других сопроводительных документов (ГОСТ 2)552-84).

3.8. Требования к эстетике.

Изделие должно соответствовать требованиям технической эстетики, сформулированным в ГОСТ Р50013-92 и ОСТ 4.ГО.011.218.

3.9. Требования к эргономике.

Эргономические показатели должны соответствовать ГОСТ Р50013-92 и ОСТ 4.ГО.010.236.

4. Экономические показатели.

Масштабность выпуска соответствует мелкосерийное производство (1000шт.).

5. Порядок испытаний.

Испытания производить на предприятии изготовителе путем проверки на предмет соответствия технических показателей устройства стандарту ГОСТ 16.962-79 «Изделие электронной техники. Механические, климатические воздействия. Требования методы испытаний». Если разработаны автоматические стенды для испытаний данного устройства, то рекомендуется их использование.

Список используемых сокращений

ИС – информационная система

ПЛИС – программируемая логическая интегральная схема

ЭРЭ – электро радио элементы

РЭА – радио электронная аппаратура

ГТИ – генератор тактовых импульсов

ГИП – генератор измерительного периода

ТБ – техника безопасности

ЭУ – электроустановки

ПУЭ – правило электроустановок

ИНТ – изолированная нелинейная точка

ТУ – технические условия

ФУ – функциональный узел

ПП – печатная плата

Содержание

[Техническое задание. 2](#_Toc422227154)

[Введение 12](#_Toc422227155)

[1. Аналитический обзор 13](#_Toc422227156)

[1.1. Обзор методов внутрисхемного тестирования. 13](#_Toc422227157)

[1.2. Аппаратура встроенных блоков тестирования. 24](#_Toc422227158)

[1.3. Использование метода граничного сканирования с аппаратурой на ПЛИС 31](#_Toc422227159)

[1.4. Обзор по ПЛИС 33](#_Toc422227160)

[2. Разработка блока тестирования на основе микрокомандного управления (на ПЛИС) 40](#_Toc422227161)

[2.1. Методы программирования ПЛИС 40](#_Toc422227162)

[2.2. Типовые решения по функциональным блокам 42](#_Toc422227163)

[2.2.1. АЛУ 42](#_Toc422227164)

[2.2.2 Таймер 45](#_Toc422227165)

[2.2.3. Счетчик 45](#_Toc422227166)

[2.2.4. ОЗУ 48](#_Toc422227167)

[2.2.5. Контроллер последовательной шины 49](#_Toc422227168)

[2.3. Основные проблемы при организации блоков 50](#_Toc422227169)

[3. Техническое предложение 51](#_Toc422227170)

[3.1. Принцип работы информационно-вычислительной системы анализа характеристик электрических сигналов 51](#_Toc422227171)

[3.2. Разработка структурной схемы системы 52](#_Toc422227172)

[3.3. Разработка функциональной схемы системы 53](#_Toc422227173)

[3.3.1. Процессорный блок 53](#_Toc422227174)

[3.3.2. Блок аналоговых входов 53](#_Toc422227175)

[3.3.3. Блок релейных входов 54](#_Toc422227176)

[3.3.4. Последовательный порт 55](#_Toc422227177)

[3.3.5. Блок программируемой логической матрицы 55](#_Toc422227178)

[3.3.6. Блок ПЗУ. 55](#_Toc422227179)

[3.3.7. Блок ОЗУ 55](#_Toc422227180)

[3.3.8. Блок клавиатуры 56](#_Toc422227181)

[5.3.9. Блок индикации 56](#_Toc422227182)

[5.3.10 Блок вывода аналогового сигнала 56](#_Toc422227183)

[3.4. Выбор элементной базы 57](#_Toc422227184)

[3.4.1. Выбор ПЛИС 57](#_Toc422227185)

[3.4.2. Выбор элементной базы блока аналогового ввода 66](#_Toc422227186)

[3.4.3. Выбор элементной базы процессорного блока 67](#_Toc422227187)

[3.4.4. Расчет и выбор цифро-аналогового преобразователя 68](#_Toc422227188)

[3.4.5. Выбор элементной базы запоминающих устройств 69](#_Toc422227189)

[3.5. Карта распределения адресного пространства 69](#_Toc422227190)

[4. Системная часть 70](#_Toc422227230)

[4.1. Описание структурной схемы системы 70](#_Toc422227231)

[4.2 Описание принципиальной схемы устройства 72](#_Toc422227232)

[4.3. Реализация основных функций блока диагностики на ПЛИС 75](#_Toc422227233)

[4.4. Описание схемы функциональной блока диагностики 77](#_Toc422227234)

[4.5. Проверочные расчеты 79](#_Toc422227235)

[4.5.1 Расчет потребляемой мощности 79](#_Toc422227236)

[4.5.2. Расчет на нагрузочную способность 80](#_Toc422227237)

[4.5.3. Расчет на задержке формирования сигнала 81](#_Toc422227238)

[4.4. Расчет на вибропрочность ПП 82](#_Toc422227239)

[4.5 Расчет теплового режима устройства 84](#_Toc422227240)

[4.6 Расчет на надежность по внезапным отказам 87](#_Toc422227241)

[5. Конструкторская часть 90](#_Toc422227242)

[5.1. Разработка технических требований к конструкции устройства 90](#_Toc422227243)

[5.2. Выбор корпуса 91](#_Toc422227244)

[5.3. Разработка функционального узла на ПП 96](#_Toc422227245)

[5.4. Выбор типа и класса точности ПП 96](#_Toc422227246)

[5.5. Выбор метода изготовления ПП 97](#_Toc422227247)

[5.6. Выбор материала ПП 98](#_Toc422227248)

[5.7. Выбор варианта установки электрорадиоэлементов 98](#_Toc422227249)

[5.8. Выбор покрытий 98](#_Toc422227250)

[5.9. Выбор маркировки 99](#_Toc422227251)

[6. Технологическая часть 100](#_Toc422227252)

[6.1. Оценка технологичности конструкции 100](#_Toc422227253)

[6.2. Настройка ПЛИС 102](#_Toc422227254)

[7. Экономическая часть 104](#_Toc422227255)

[7.1. Расчёт себестоимости изготовления изделия. 104](#_Toc422227256)

[USB A-USBSA 106](#_Toc422227257)

[USB3 AUSB3-AFN-BTR 106](#_Toc422227258)

[Modular jack a-20042-LP FS 106](#_Toc422227259)

[EPM240 106](#_Toc422227260)

[7.2 Формирование цены на изделие 107](#_Toc422227261)

[7.3 Оценка конкурентоспособности изделия. 108](#_Toc422227262)

[8. Безопасность жизнедеятельности 112](#_Toc422227263)

[8.1 Анализ потенциальных опасных факторов при изготовлении блока диагностики 112](#_Toc422227264)

[8.2 Разработка системы электробезопасности при производстве блока диагностики 113](#_Toc422227265)

[8.2.1 Расчет защитного заземления 113](#_Toc422227266)

[8.2.2 Разработка схемы защитного заземления 115](#_Toc422227267)

[8.2.3 Выбор технических средств защитного заземления 117](#_Toc422227268)

[8.3. Разработка требований к изоляции токоведущих частям оборудования и силовых линий. 118](#_Toc422227269)

[Заключение 122](#_Toc422227270)

[Список использованной литературы 123](#_Toc422227271)

# Введение

Современная информационная система (ИС) включает в себя большое число электронных компонентов. Для повышения надежности функционирования ИС необходимо оперативное проведение циклов диагностики через фиксированные интервалы времени.

В настоящее время для диагностирования используют подключение ЭВМ, отдельных блоков диагностики, основным недостатком которых является громоздкость. Для оперативного проведения диагностики и минимизации объема, занимаемого блоком целесообразно разрабатывать блок на основе программируемых структур.

Целью дипломного проекта является разработка устройства внутрисхемного тестирования.

Цель достигается решением следующих задач: 1) реализация цифровой системы (как опытного образца); 2) реализация на ней блока внутрисхемного тестирования.

Для решения этих задач была разработана информационно-вычислительная система анализа характеристик электрических сигналов, а также блок диагностики на основе ПЛИС.

# 1. Аналитический обзор

## 1.1. Обзор методов внутрисхемного тестирования.

Для подтверждения правильности работы схем, их отладки, поиска и диагностики ошибок давно и широко применяются контрольно-измерительные приборы (КИП) – осциллографы и логические анализаторы. Однако, вследствие возрастания сложности схем и частот, на которых они работают, уменьшения размеров компонентов, увеличения их количества, становится сложнее физически зондировать щупом КИП.

В этом случае была бы удобна возможность наблюдения сигналов непосредственно в самом функциональном ядре ИС, когда средства тестирования встраиваются в это ядро или размещаются между ним и контактами ввода/вывода на самом кристалле ИС. Такое встраивание инструментов тестирования в сложные СБИС является сегодня новой и весьма востребованной тенденцией электронной промышленности [1].

Виды внутрисхемного тестирования приведены на рисунке 1.

Методы внутрисхемного тестирования

Программные

Встроенные блоки тестирования

Встроенные блоки диагностирования

Логические зонды

Методы граничного тестирования

Рисунок 1 – методы внутрисхемного тестирования

Тестирование при программном методе выполняется с помощью программных средств диагностирования самой ЭВМ, если диагностируется место возникновения сбоя, либо другой ЭВМ, если диагностируется отказ. В ЭВМ, имеющих сервисные процессоры, диагноз выполняется с помощью микропрограмм сервисного процессора [2].

Внутрисхемное тестирование, или ICT (In-Circuit Testing), в течение очень длительного времени, примерно с конца семидесятых годов прошлого века, лидирует как универсальный инструмент структурного тестирования печатных плат по результатам их монтажа. Игольчатые адаптеры, используемые в этом методе, обеспечивают одновременный и непосредственный доступ к нескольким тысячам внутрисхемных цепей, в зависимости от ресурсов применяемого тестера ICT [3].

Со временем компоненты стали монтироваться на ПП без сквозных отверстий и с обеих сторон ПП, так как получили широкое распространение технология поверхностного монтажа и миниатюризация ИС. Также сразу же появилась проблема размещения контактных площадок для иголок тестера ICT, а также проблема постоянного уменьшения их диаметра в условиях высокой плотности монтажа элементов с обеих сторон ПП. К тому же поскольку большое число цепей схемы в многослойных платах оставалось во внутренних слоях, усложнялась разводка платы из-за вывода их на поверхность ПП. Все это обусловило сокращение доступа ко внутренним цепям схемы со стороны тестера ICT, что, однако, отнюдь не привело к значительному сокращению применимости таких тестеров, а лишь несколько переставило акценты в областях их применения [1

Чрезвычайно широкое распространение тестеров ICT обусловлено тем, что этот метод оказался очень удобен не только для тестирования правильности монтажа компонентов на поверхность ПП, но и для внутрисхемных измерений параметров компонентов. Внутрисхемным измерением называется такое измерение параметров смонтированного на поверхности ПП компонента, которое не предполагает его демонтажа или отключения от цепей, с которыми он связан в соответствии со схемой ПП. При выполнении внутрисхемных измерений по отношению к пассивным компонентам (резисторам, конденсаторам, индуктивностям и т.д.) нет необходимости подавать питание на тестируемую ПП. Это позволяет выполнить предварительную сортировку смонтированных ПП без риска их значительного повреждения после включения питания при наличии опасных коротких замыканий или неверного монтажа резисторов, перемычек и других проводимостей. При включении питания ПП внутрисхемные измерения могут выполняться и для активных компонентов — как цифровых, так и аналоговых [1].

Рассмотрим на рисунке 2 принцип расстановки иголок ICT во внутрисхемных цепях при тестировании правильности монтажа как цифровых, так и аналоговых схем, предполагающего полный физический доступ (реальный контакт) иголок тестера ко всем внутренним цепям ПП [4]. Сформированные программным обеспечением тестера ICT входные тестовые воздействия (входная часть тест-векторов) через драйверы тестера посредством контактных иголок подаются на цепи ПП, связанные со входами тестируемой ИС. Другие иголки адаптера, зондирующие выходные цепи тестируемой ИС, связаны с «верхними» (как на рисунке 2) входами компараторов на основе вентилей «исключающее-ИЛИ» (XOR) через сенсоры тестера. Выходная часть тест-векторов содержит ожидаемые реакции соответствующих выходных цепей исправной ИС при подаче на нее входных тест-векторов, получаемые как результат моделирования функции ИС программным обеспечением тестера. Выходные части тест-векторов тестируемых цепей подаются на «нижние» входы компараторов, на выходах которых появляется «лог. 0» при совпадении ожидаемых результатов с действительными, или «лог. 1» — при их несовпадении [3]

|  |
| --- |
| http://www.russianelectronics.ru/files/50692/ris2_opt.jpeg |
| Рисунок 2 - Полный тестовый доступ ко внутренним цепям ПП |

Если точки касания иголок тестера ICT не совпадают с монтажными отверстиями тестируемой ИС (а в случае поверхностного монтажа это именно так), то рассмотренный пример представляет собой тест правильности монтажа ИС на ПП, косвенно являясь также функциональным тестом этой ИС. Действительно, модель ИС, используемая программным обеспечением тестера для получения ожидаемых результатов приложения тест-вектора ко входам ИС — это описание функции ИС, в нашем примере — таблица истинности вентиля И-НЕ [1].

Рассмотренный пример является определенным упрощением реальной ситуации в тестируемых ПП, поскольку никак не отражает схемных связей тестируемой ИС. Представим себе, что в чуть более сложном примере цифровой схемы, приведенном на рисунке 3, мы занимаемся тестированием правильности монтажа (и косвенно, возможно, также функциональным тестированием) ИС U8. Тестер ICT должен подать на входы 4 и 11 этой ИС тестовые воздействия, считать ее реакцию на выходе 16 и сравнить с ожидаемой. Чтобы тестер действительно смог посредством иголок, касающихся цепей N8 и N7, обеспечить в этих цепях требуемые логические значения, двунаправленные драйверы иголок выполняются как низкоомные источники тока, пропускающие через себя в обоих направлениях (к цепи и из нее) токи порядка 600 мА или даже больше. Такой источник тока, подключаемый иголкой тестера к цепи на очень короткое время, способен сформировать в ней любой требуемый логический уровень напряжения. Эта методика кратковременной токовой перегрузки выходов компонентов (U1 и U3 в нашем примере), соединенных со входами тестируемых ИС (U8.11 и U8.4 в нашем примере), которая обеспечивает в этом узле логический уровень, противоположный задаваемому функцией этого выхода, называется обратной загрузкой (backdriving) [3].

|  |
| --- |
| http://www.russianelectronics.ru/files/50692/ris3_opt.jpeg |
| Рисунок 3 - Блокировка и обратная загрузка |

Если, к примеру, в цепях N1 и N2 находятся логические уровни «лог. 0», обусловленные схемным подключением этих цепей, то выход вентиля U3 обеспечит «лог. 0» в цепи N8. Если при тестировании ИС U8 тестовый вектор должен обеспечить в этой цепи «лог. 1», то драйвер иголки N8 кратковременно обеспечит в этой цепи ток, достаточный для перевода этой цепи в «лог. 1» на короткий промежуток времени, достаточный для подачи тестовых векторов и снятия реакций во внутрисхемных цепях[5].

Обратная загрузка выходов микросхем, выполняемая тестером ICT весьма кратковременно, нисколько этим выходам не вредит, что доказано более чем 20-летним успешным применением этой методики. Тем не менее в случаях, когда обратной загрузки можно избежать, этим обычно не пренебрегают. В рассматриваемом примере можно избежать обратной загрузки выхода буфера U1 в цепи N7 при приложении тестовых воздействий ко входу 11 ИС U8, если заблокировать этот буфер, переведя его в состояние с высоким импедансом подачей «лог. 1» иголкой N6[1].

При чтении реакции тестируемой ИС в цепи, соединенной с выходами других ИС и образующей общую шину, что нередко происходит в реальных схемах, тест-программист должен позаботиться об отключении или переводе в состояние с высоким импедансом всех подключенных к общей шине ИС, которые не тестируются данным тест-вектором. В рассматриваемом примере инвертор U5 следует заблокировать подачей «лог. 0» иголкой N9. Это не только устранит возможный конфликт при считывании реакции на выходе 16 ИС U8, но и предотвратит эффект обратной загрузки выхода буфера U5 в цепи N11 при приложении тестовых воздействий ко входам нагрузок, подключенных к этой цепи. Активизация иголок тестера ICT для отключения мешающих или нерелевантных ИС или цепей, а также предотвращения обратной загрузки, помеченных на рисунке 3 буквой G, называется блокировкой (disabling). Существует также множество других методик и средств, задача которых — свести к минимуму или практически устранить возможное деструктивное влияние эффекта обратной загрузки, рассмотрение которых выходит, однако, за рамки этой публикации. Выбор и активизация иголок G, также как выбор и активизация иголок, подключаемых к точкам G при внутрисхемных измерениях, как правило, автоматизированы, хотя и предполагают вмешательство тест-оператора в сомнительных ситуациях.

Проблема заключается также в том, что использование моделей ICT предполагает активизацию ИС в нормальном (или специальном) функциональном режиме для получения ожидаемых реакций в результате моделирования функции ИС или снятых с нее экспериментально. Как бы то ни было, тестируемую ИС на плате, не находящейся в функциональном режиме, необходимо ввести в тот или иной режим функционирования. Это не всегда возможно и не всегда приемлемо.

Тенденции современной электроники, связанные с применением ИС в BGA-корпусах на многослойных ПП, существенно ограничивают возможности физического доступа к внутрисхемным цепям по сравнению с тем, как это не так давно было для ПП с односторонним монтажом дискретных компонентов и ИС в DIP-корпусах [5]. Применение технологий тестирования JTAG, или граничного сканирования [8], в значительной степени компенсирует этот недостаток физического доступа, создавая бесконтактную альтернативу тестированию цепей, недоступных для иголок ICT.

Первым преимуществом тестирования ICT является то, что оно позволяет обнаружить множество дефектов монтажа ПП сразу же после выхода платы с производственной линии. В некотором смысле, ICT — это первая линия обеспечения качества сборки ПП. Тесты коротких замыканий и обрывов, неверно смонтированных компонентов, неверных номиналов пассивных компонентов, развернутых в обратную сторону диодов, аналоговые тесты и измерения, разнообразные цифровые тесты, внутрисхемное конфигурирование ПЛМ и FPGA, прожиг ЭППЗУ и флэш-памяти, применение JTAG-тестирования — лишь очень неполный перечень тестов, выполняемых при тестировании ICT. Пример типовой структуры тестовой программы ICT приведен в [7]. Уровень тестового покрытия такой программы весьма высок, а ее генерация в значительной степени автоматизирована. Диагностические возможности программ ICT позволяют быстро и эффективно локализовать дефект монтажа ПП с точностью до контакта и узла даже с помощью персонала с невысокой квалификацией. Прогон тестовых программ ICT эффективен и недорог, а производительность таких стендов тестирования настолько высока, что они повсеместно используются на линиях крупно- и среднесерийного монтажа ПП.

Встроенный блок диагностирования управляется по шине от ЭВМ (переносного компьютера) - блока диагностики, и является встроенным в объект диагностики цифровым автоматом - подключается к системной шине через разъем [6]

Вместо игольчатых адаптеров как в методе ICT могут использоваться роботизированные (управляемые) зонды, которые последовательно зондируют контрольные точки, а также ручные одноконтактные зонды (щупы, клипсы) и/или многоконтактные зонды (зажимы) [9].

Вычислительный комплекс системы зондовой диагностики (ЗД), который разрабатывается, представленный на рис.4.

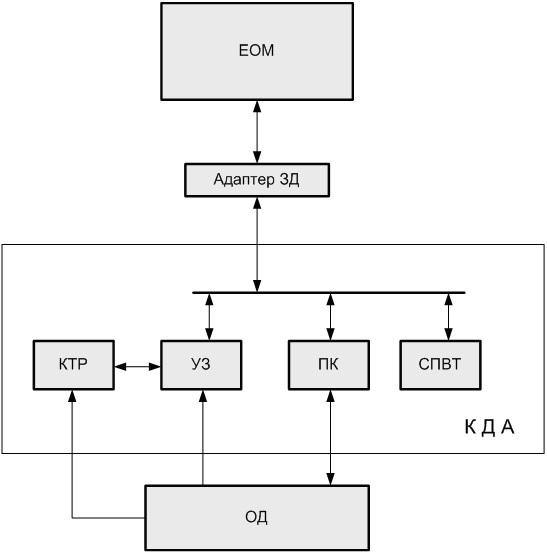


Рисунок 4 - Вычислительный комплекс системы ЗД

Комплекс можно представить композицией трех основных компонентов: инструментальной ЭВМ, стандартной периферии и контрольно-диагностической аппаратуры (КДА) [10].

Основу комплекса составляет инструментальная ЭВМ, в качестве которой предусматривается ПЭВМ типа IBM PC. Стандартную периферию могут составлять принтер плоттер, используемые для чертежа принципиальной схемы, получение твердой копии баз данных, протоколов экзамена объекта диагностики и т.д., средства коммуникации, например модем - для сетевого обмена информацией с удаленной центральной станцией диагностики, в которой могут храниться базы данных объекта диагностики, переданные на сеанс диагностики в настоящее (периферийный) комплекс ЗД, а также другие периферийные устройства (ПУ).

КДА образуют специализированные устройства зондового диагностирования ОД. ПЭВМ комплекса выполняет "интеллектуальные" функции системы зондовой диагностики: подготовку и обработку информационного обеспечения ОД, ведение баз данных, реализацию алгоритмов поиска неисправности, диалог диагностика, что ведет поиск, с ПЭВМ и др..

На КДА возлагаются следующие функции:

* генерация детерминированных, псевдослучайных и комбинированных тестов ЕД
* съемки и обработка тестовых реакций, генерируемых на внешних выходах ОД
* съемки и обработка тестовых реакций из внутренних контрольных точек ОД;
* управления синхронизацией ЕД
* сообщение с органами управления и индикации зонда;
* сообщения ЕД с ПЭВМ.

Реализация указанных функций КДА осуществляет с помощью следующих составляющих ее устройств:

* одного или нескольких (в зависимости от числа выводов ОД) должностей контроля (ПК);
* сопроцессора псевдослучайных тестов (СПСТ)
* устройства зондирования (УЗ);
* компаратора тестовых реакций (КТР)
* адаптера зондовой диагностики.

В 1985 г. для решения проблемы доступа к тестовым точкам был предложен метод граничного сканирования группой JTAG (Joint Test Action Group). Был принят стандарт Boundary-Scan IEEE 1149.1 (IEEE – Institute of Electrical and Electronic Engineers) [11].

В основу принципа была положена концепция размещения последовательного сдвигового регистра по границам устройства (рис. 5) Причем, сами ячейки такого регистра располагаются непосредственно между первичными входами/выходами устройства и логическим ядром [12].

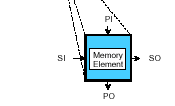
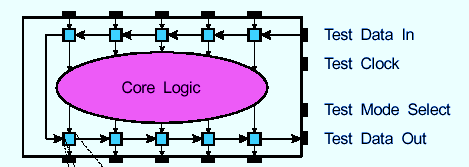


Рисунок 5 - Размещения последовательного сдвигового регистра по границам устройства

Таким образом, в устройство добавляется 4 контакта: TDI (Test Data In – вход тестовых данных), TDO (Test Data Out – выход тестовых данных), TMS (Test Mode Select – выбор тестового режима) и TCK (Test Clock – тестовая синхронизация).

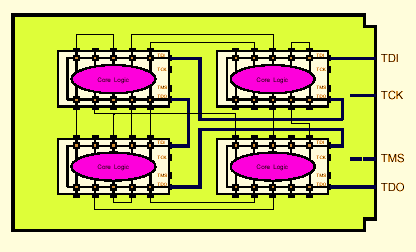


Рисунок 6 - Единый последовательный путь сканирования

Сущность механизма сканирования сходна с методом Scan Path [13]. Однако, есть существенные различия. Во-первых, логика ядра может быть любой, в том числе содержать последовательностные структуры (не нужно разбивать устройство на комбинационную часть и память). Во-вторых, ячейки сканирования располагаются как до, так и после логики.

Несколько устройств на плате могут быть объединены в единый последовательный путь сканирования (рис. 6). Это можно сделать путем соединения TDO с TDI следующего устройства. Таким образом, на плате появляется также 4 дополнительных вывода: TDI и TDO, и общие для всех устройств TCK и TMS.

Таким образом, технология граничного сканирования при относительно небольших аппаратурных затратах позволила реализовать нечто вроде «виртуальных гвоздей», что обеспечивает не только 100% наблюдаемость, но и 100% управляемость входов/выходов устройств.

Несомненно, технология Boundary-Scan является значительным прорывом вперед в DFT. Рассмотрим архитектуру устройства, которую описывает стандарт IEEE 1149.1[14].

Общая схема устройства представлена на рис. 7.

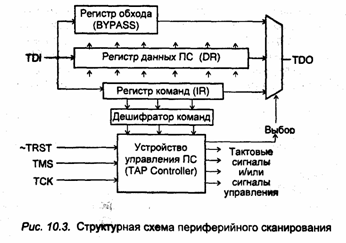


Рисунок 7 – Общая схема устройства

Само устройство, реализующее требуемые функции [15] (которое, как мы видим, может содержать и некие внутренние регистры), помещается в обрамление из тестовой логики, которое составляют:

* Набор из 4 обязательных тестовых ножек: TDI, TDO, TMS и TCK. Также возможно добавление еще одной необязательной тестовой ножки – TR (Test Reset – сброс тестовой логики). Все вместе они называются TAP (Test Access Port – тестовый порт доступа).
* Ячейки граничного сканирования на каждой линии первичного входа или выхода, соединенные между собой, таким образом, чтобы организовать последовательный сдвиговый регистр.
* Однобитный регистр обхода (Bypass register).
* Необязательный 32-битный идентификационный регистр, с возможностью хранения в нем неизменяемого кода устройства.
* Регистр команд (Instruction Register), в котором хранится текущая команда. Разрядность регистра команд должна быть больше или равна 2.
* TAP controller. По сути, это конечный управляющий автомат для тестовой логики.

Как видно из схемы, тестовая логика предоставляет возможность выбирать путь прохождения данных от TDI к TDO: либо через регистр команд (Instruction Register), либо через регистр данных (Data Register). Регистром данных в каждый момент времени может быть один из следующих регистров:

* Последовательный сдвиговый регистр граничного сканирования (Boundary-Scan register).
* Какой-либо внутренний регистр, предусмотренный разработчиком устройства (Internal register).
* Регистр обхода (Bypass register).
* Идентификационный регистр (Identification register).

## 1.2. Аппаратура встроенных блоков тестирования.

Логический анализатор

Основной областью применения ЛА является этап разработки МПС, когда отсутствуют и проверенная аппаратура, и отлаженные программы. Именно в этих условиях проявляются преимущества ЛА как универсального и гибкого в применении прибора, позволяющего разработчику находить причины сложных аппаратно-программных неисправностей .[16].

Основу логического анализатора составляет память логических последовательностей (ПЛП). Тактовые сигналы записи в ПЛП могут

вырабатываться внутренним генератором ЛА или поступать от контролируемой схемы. В последнем случае тактовые сигналы могут стробироваться другими внешними сигналами или их комбинацией. В случае заполнениявсего объема ПЛП запись в нее продолжается циклически с нулевого адреса. Таким образом, в памяти всегда хранятся N последних принятых слов, где N - емкость ПЛП.

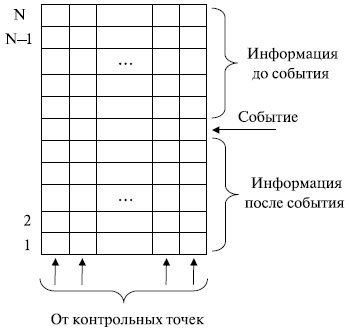


Рис. 8. Структура памяти логических последовательностей

Режим регистрации продолжается до появления события, заданного оператором при настройке, или комбинации таких событий.Регистрация может быть прекращена не только непосредственно в момент события, но и через определенное число тактов после него. В этом случае в ПЛП фиксируются состояния сигналов в контрольных точках в моменты как предшествовавшие событию, так и непосредственно следовавшие за ним, что облегчает анализ ситуации (рис. 17.1). Количество тактов последействия также определяется при настройке.

Современные логические анализаторы имеют стандартные средства подключения к контролируемой МПС, большое разнообразие условий запуска по последовательности событий, наличие разнообразных режимов отображения информации, высокоебыстродействие (до нескольких гигагерц), большую емкость ПЛП как по числу регистрируемых каналов (несколько сотен), так и подлине регистрируемой последовательности (десятки мегабит на канал). Некоторые модели логических анализаторов снабжаются встроенными генераторами тестовых последовательностей, что позволяет использовать их в качестве автономных приборов при поиске неисправностей в отдельных блоках МПС.

Сигнатурный анализатор

Поиск неисправности в МПС с помощью логического анализатора требует высокой квалификации персонала. Для каждой конкретной неисправности необходимо заново разрабатывать процедуру испытаний, настраивать прибор на новый режим работы, который, по мнению оператора, позволит обнаружить и локализовать неисправность. Поэтому ЛА используются в основном на этапе разработки МПС. В то же время он малопригоден на этапах производства и эксплуатации системы. Здесь большее распространение получили принципы сигнатурного анализа, которые, не требуя высокой квалификации персонала, позволяют быстро и точно отыскивать вышедший из строя компонент МПС с помощью недорогого и компактного оборудования[19].

Сигнатурный анализ основан на преобразовании длинных последовательностей двоичных сигналов в двоичное число, называемое сигнатурой. Измеряемые двоичные последовательности возбуждаются в контрольных точках МПС под действием специальной тестовой программы. Сигнатуры контрольных точек определяются на заведомо работоспособной системе и указываются на принципиальной схеме МПС подобно тому, как на схемах аналоговых устройств указываются осциллограммы и некоторые параметры аналоговых сигналов. Сигнатура представляется, как правило, в виде нескольких шестнадцатеричных цифр [17].

Типовая структурная схема сигнатурного анализатора состоит из регистра сдвига и сумматора по модулю 2, на входы которого подключены выходы разрядов регистра в соответствии с порождающим полиномом(x) (рис.8). Управляющими сигналами сигнатурного анализатора являются СТАРТ, СТОП и СДВИГ. Сигналы СТАРТ и СТОП формируют временной интервал, в течение которого осуществляется процедура сжатия информации на анализаторе. Под действием сигнала СТАРТ элементы памяти регистра сдвига устанавливаются в исходное состояние, как правило, нулевое, а сам регистр начинает выполнять функцию сдвига на один разряд вправо под действием синхронизирующих сигналов СДВИГ. По приходу каждого синхронизирующего импульса в первый разряд регистра сдвига записывается информация, соответствующая выражению (2.1.2), где y(k){0,1} - k-й символ сжимаемой последовательности {y(k)}, k=1,2... ; i{0,1} - коэффициенты порождающего полинома (x); ai(k-1){0,1} - содержимое i-го элемента памяти регистра сдвига в k-1 такт.

Сигнатура

M2 RG

Сдвиг Старт Стоп

Рисунок 8 - Структурная схема сигнатурного анализатора

По истечении  тактов функционирования сигнатурного анализатора на его элементах памяти фиксируется двоичный код, который представляет собой сигнатуру, отображаемую в виде 16-ричного кода.

Таким образом, путём формирования тестовой последовательности на входах анализируемого цифрового устройства для каждого его полюса находим эталонные значения сигнатур, множество которых запоминается и в дальнейшем используется для сравнения со значениями сигнатур, снимаемых с проверяемых устройств. Любое отличие реально полученной сигнатуры от эталонной свидетельствует о том, что полюс схемы функционирует отлично от случая исправного состояния устройства. Причина, вызвавшая отличие сигнатур на данном полюсе, может быть установлена последовательным анализом сигнатур от указанного полюса к входам устройства.

Эффективность использования такого сигнатурного анализатора ограничивается наличием в нём только одного информационного входа, в то время как количество выходов сложных цифровых узлов достигает значительных величин. Исследование подобных узлов осуществляется с использованием нескольких сигнатурных анализаторов, путём свёртки по модулю два выходных последовательностей или с применением некоторых других схемных решений.[16] Применение таких подходов для анализа многовыходных цифровых схем приводит или к существенному увеличению аппаратурных затрат, или к уменьшению величины вероятности P обнаружения ошибки. Поэтому для многовыходных цифровых узлов создание высокоэффективных цифровых анализаторов весьма актуально.

Многоканальные сигнатурные анализаторы.

Проблема анализа многовыходных цифровых схем и процесс их тестирования заключается в определении возникновения неисправности схемы по её выходным реакциям. Отличительной особенностью подобного анализа является необходимость исследования достаточно большого количества выходных реакций схемы (число их может достигать нескольких сотен). Поэтому использование традиционных методов компактного тестирования, применяемых для одновыходных цифровых схем, в данном случае не позволяет получить желаемого эффекта. Действительно, попытка провести анализ n - выходной цифровой схемы одноканальным СА приводит к увеличению в n раз времени, необходимого для анализа схемы, или оборудования, требуемого для реализации n сигнатурных анализаторов. При этом остаётся открытым вопрос о разрядности сигнатуры, которая также может увеличиться в n раз.

В настоящее время в связи со все возрастающей интеллектуализацией устройств сигнатурные анализаторы постепенно утрачивают свои позиции.

Граничный регистр.

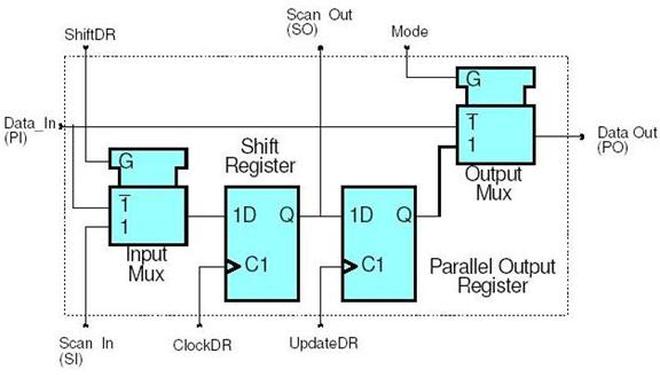
В сдвиговом регистре (Boundary Scan), подключенном между выводами микросхемы и ядром, и мультиплексоре который подключает в нужный момент этот регистр [15]. Каждому конкретному выводу соответствуют так называемые «ячейки».В состав ячейки входит один триггер регистра граничного сканирования и мультиплексора выбора данных. Ячейки могут быть разных типов в зависимости от вывода микросхемы и команд интерфейса, т.е. зависит от производителя той или иной микросхемы. Производители не придерживаются строго стандарта и, поэтому, развелось множество модификаций.

Рисунок 9 – Пример ячейки

На рисунке 9 представлена одна из разновидностей ячейки. PI, PO — параллельные вход и выход, SI,SO — последовательные [15].

Сигналы на регистр микросхемы попадают через мультиплексор, который позволяет считывать как состояния выводов ядра микросхемы (инструкция INTEST), так и данные, поступающие извне на сдвиговый регистр (инструкция EXTEST). Разновидности инструкций и их функциональность опять же меняются от желаний производителя, но существуют так называемые обязательные:

* EXTEST — инструкция, позволяющая за счет установки логических значений на рабочих контактах электронных компонентов проверить внешние цепи, имеющие непосредственное отношение к тестируемому компоненту.
* INTEST — инструкция обеспечивает возможность установки логических значений внутри микросхемы, то есть на входах ядра, тем самым проверяя его.
* SAMPLE\_PRELOAD — позволяет тестировать ядро электронного элемента в статическом режиме, устанавливая значения логических уровней на границе его выходных буферов.
* BYPASS — инструкция, при которой наш регистр граничного сканирования «схлопывается» в один триггер. При этом данные со входа (TDI) на выход (TDO) передаются с задержкой в один такт частоты синхронизации интерфейса (TCK). Этот режим позволяет эффективно использовать возможности последовательного интерфейса при организации длинных последовательно объединенных цепочек.
* IDCODE — инструкция выдвигает на выход значение встроенного 32-битного регистра с идентификаторами производителя, модели и версии устройства.

Сигнальные линии интерфейса

Как уже говорилось выше, интерфейс JTAG имеет следующие сигнальные линии:  
TDI — Test Data Input — сигнал данных на вход, данные задвигаются по переднему фронту TCK.

* TDO — Test Data Output — выход последовательных данных JTAG, выдвигаются по заднему фронту TCK, должен находиться в третьем состоянии — Z — когда данные не передаются.
* TMS — Test Mode Select — сигнал управления TAP — контроллером.
* TRST — Test Reset — не всегда есть, так как ресета можно добиться удерживая некоторое время TMS = 1, активный уровень сигнала — 0.
* TCK — Test Clock — тактовая частота.

JTAG — синхронный интерфейс, сигналы принимаются по переднему фронту синхроимпульсов младшими битами вперед и только в течении состояний TAP — контроллера Shift-DR \ Shift-IR. Выходные данные выдвигаются по заднему фронту.

Заключение по главе

В главе дан обзор методов внутрисхемного тестирования и аппаратуры встроенных блоков тестирования.

По аналогии с ПДП блоки тестирования занимают часть времени работы процессора вместо перезаписи на проверку различных элементов ЦВМ.

Хоть добавление нового блока в устройство уменьшает надежность и повышает стоимость, модуль тестирования засчет своевременного выявления ошибок в ЦВМ, повышает качество работы машины, увеличивает время ее службы.

Поскольку в случае реализации блока на отдельных микросхемах, блок будет занимать большую площадь, целесообразнее реализовать его на программируемых структурах.

1.3. Использование метода граничного сканирования с аппаратурой на ПЛИС

Перспективной является возможность внедрения механизма граничного сканирования в проекты SoC, где актуальна задача формальной верификации содержимого заказной вычислительной структуры. По предварительным оценкам, реализация необходимых компонентов механизма граничного сканирования не вызывает сложностей и не требует значительных ресурсов, что важно при его внедрении в проект на основе ПЛИС или ASIC. [21]

Важнейшими составляющими инструментального обеспечения механизма JTAG встроенных вычислительных систем являются:

средства описания ресурсов механизма граничного сканирования;

инструментальные программно-аппаратные кросс-средства;

инструментальные резидентные программные средства.

Для описания ресурсов механизма граничного сканирования существуют стандартные средства, такие как форматы и языки описания TDL (Test Description Language). Одним из первых форматов описания модели механизма граничного сканирования стал BSDL (Boundary Scan Description Language), являющийся подмножеством языка описания аппаратуры VHDL (VHSIC Hardware Description Language). BSDL позволяет описывать структурные элементы механизма граничного сканирования на уровне разрядностей регистров управления и форматов регистров граничного сканирования (Boundary Scan Register). В настоящее время BSDL стал стандартом описания ресурсов механизма граничного сканирования и принят большинством фирм-производителей электронных компонентов. Он поддержан основными мировыми производителями автоматизированных средств генерации тестов ATPG (Automatic Test Pattern Generator). [20]

В рамках технологии JTAG под программированием понимают процесс начальной инициализации (конфигурирования) той или иной структуры в микросхеме. При этом используется специальный алгоритм, разработанный фирмой-производителем микросхемы, опирающийся на расширение механизма JTAG. Алгоритм программирования в большинстве случаев не раскрывается фирмой-производителем. JTAG (в рамках базового стандарта) в таком режиме выполняет роль транспортного средства. Примером такого подхода являются ПЛИС фирмы Altera.

В ряде случаев микросхемы, нуждающиеся в конфигурировании, не имеют JTAG-интерфейса (например, flash-память, serial eeprom). Тогда их можно программировать, используя JTAG-интерфейс связанных с ними микросхем (рис. 10).

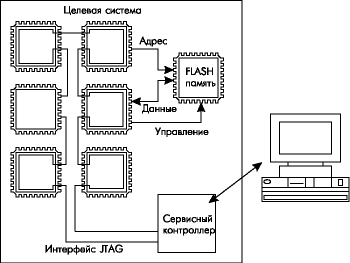


Рисунок 10 – Типовой вариант JTAG системы

## 1.4. Обзор по ПЛИС

ПЛИС – программируемая логическая интегральная схема. ПЛИС можно разделить на 3 основные группы: программируемые логические устройства (PLD), комплексные программируемые логические устройства (CPLD) и программируемая пользователем вентильная матрица [21].

ПЛИС

ПЛУ

CPLD

FPGA

Рисунок 11 – Классификация ПЛИС

Самые первые и простые устройства PLD. Они представляют собой набор макроэлементов, связанных между собой, но в отличии от других ПЛИС число макроэлементов значительно меньше. Макроэлементы, как правило состоят из некоторого количества элементов И или ИЛИ и триггера. Эти устройства используются для решения небольших и простых задач. Внутренняя архитектура может задаваться как производителем, так и запрограммированы «на месте» [22].

Комплексными PLD принято называть микросхемы высокой степени интеграции, структура которых представляет собой совокупность нескольких PLD, объединяемых программируемыми межсоединениями.

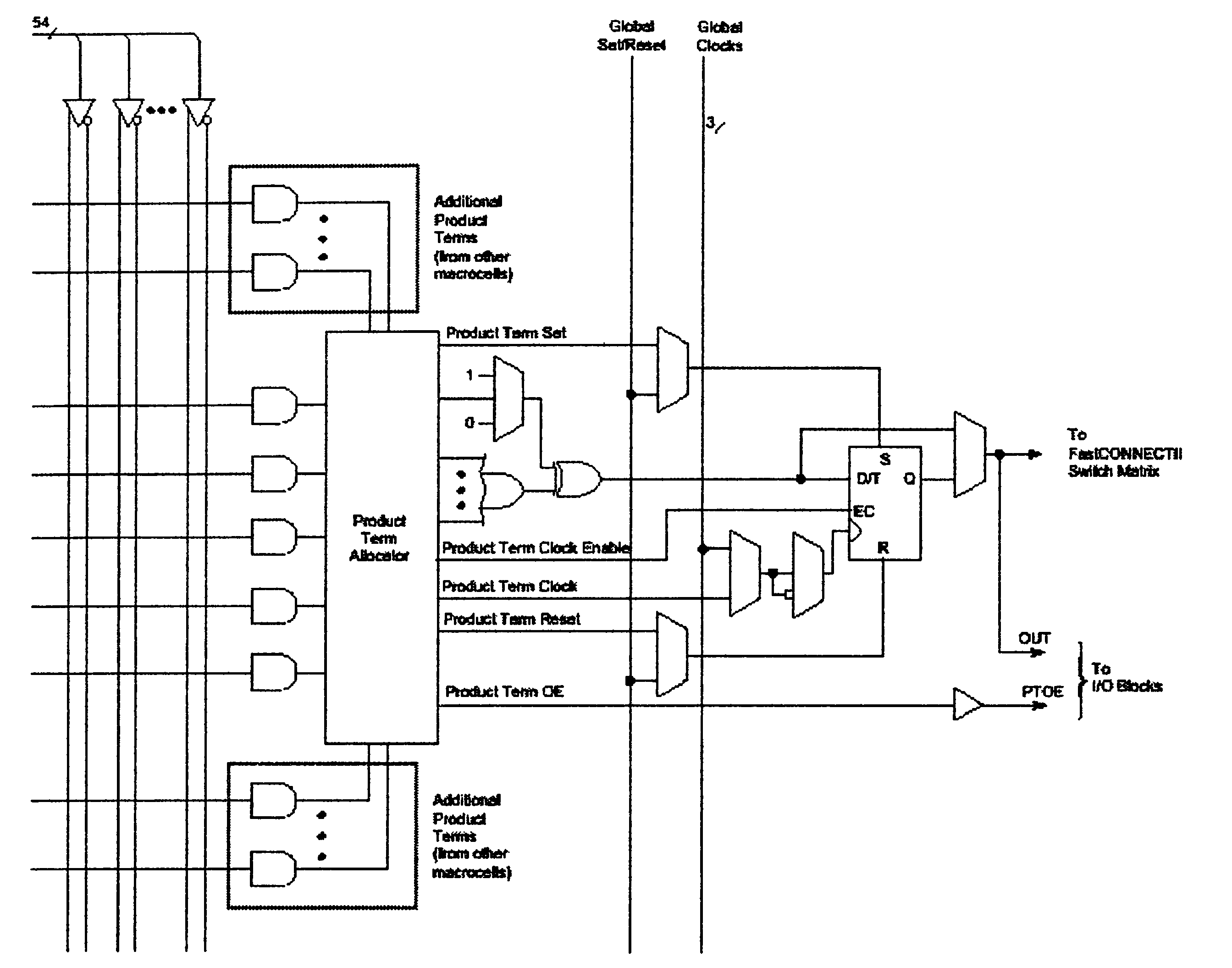


Рисунок 12 – Пример структуры макроячейки CPLD

На рис. 12 можно видеть основные составляющие макроячейки. В ее состав входят триггер и распределитель термов (Product Term Allocator). Выходом макроячейки может быть как выход триггера, так и выход распределителя термов. Кроме того, управляющие сигналы триггера также могут быть сформированы на базе логических функций распределителя. Такая структура позволяет реализовать на базе макроячейки разнообразные цифровые модули и схемные решения. Синтез содержимого конфигурационной памяти, необходимого для реализации той или иной цифровой схемы, производится соответствующим САПР. Существующие в настоящее время программные средства освобождают разработчика от необходимости прямого управления отдельными программируемыми соединениями (хотя такая возможность и имеется)[18].

Отдельные макроячейки, входящие в состав ПЛИС, объединены в функциональные блоки. Кроме того, электрический интерфейс с внешними устройствами обеспечивается блоками ввода-вывода (Input/Output Block, ЮВ), которые создают условия для буферизации выходных сигналов и согласования входных логических уровней. Эти блоки включают в себя выходные буферы с тремя состояниями и могут программироваться на ввод или вывод индивидуально. Для оптимального размещения логических устройств на кристалле ПЛИС имеют специальные трассировочные ресурсы (Матрица Fast Connect), облегчающие соединение макроячеек и внешних выводов ПЛИС [23].

Кроме того, некоторые блоки ввода-вывода могут выполнять специальные функции. Например, блок, помеченный на схеме как GCK (Global ClocK), содержит в своем составе специальный буферный элемент с высокой скоростью нарастания выходного сигнала. Выход этого блока может быть соединен с макроячейками специальными трассировочными линиями, обеспечивающими минимальную задержку распространения сигнала, что позволяет до-биваться наилучших скоростных характеристик. Аналогично GSR расшифровывается как Global Set/Reset и обеспечивает сброс или установку всех триггеров макроячеек, a GTS (Global Tri-State) переводит все выходные буферы ПЛИС в высокоимпедансное состояние [24].

Для программирования конфигурационной памяти используется интерфейс JTAG. Контроллер JTAG и контроллер программирования флеш-ПЗУ располагаются на кристалле и обеспечивают достаточно простую технологию перепрограммирования ПЛИС CPLD. Все ПЛИС CPLD поддерживают «программирование в системе» (in-system programmable), т. е. могут быть перепрограммированы без удаления с печатной платы (интерфейс JTAG использует выделенные линии, которые не могут применяться в качестве пользовательских линий ввода-вывода). Порядок инициализации ПЛИС после включения питания или перепрограммирования исключает появление на выводах устройства неконтролируемых переключений логического состояния, или «дребезга». Во время программирования все выводы переводятся в высокоимпедансное состояние.

Микросхемы с организацией FPGA (Field Programmable Gate Array) используют энергозависимую статическую память для хранения конфигурационной информации [22]. Основным элементом FPGA является конфигурируемый логический блок (CLB). Структура CLB FPGA приведена на рис. 14.

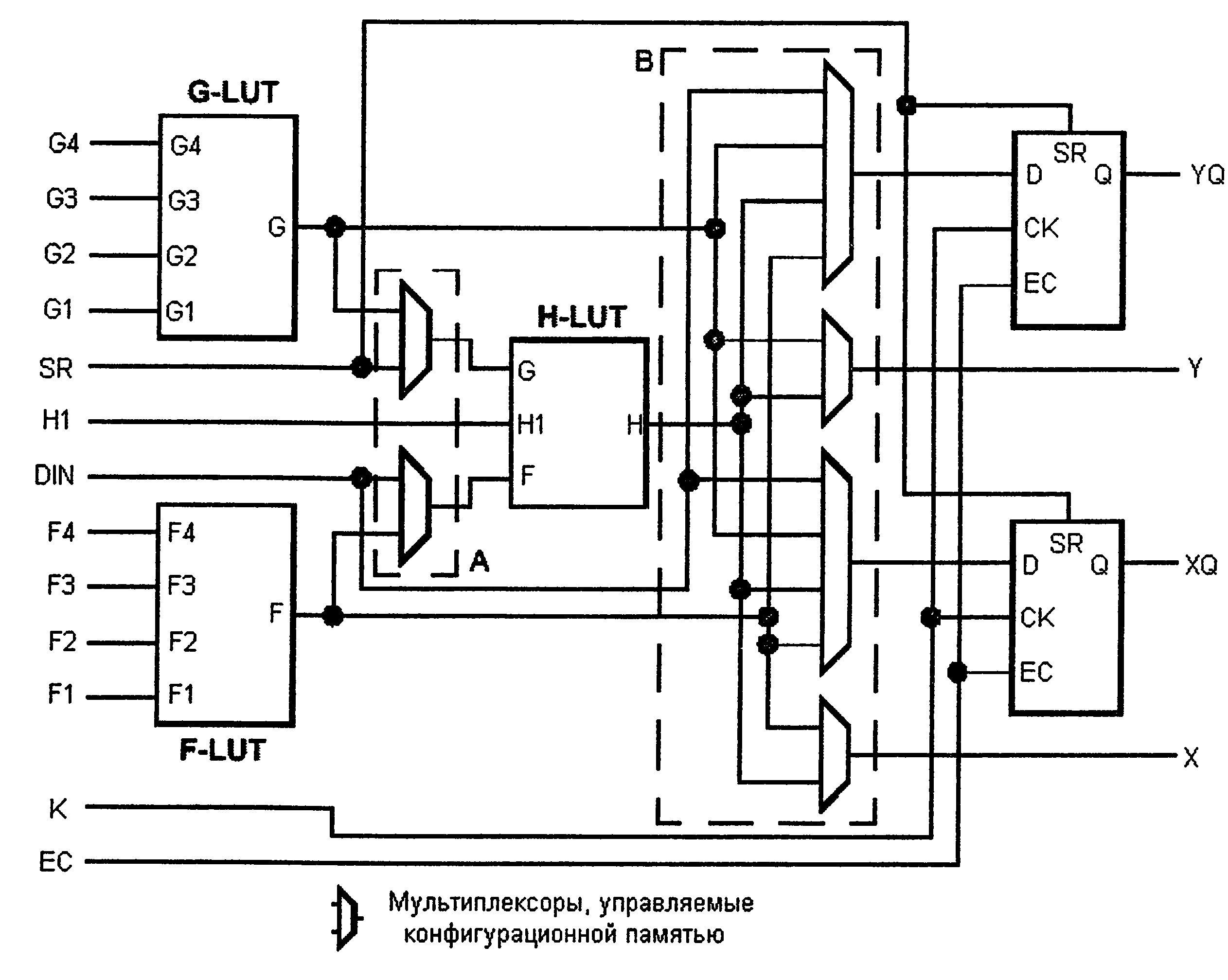


Рисунок 14 – Пример структуры FPGA

Базовая логическая ячейка микросхем FPGA несколько отличается от макроячейки CPLD. Сравнение их структур выявляет два основных отличия:

* в состав CLB FPGA входят два триггера;
* вместо достаточно мощного распределителя термов (Product Term Allocator), который в ПЛИС CPLD серии ХС9500 может работать с 36 входными переменными, в FPGA используются 4 входовые логические генераторы, обозначенные на схеме LUT (Look-Up Table, таблица истинности).

Приведенная структура и ее свойства отражают основные особенности FPGA. Поскольку в составе таких ПЛИС отсутствует флеш-память для хранения конфигурации, все таблицы истинности логических элементов должны быть занесены в обычную статическую память. Ее фрагментами и являются LUT, которые представляют собой блоки памяти с организацией 16x1. Это позволяет реализовать таблицу истинности любого 4 входового логического элемента. Добавление еще одного входа к каждому логическому генератору означает удвоение объема той части конфигурационной памяти,

которая отвечает за хранение таблиц истинности; таким образом, комбинаторная логика является в FPGA более значимым ресурсом, чем в CPLD. В то же время наличие двух триггеров в составе CLB позволяет реализовывать на базе микросхем FPGA более сложные устройства, насыщенные регистрами, счетчиками и тому подобными узлами [25].

Следует отметить также, что, являясь по своей сути фрагментом памяти, каждая Look-Up Table может быть использована как оперативное запоминающее устройство с организацией 16x1 или как 16-разрядный сдвиговый регистр. Это дает возможность использовать в проектах небольшие по объему блоки распределенной по кристаллу памяти. В семействе Spartan можно выбрать количество портов (обычная или двупортовая память) и тип интерфейса (синхронный либо асинхронный) [23].

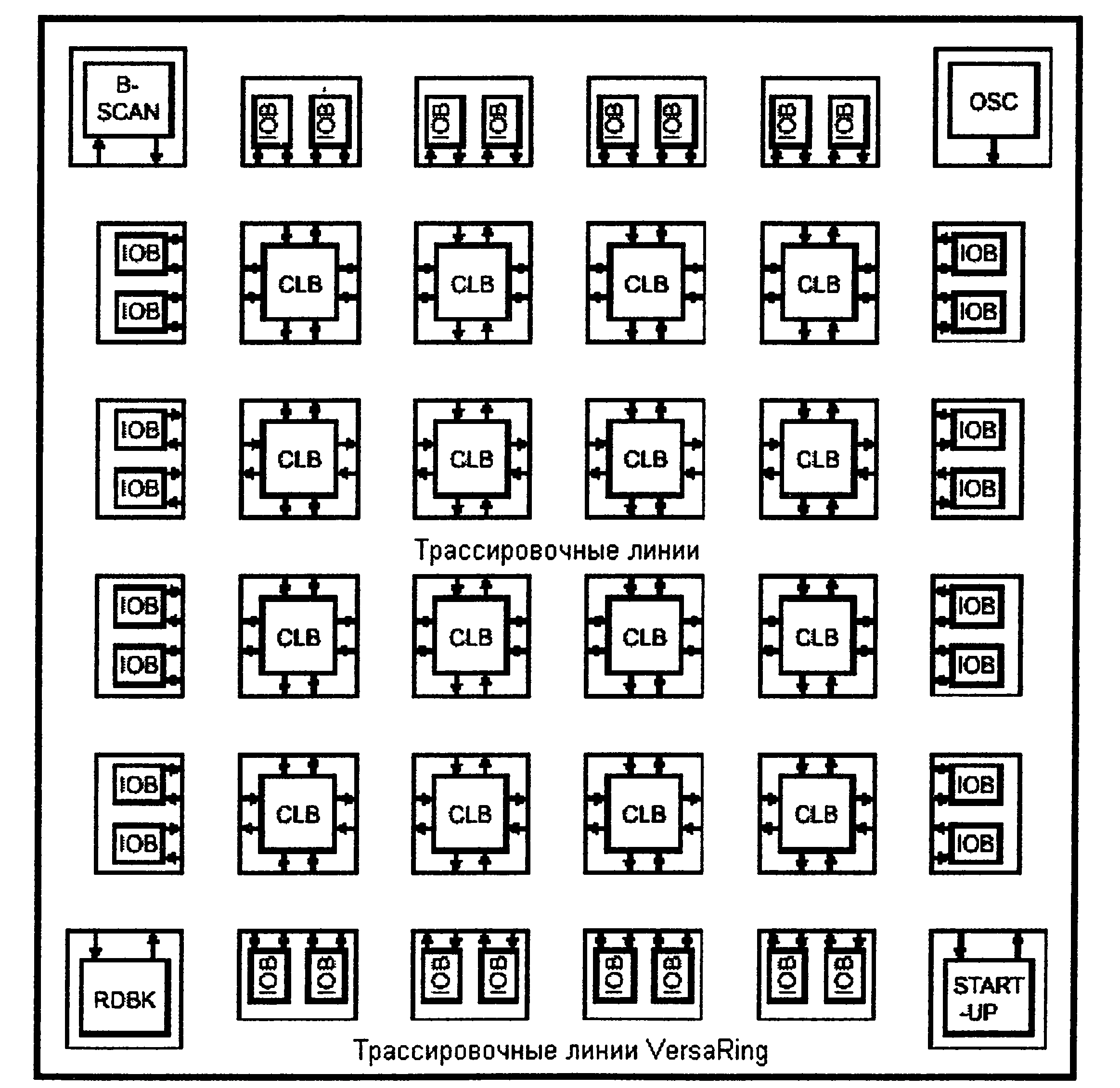


Рисунок 15 - Внутренняя структура микросхем FPGA

Другим важным отличием является внутренняя структура микросхем FPGA. На рис. 15 представлен пример, относящийся к типичному для технологии FPGA. ПЛИС, выполненная по технологии FPGA, состоит из прямоугольной матрицы конфигурируемых логических блоков (CLB), окруженных блоками ввода-вывода (Input/Output Block, ЮВ). Между CLB располагаются программируемые трассировочные линии (обозначенные на схеме как Routing Channels). От микросхем CPLD представленный пример отличается тем, что отдельные CLB не имеют индивидуальных выходов, соединенных с внешними выводами ПЛИС. Вместо этого функции преобразования сигналов выполняют выделенные ресурсы - ЮВ. Между матрицей CLB и блоками ввода-вывода имеются отдельные межсоединения, которые и обеспечивают подключение внешних сигналов. Такой подход весьма актуален ввиду значительно большей логической емкости микросхем FPGA по сравнению с устройствами CPLD. Действительно, попытка обеспечить индивидуальное соединение с выводами корпуса для большого количества логических ячеек требует чрезмерного количества трассировочных ресурсов, в то же время число пользовательских выводов даже в корпусах максимального размера находится в пределах одной тысячи. Таким образом, наличие отдельного набора блоков ввода-вывода, соединенных с основной матрицей логических блоков, соответствует общей идеологии построения программируемых цифровых элементов [26].

Реализация элементов электрического интерфейса в отдельном блоке дает еще одно весьма важное преимущество. В то время как возможности управления электрическим интерфейсом в микросхемах CPLD ограничены установкой скорости нарастания выходного сигнала, блок ввода-вывода FPGA, представляющий собой отдельный элемент кристалла, как правило, обладает существенно большими возможностями. Современные семейства ПЛИС поддерживают до 20 электрических интерфейсов (включая TTL и CMOS со множеством разновидностей, а также высокоскоростные дифференциальные интерфейсы, такие как, LVDS, LVPECL и др.). Тип интерфейса, реализуемый в каждом блоке, может быть установлен индивидуально. При этом информация о реализуемом блоком протоколе содержится в конфигурационной памяти и может быть задана в процессе проектирования устройства на базе ПЛИС [28].

2. Разработка блока тестирования на основе микрокомандного управления (на ПЛИС)

2.1. Методы программирования ПЛИС

Характер проектирования существенно зависит от вида применяемой элементной базы. Небольшие устройства для реализации которых используются ПЛИС малой степени интеграции разрабатываются, как правило «вручную», когда проектирование сводится к построению таблицы программирования (прошивки), на основании которой обеспечиваются необходимые межсоединения.

Все современные методики проектирования ЦУ на базе схем программируемой логики высокой сложности основаны на применении САПР. Новейшие САПР предоставляют широкий набор инструменты для проектирования на этапах описания, компиляции, отладки, функционального и временного моделирования, конфигурирования, физического моделирования и программирования [20].

В настоящее время к наиболее распространенным универсальным способам описания, применимым для проектов любого уровня относят графический и текстовый. Реже используются непосредственная разводка схем в редакторе топологии, описания в виде требуемых временных диаграмм, а также описания путём построения графов. [27]

Графический способ разработки дизайна подразумевает макетное построение схемы с использованием библиотечных элементов САПР, которые могут быть представлены в виде примитивов, в виде макрофункций в базисе элементов стандартных серий ТТЛ(Ш) или в виде параметризованных модулей. Главное достоинство графического способа – его традиционность и наглядность.

Использование текстового представления проекта допускает описание устройства, как с точки зрения поведения, так и с точки зрения структуры. Удобство текстового описания проявляется при создании систем, содержащих большое количество повторяющих фрагментов. Важными достоинствами являются текстового описания компактность и относительная простота автоматизации любых преобразований, включая начальную генерацию описания проекта.

Использование стандартных универсальных языков описания аппаратуры (HDL, Hardware Description Languages) обеспечивает простоту переноса проекта с одной аппаратной платформы на другую и переход от одной САПР к другой [20]. Текстовые описания имеют две основные разновидности – языки низкого уровня (аналоги языков программирования типа ассемблера) и высокого уровня. Примерами таких языков могут служить язык AHDL (Altera HDL) и ABEL (фирмы Xilinx). Языки высокого уровня менее связаны с аппаратными платформами и поэтому более универсальны. Среди них наиболее распространены языки VHDL и Verilog [20].

Описание в виде граф-схемы переходов (диаграммы состояний) является наиболее распространённым вариантом задания цифровых автоматов. Графические редакторы для создания автоматов включаются в состав средств задания исходных проектов современных САПР (например, в САПР Foundation фирмы Xilinx разработки фирмы ALDEC). [27]

После составления описания проекта производится его компиляция. Данная процедура разбивается на ряд последовательных действий: сборка базы данных проекта, контроль соединений, логическая минимизация проекта, формирование загрузочного (конфигурационного) файла и др. Результат компиляции – загрузочный файл.

Тестирования проекта часто производится путём работы с редактором временных диаграмм. В данном варианте анализ производится на основе созданного генератора воздействия. Например в САПР MAX+PLUS II предусмотрено автоматическое вычисление трёх основных классов временных параметров:

- минимальных и максимальных задержек между источниками (входными сигналами) и приёмниками (выходными сигналами), информация о которых выдаётся в виде матрицы задержек;

- максимально возможной производительности устройства (пропускной способности) в виде максимальной частоты тактирования элементов памяти, используемых в проекте.

- времён предустановки и выдержки сигналов, гарантирующих надёжную работу схем при фиксации сигналов в синхронных элементах памяти [20].

Многие САПР позволяют также выделять критические пути передачи и преобразования информации для схемного или топологического представления проекта.

При выборе той или иной элементной базы не маловажным критерием является наличие достаточно развитых и удобных средств разработки проектов на её основе.

2.2. Типовые решения по функциональным блокам

### 2.2.1. АЛУ

Для выполнения различных операций над числами необходимо арифметико-логическое устройство. Рассматриваемое в данном задании АЛУ выполняет над числами простейшие операции: сложение, вычитание, деление без остатка (нацело), поразрядные операции «И», «ИЛИ», и инвертирование. Это АЛУ позволяет передавать без изменения входную информацию на выход.

После операции на входе устанавливаются соответствующие флаги: флаги переполнения, отрицательного результата и нулевого результата.

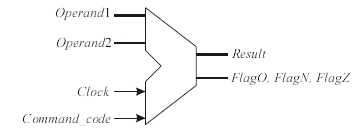
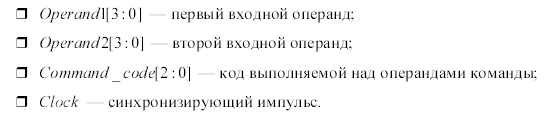
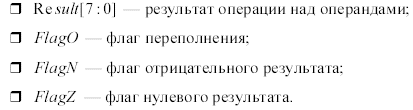


Рисунок 16 – Схема АЛУ

Входные порты устройства:



Выходные порты устройства:



На входы Operand1 и Operand2 АЛУ поступают два четырехразрядных операнда Xdata и YData, над которыми выполняется арифметическая или логическая операция.

Каждый операнд задается четырьмя разрядами. Минимальное значение операнда – 0(0000), а максимальное – 15(1111). Если хотим работать с числами по значению с большими, чем 15, необходимо увеличивать разрядность входных операндов до соответствующего уровня.

Сама операция задается входным сигналом Command\_code, состоящим из трех разрядов. Подача определенной комбинации нулей и единиц на эти разряды соответствуют определенной операции над операндами. Такое соответствие определено в таблице 2.

Таблица 2. Коды команд АЛУ

|  |  |
| --- | --- |
| Код команды | Операция |
| 000(0) | Пропуск |
| 001(1) | Арифметическое сложение |

Продолжение таблицы 2

|  |  |
| --- | --- |
| 010(2) | Арифметическое вычитание |
| 011(3) | Арифметическое умножение |
| 100(4) | Деление (целая часть) |
| 101(5) | Логическое «И» |
| 110(6) | Логическое «ИЛИ» |
| 111(7) | Поразрядное инвертирование |

Среди имеющихся операций можно выделить двухоперадные и однооперадные. К первым относятся сложение, вычитание, умножение, деление, логическое «И» и «ИЛИ». Ко вторым – пропуск и поразрядное инвертирование. В однооперадных командах используется только первый операнд Operand1 независимо от второго Operand2.

Выходной сигнал Result имеет разрядность в два раза больше, чем входные операнды. Это необходимо в случае умножения, так как данная операция может привести к удвоению разрядности результата и предотвращает переполнение.

Каждый выходной результат сопровождается установкой соответствующих бит-флагов переполнения, нуля и отрицательного значения.

Флаг переполнения Flag0 устанавливается в состояние «1», если произошло переполнение результата. Эта ситуация возникает при делении на

нуль, т.е. когда на вход второго операнда подать «0» и выбрать операцию деления. Результат будет неизвестен. Во всех остальных случаях флаг сбрасывается в нулевое состояние.

Флаг нуля FlagZ устанавливается в «1», если полученный результат принимает нулевое значение. Такая ситуация возникает, когда происходит деление нуля на число, отличное от нуля, или вычитание двух одинаковых чисел, а также в результате побитовых операций. Если в результате не нуль, то устанавливается в нуль.

Флаг отрицательного значения FlagN устанавливается в «1», если результат операции отрицательный. При этом выходное значение Result имеет положительное значение, равное по модулю полученному отрицательному. Нулевое значение этот флаг принимает, если значение Result является положительным.

Сигнал Clock используется для синхронизации. По его положительному фронту выдается на выход результат и флаги.

Программа имеет следующую структуру: главный модуль ALU вызывает задачи-обработчики операндов, т.е. соответствующие части программы, которые описывают соответствующую операцию. Задача вызывается главным модулем как функция с передачей соответствующих параметров главного модуля.

По результату вызова задачи главный модуль производит установку соответствующих флагов.

По положительному фронту сигнала clock результат и флаги подаются на выход устройства.

### 2.2.2 Таймер

Таймер посылает запрос на прерывание. Представляет собой делитель частоты с внутреннего генератора тактовых импульсов.

### 2.2.3. Счетчик

Чтобы ПЗУ последовательно выдавало на выходы данных все записанные в него коды, необходимо, что счетчик перебирал адреса ПЗУ.

При разработке для ПЛИС всегда есть два варианта, либо разрабатывать цифровое устройство схематически (путем составления его схемы из готовых элементов) или описание на его посредством языков вроде VHDL, Verilog.  
Исключением не является и проектирование счетчиков.  
Счетчики - одно из простейших цифровых устройств. Счетчики делят на суммирующие (с прямым счетом) и вычитающие (с обратным счетом). Другим не маловажным параметром является разрядность счетчика.  
В данной статье речь пойдет о четырехразрядном суммирующем счетчике.

Сначала рассмотрим метод описания счетчика путем описания его схемы на D-триггерах:

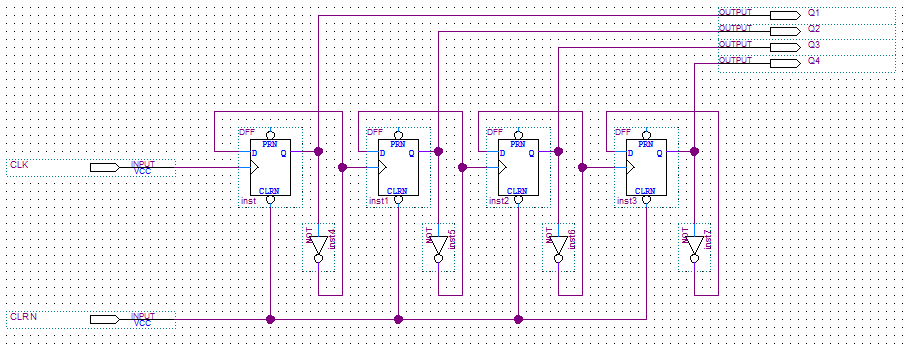


Рисунок 17 - Счетчик

Как видите нам понадобились 4 D-триггера. В идеале нужны триггеры с двумя выводами (прямым и инверсным). В схеме присутствует сигнал сброса счетчика CLRN.

Недостатком такого метода можно назвать разве что плохую переносимость (ну и конечно для большей разрядности надо больше триггеров, что не всегда удобно). К примеру если вы захотите сменить производителя ПЛИС, вам придется заново набирать схему в новой среде разработки.

Второй метод (описание счетчика при помощи VHDL кода) лишен данного недостатка, но предполагает наличие хотя бы начальных знаний в области программирования на VHDL.

Код счетчика четырехразрядного счетчика с прямым счетом на VHDL:

library ieee;

use ieee.std\_logic\_1164.all;

use ieee.numeric\_std.all;

entity count is

port

(

clk : in std\_logic;

reset : in std\_logic;

q : out integer range 0 to 15

);

end entity;

architecture rtl of count is

begin

process (clk)

variable cnt : integer range 0 to 15;

begin

if (rising\_edge(clk)) then

if reset = '1' then

-- сбрасываем счетчик в 0

cnt := 0;

else

-- инкрементируем счетчик

cnt := cnt + 1;

end if;

end if;

-- устанавливаем текущее значение на выводы

q <= cnt;

end process;

end rtl;

Такой подход безусловно более выгоден. Вы можете наращивать значение счетчика простым изменением разрядности переменных cnt и q.

Смысл этого кода в том, что по приходу на вход CLK импульса, увеличивается переменная хранящая значение счетчика - cnt.

При установке 1 на вход reset, счетчик сбрасывается.

2.2.4. ОЗУ

Ячейки памяти статической ОЗУ можно рассматривать как регистр памяти с тремя состояниями выхода, дополненный простейшей логикой управления. Функциональная схема такой ячейки может иметь вид:

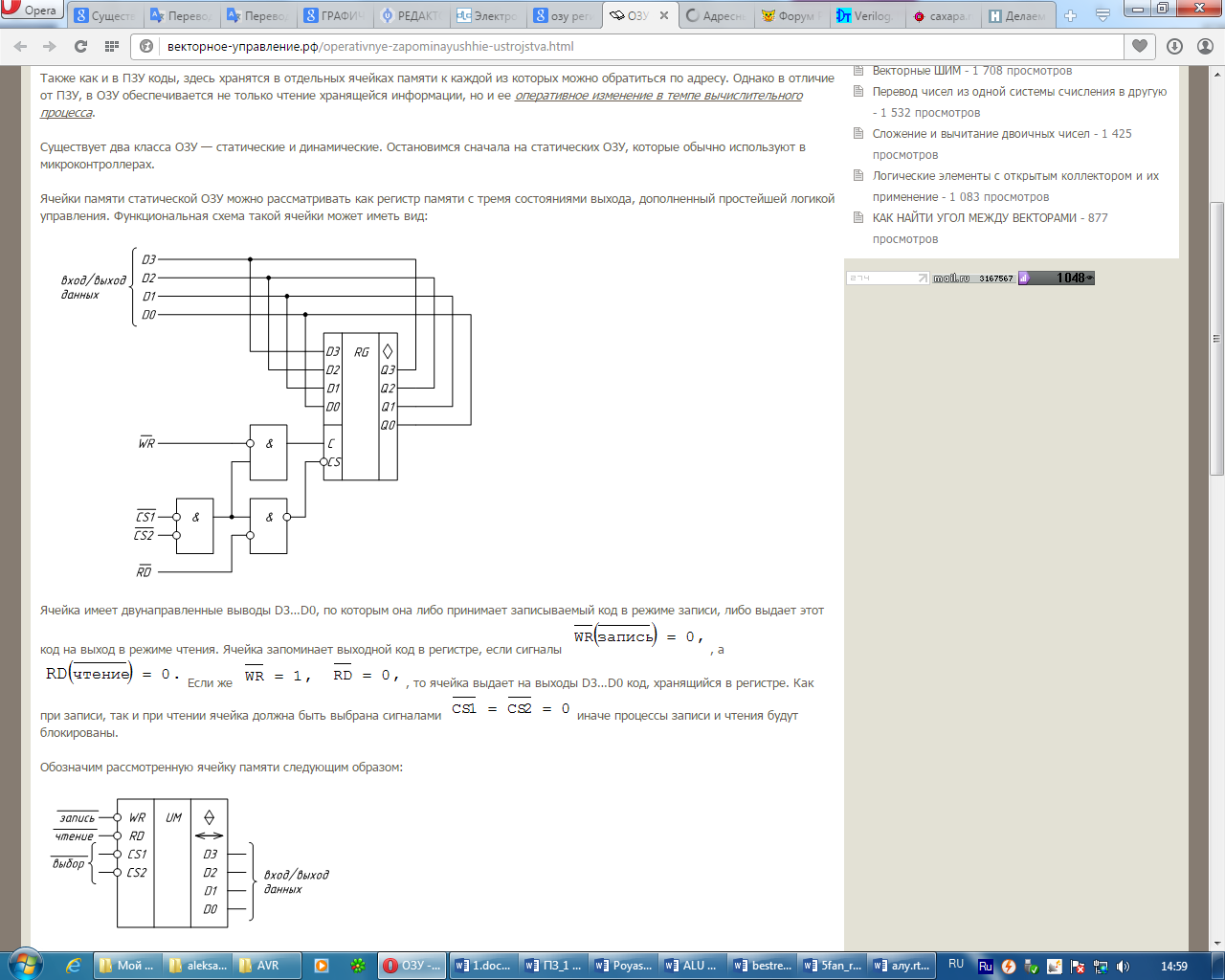


Рисунок 18 – Функциональная схема ячейки ОЗУ

Ячейка имеет двунаправленные выводы D3…D0, по которым она либо принимает записываемый код в режиме записи, либо выдает этот код на выход в режиме чтения. Ячейка запоминает выходной код в регистре, если сигналы ОЗУ Оперативные запоминающие устройства, а ОЗУ Оперативные запоминающие устройства. Если же ОЗУ Оперативные запоминающие устройства ОЗУ Оперативные запоминающие устройства, то ячейка выдает на выходы D3…D0 код, хранящийся в регистре. Как при записи, так и при чтении ячейка должна быть выбрана сигналами ОЗУ Оперативные запоминающие устройства иначе процессы записи и чтения будут блокированы.

Обозначим рассмотренную ячейку памяти следующим образом:

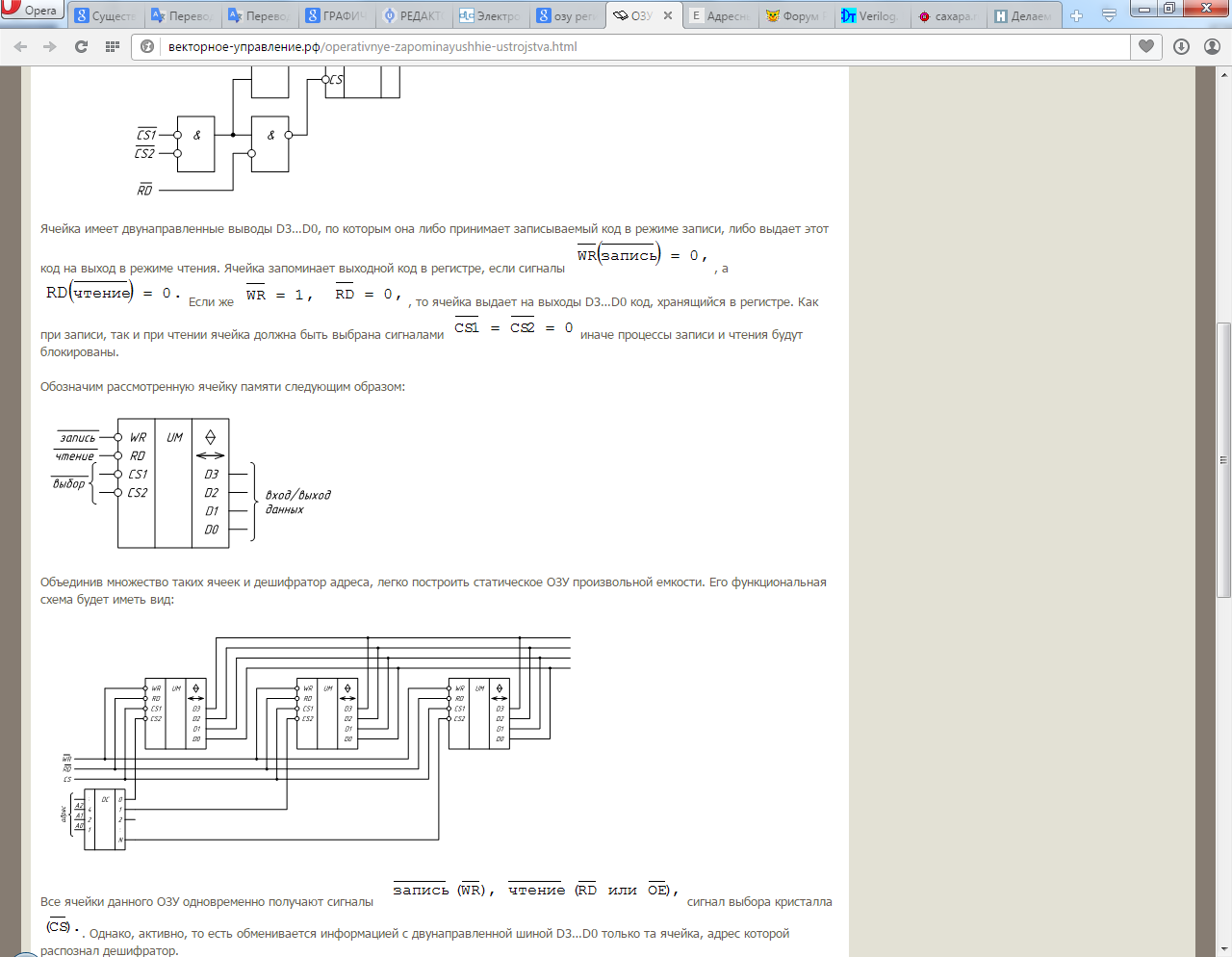


Рисунок 19 – Ячейка памяти

Объединив множество таких ячеек и дешифратор адреса, легко построить статическое ОЗУ произвольной емкости. Его функциональная схема будет иметь вид:



Рисунок 20 – Функциональная схема ОЗУ

Все ячейки данного ОЗУ одновременно получают сигналы ОЗУ Оперативные запоминающие устройства сигнал выбора кристалла ОЗУ Оперативные запоминающие устройства. Однако, активно, то есть обменивается информацией с двунаправленной шиной D3…D0 только та ячейка, адрес которой распознал дешифратор. Направление обмена (запись/чтение) определяется сигналами ОЗУ.

2.2.5. Контроллер последовательной шины

Блок диагностики общается с системой через контроллер последовательной шины.

Пример контроллера представлен на рисунке 21

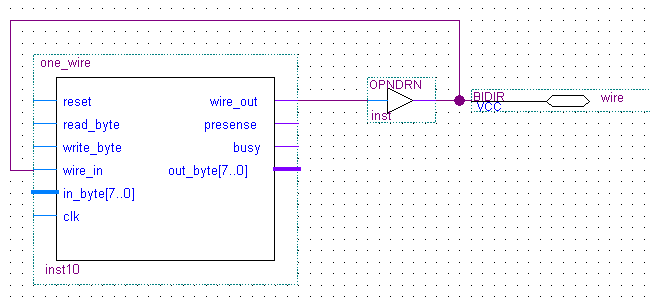


Рисунок 21 - Контроллер последовательной шины

На вход clk подаются тактовые импульсы с периодом 6 мкс. Входы reset, read\_byte, write\_byte нужны для запуска соответствующей функции. На них выставляется 1, после появления 1 на busy их нужно сбросить в 0 (что-то на подобии регистров в МК, записал 1 — пошла работа, только сбрасывать ручками надо), если этого не сделать, то по завершению текущих действий они снова повторятся, причем наивысший приоритет у reset, наименьший у read\_byte. Busy выставляется в 1 когда модуль что-то делает, если busy переходит с 1 в 0 можно считывать данные или запускать новый процесс.

2.3. Основные проблемы при организации блоков

Главной составной частью ПЛИС являются функциональные блоки (ФБ), позволяющие аппаратно выполнять сконфигурированные разработчиком функции. ФБ занимают основную площадь кристалла ПЛИС, поэтому уменьшение площади ФБ – одна из основных проблем построения ПЛИС.

3. Техническое предложение

## 3.1. Принцип работы информационно-вычислительной системы анализа характеристик электрических сигналов

Блок диагностики встраивается в информационно-вычислительную систему анализа характеристик электрических сигналов. Он посылает сигнал прерывания в процессор системы, переводит выходные разряды адреса и данных в третье состояние и поддерживает их в нем до окончания цикла тестирования. Блок диагностики обращается к элементам системы, например, порт ввода/вывода, ОЗУ, ПЗУ, посылает тестовый код, сравнивает с эталоном и сообщает в случае ошибки. Структурная схема приведена в Приложении А.

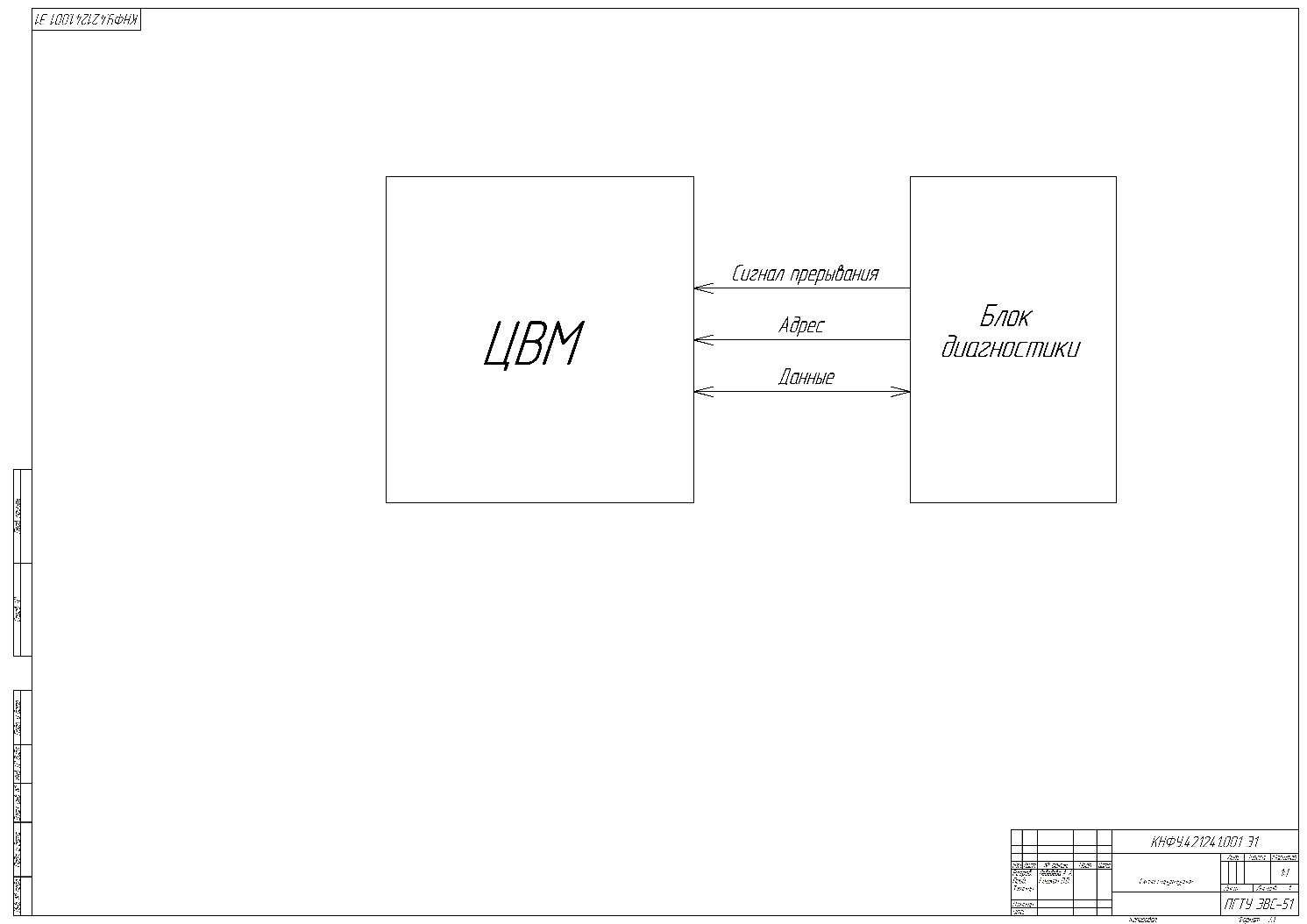


Рисунок 22 – Схема структурная с выделением функций блока диагностики

Принцип работы системы заключается в следующем: происходит считывание четырех аналоговых, и преобразование их в цифровую форму, и восьми релейных входов поочередно со всех каналов. Обмен данными осуществляется по шине данных. Эта информация обрабатывается микропроцессором по определенному алгоритму, и обработанные значения записываются в оперативную память. Далее результаты выводятся по стандартному интерфейсу на печать и индикацию, элементом индикации которого являются семисегментные индикаторы. Оперативное управление работой системы, ввод управляющих команд, осуществляется с клавиатуры. ПЗУ предназначено для хранения команд программы.

## 3.2. Разработка структурной схемы системы

Возьмем в качестве структурной схемы типовую схему микроконтроллера с интерфейсом системной шины, которая пред­ставлена на рисунке 23.

Рисунок 23 - Структурная схема типового микроконтроллера

Процессор (CPU) – это основной блок любой структурной схемы ЭВМ, который формирует все управляющие сигналы в ней. Контроллер предназначен для работы в составе микропроцессорной системы и обеспечивает подключение к ней памяти и внешних устройств. Шина данных (ШД), шина адреса (ША), шина управления (ШУ) используется для передачи команд и данных процессору, а также от него. Оперативная память (ОЗУ), Постоянная память (ПЗУ), контроллер внешних устройств – все подключены к этим шинам. По аналогии с прототипом разработаем структурную схему системы. В схему требуется добавить адресный дешифратор (программируемая логическая матрица), блок диагностики, блок ввода аналоговой информации, блок ввода релейной информации, блок последовательного интерфейса, блок клавиатуры и индикации подключить к шине данных через схему параллельного интерфейса, перед блоком индикации необходимо поставить шинные формирователи для обеспечения нагрузочной способности.

## 3.3. Разработка функциональной схемы системы

### 3.3.1. Процессорный блок

Процессорный блок представлен на рисунке 24.

В ее состав входят следующие узлы: микропроцессор, контроллер системной шины буферный регистр адреса, буферный регистр данных, генератор тактовых импульсов.

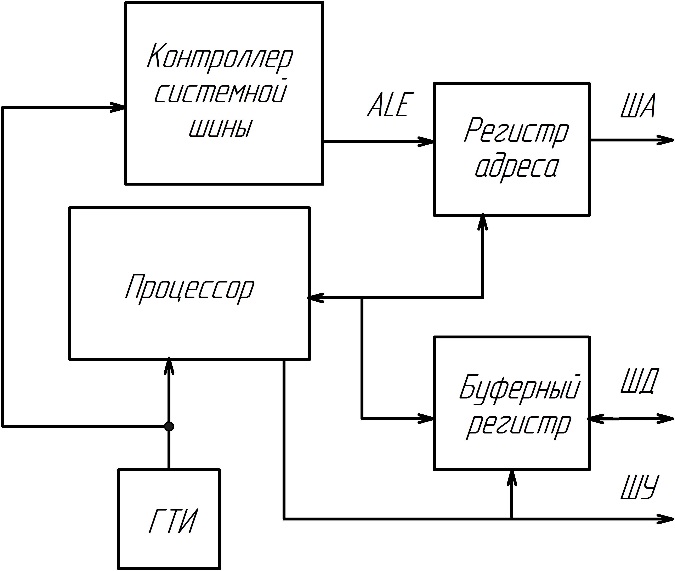


Рисунок 24 – Процессорный блок

### 3.3.2. Блок аналоговых входов

Блок аналоговых входов представлен на рисунке 25.

Блок ввода аналоговой информации представлен на рисунке 5. Аналоговые сигналы обрабатываются АЦП параллельно, предварительно усиленные до необходимого уровня операционными усилителями, что приводит к ускорению преобразования сигнала, исключая коммутацию между каналами.

Аналоговый сигнал проходит через соответствующую схему коррекции, которая согласовывает уровень и форму входящего сигнала так, чтобы он имел наименьшие искажения на вход АЦП. Повторитель на ОУ служит для увеличения силы тока аналогового сигнала, т.к. длина проводников велика. Выборка адреса, это регистр, который будет осуществлять перебор адресов мультиплексора при появлении сигнала с адресного дешифратора. Мультиплексор проводит коммутацию входных сигналов с АЦП. АЦП преобразует аналоговый сигнал с мультиплексора в цифровой. Запуск преобразования АЦП происходит с формирователя импульсов на одновибраторе, который также формирует необходимую задержку, т.к. быстродействие мультиплексора не велико.

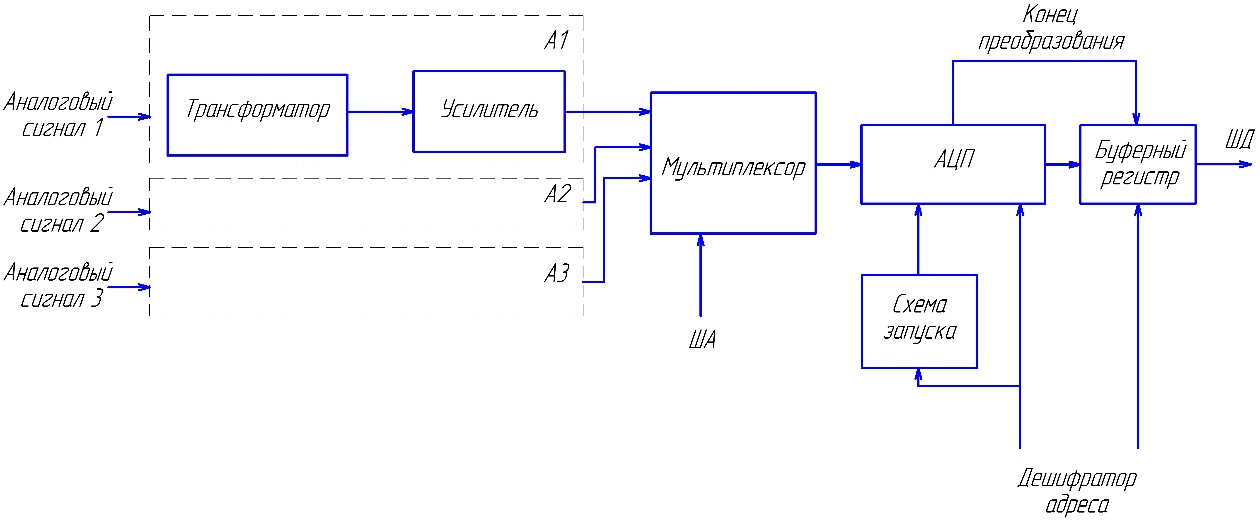


Рисунок 25 - Блок аналогового ввода

### 3.3.3. Блок релейных входов

Блок релейных входов представлен на рисунке 26.

Входные релейные сигналы через разъем поступает поразрядно на триггеры Шмидта – устройства, которые формируют крутой фронт входного сигнала с тем, чтобы фронты соответствовали ТТЛ логике. Выходы триггера Шмидта поступают на вход параллельного регистра, с третьим состоянием, его выводы закрыты и не влияют на шину данных.

Параллельно с регистром каждый входной разряд (выходы Шмидта) объединяются по схеме ИЛИ с тем, чтобы сформировать сигнал запроса прерывания микропроцессора. Процессор, получив сигнал прерывания, заканчивает выполнение текущей команды и формирует адрес по которому обращается и подпрограмма читает этот адрес, этот адрес задаем сами при распределении адресного пространства. Адресный дешифратор PLM, согласно этого адреса, формирует активный сигнал CS, который переводит регистр в активное состояние (выходы открыты) и процессор согласно этой команды переносит содержимое этих разрядов регистра в свой аккумулятор. После этого процессор обязан определить, какой из разрядов был активным. Для этой цели используем циклическое маскирование данных. Определив номер сигнала, процессор переходит на подпрограмму обработки этого сигнала.

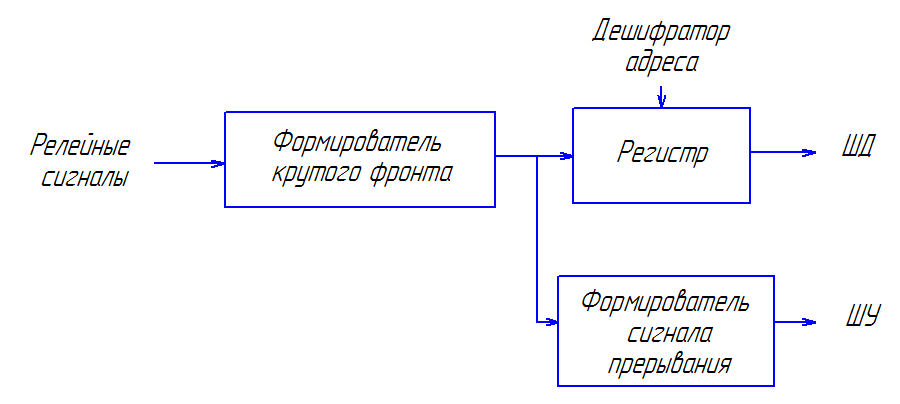


Рисунок 26 - Блок релейных входов

### 3.3.4. Последовательный порт

В данной схеме используется USB микроконтроллер. Задача такой схемы – запись в свою буферную память байты. С этой целью пишем программу, согласно которой из памяти, последовательно, через процессор посылаем по адресу USB контроллера байты.

### 3.3.5. Блок программируемой логической матрицы

Адресный сигнал c регистра адреса по шине адреса через программируемую логическую матрицу активизирует один из внешних блоков (ОЗУ, ПЗУ и д.т.). Одновременно процессором по шине управления формируется сигнал чтения или записи, после чего происходит обмен данными.

### 3.3.6. Блок ПЗУ.

Выбор микросхемы осуществляется с помощью ПЛМ. ПЛМ открывает ПЗУ и содержимое выбранной ячейки памяти подключается к шине данных. Процессор одновременно с адресом формирует сигнал чтение и содержимое ячейки оказывается на входе микропроцессора.

### 3.3.7. Блок ОЗУ

Выбор микросхемы осуществляется с помощью ПЛМ. После чего содержимое выбранной ячейки поступает в регистр данных процессора или из регистра данных процессора пересылается содержимое в выбранную ячейку памяти данных. Режим чтение/запись устанавливается сигналом WR микропроцессора: при низком уровне WR ОЗУ переводится в режим записи, при высоком уровне WR – в режим чтения.

### 3.3.8. Блок клавиатуры

Блок клавиатуры представлен на рисунке 27.

Матричная клавиатура содержит 2 основных блока: параллельный интерфейс и блок матричной клавиатуры.

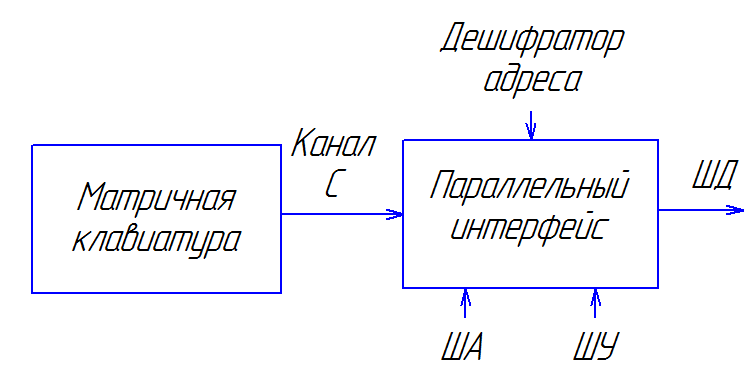


Рисунок 27 - Блок клавиатуры

### 5.3.9. Блок индикации

Вывод информации на точечный индикатор осуществляется с помощью матрицы 32 строк, 48 столбца. Индикатор DD33(МТ-6464В)

### 5.3.10 Блок вывода аналогового сигнала

Структурная схема блока вывода аналогового сигнала представлена на рисунке 28.

Данный блок необходим для вывода обработанной информации на любой внешний приемник в аналоговом виде. Состоит из ЦАП, преобразующего старшие разряды данных, по сигналу с адресного дешифратора, поступающие на ШД и усилителя для повышения амплитуды сигнала и запаса по току.

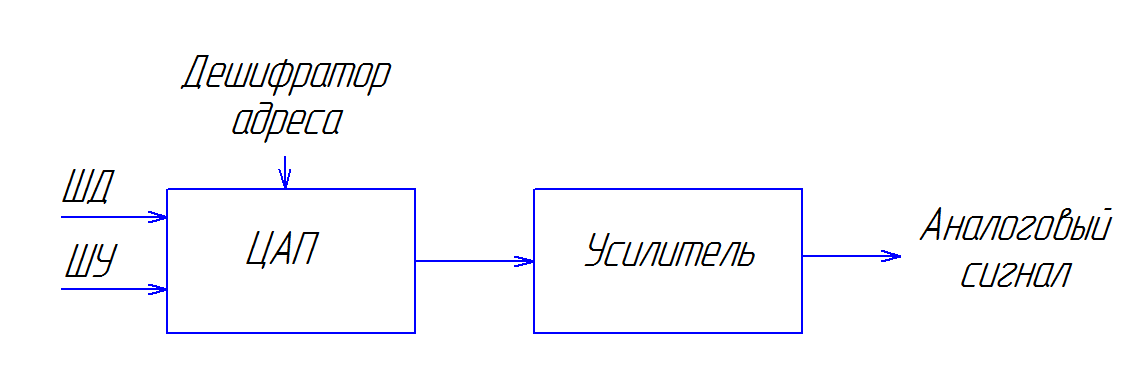


Рисунок 28 - Блок вывода аналоговых сигналов.

## 3.4. Выбор элементной базы

3.4.1. Выбор ПЛИС

Рассмотрим основные подходы при выборе ПЛИС для реализации проектов. Как известно, при выборе элементной базы руководствуются следующими критериями отбора:

· Быстродействие;

· логическая емкость, достаточная для реализации алгоритма;

· схемотехнические и конструктивные параметры ПЛИС, надежность, рабочий диапазон температур, стойкость к ионизирующим излучениям и т.п.;

· стоимость владения средствами разработки, включающая как стоимость программного обеспечения, так наличие и стоимость аппаратных средств отладки;

· стоимость оборудования для программирования ПЛИС или конфигурационных ПЗУ;

· наличие методической и технической поддержки;

· наличие и надежность российских поставщиков;

· стоимость микросхем.

Исходя из этих требований, выбираем тип радиоэлементов, которые войдут в состав элементной базы. Выбираем ПЛИС EPM240

Таблица 3. Характеристики EPM240

|  |
| --- |
| Кол-во логических элементов 240  Кол-во эквивалентных макроячеек (1)192  Объем Flash-памяти пользователя (кбит) 8  Максимальная задержка распространения сигнала от входа до выхода (нс) 4.7  Встроенный осциллятор Есть  Цепи граничного сканирования Есть  Внутрисхемное программирование Есть  Высокоскоростные входные регистры Есть  Программируемое состояние регистров по включению питания Есть  Доступ к регистрам по JTAG-интерфейсу Есть  Режим программирования конфигурационного Flash-ПЗУ без изменения текущей конфигурации Есть  Поддерживаемые уровни напряжения ввода-вывода (В) 1.5, 1.8, 2.5, 3.3  Кол-во банков ввода-вывода 2  Кол-во цепей разрешения выходов (OE) 80  Поддержка стандартов ввода-вывода LVTTL/LVCMOS  Поддержка стандарта ввода-вывода PCI 32-бит, 66-МГц Нет  Триггеры Шмитта в элементах ввода-вывода Есть  Программируемая скорость нарастания выходного сигнала Есть  Программируемые встроенные подтягивающие резисторы Есть  Выводы с режимом "программируемой земли" Есть  Режим выходов с открытым стоком Есть  Режим удержания состояния шины Есть |

Микросхемы семейства MAX II состоят из функциональных блоков (LABs, Logic Array Block), которые в свою очередь состоят из десяти логических элементов (LEs, Logic Elements) каждый. Логический элемент представляет собой функциональный преобразователь (ФП) табличного типа (LUTs, Look-Up Table), т. е. в зависимости от состояния входных сигналов на выход подается содержимое одной из ячеек памяти. Функциональные блоки расположены в виде матрицы, между столбцами и строками которой проходят горизонтальные и вертикальные трассировочные каналы, которые обеспечивают проведение сигналов между логическими блоками (LABs) [1].

Система коммутации с помощью программируемой матрицы соединений (ПМС) (Programmable interconnect array, PIA) имеет два уровня межсоединений (Multi Track interconnect) — глобальный и локальный. Локальная программируемая матрица соединений обеспечивает коммутацию логических элементов (ЛЭ). Глобальная программируемая матрица соединений обеспечивает соединения между функциональными блоками. К концам строк и столбцов глобальной программируемой матрицы соединений подключены порты ввода-вывода (ЮЕ, Input/Output Element). На рисунке 29 изображена функциональная схема ПЛИС MAX II [1].

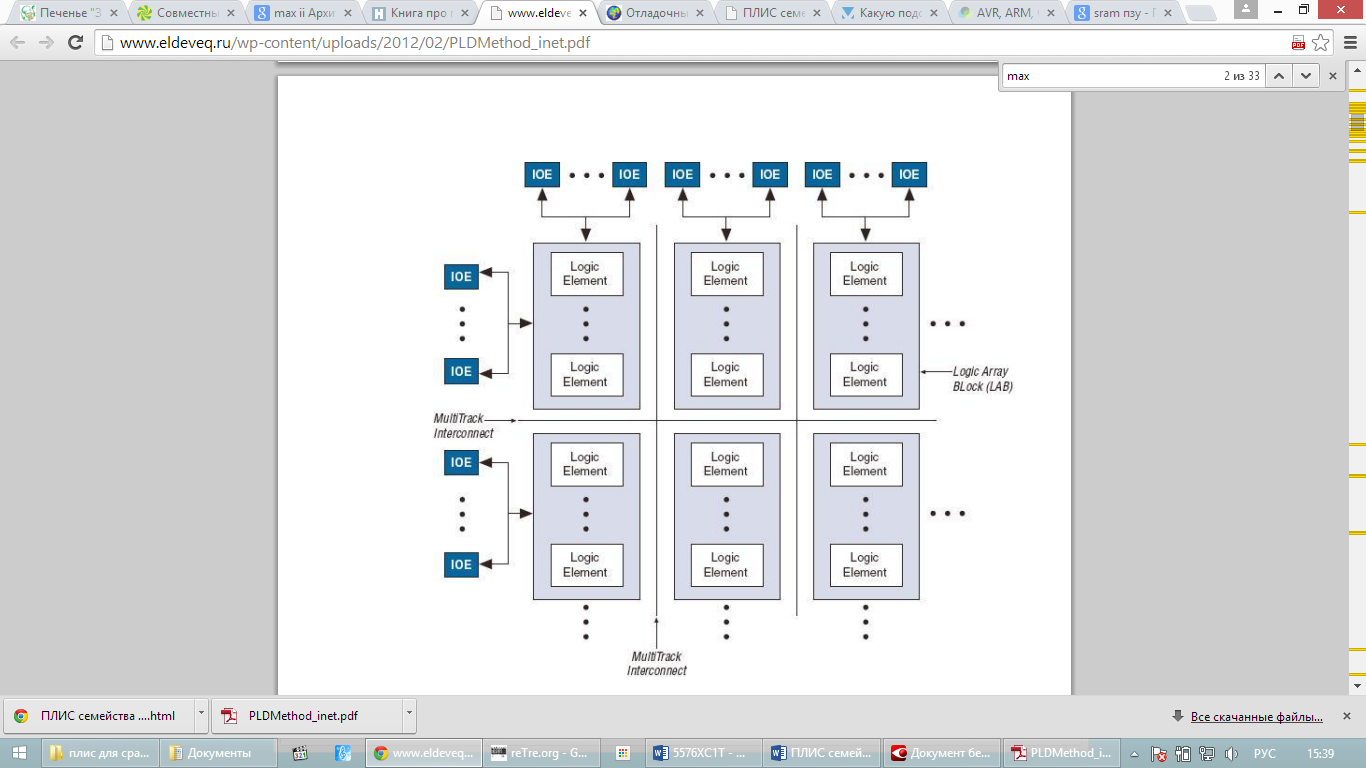


Рисунок 29 — Функциональная схема ПЛИС MAX II

На рисунке 30 представлен план архитектуры CPLD MAX II. Кроме функциональных блоков и блоков ввода вывода, следует отметить наличие энергонезависимых блоков памяти UFM (User Flash Memory) и CFM (Configuration Flash Memory). Блок CFM предназначен для хранения конфигурации микросхемы, а блок UFM предоставляется пользователю для его нужд. Блок UFM имеет объем в 8192 бит.

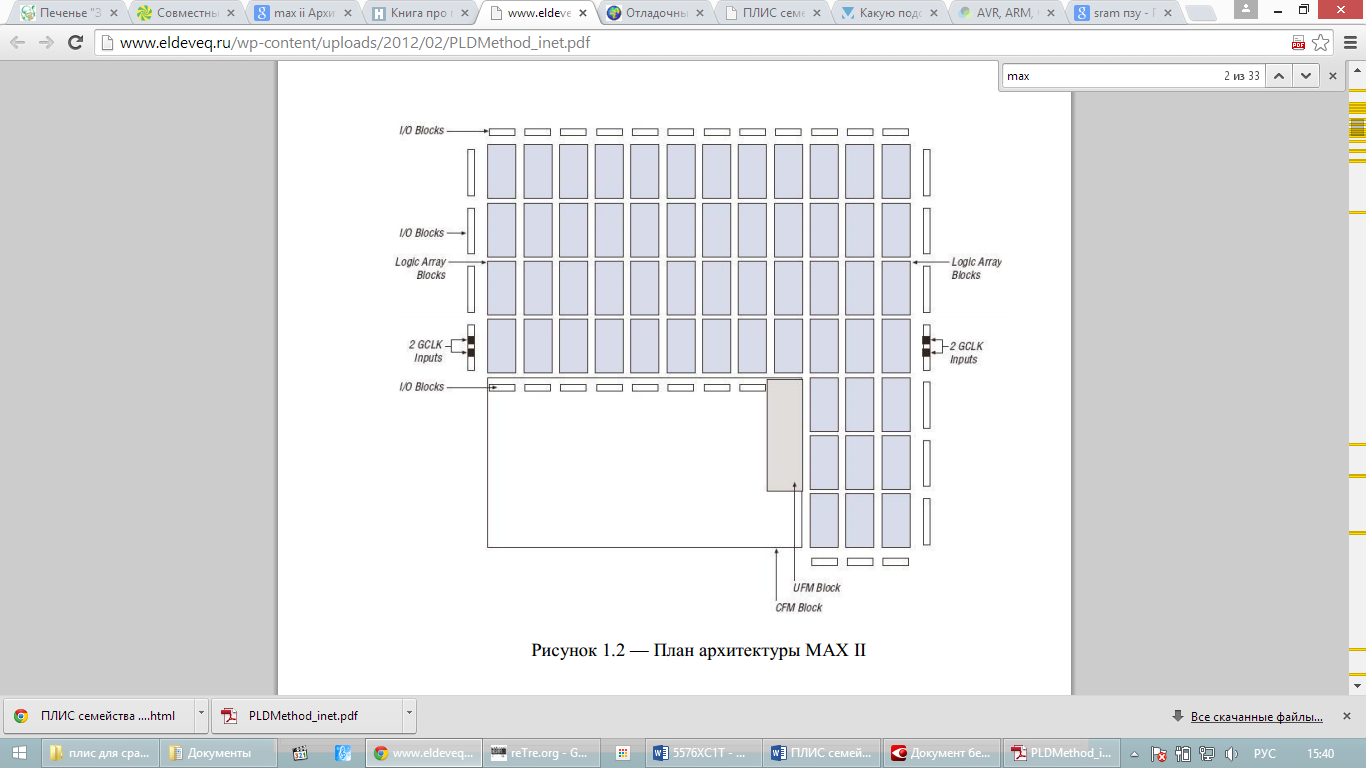


Рисунок 30 – План архитектуры ПЛИС MAX II

CPLD состоит из программируемой матрицы соединений ПМС (PIA, Pгogгammable Iпterconnect Аггау), множества функциональных блоков  
ФБ, подобных ПМЛ, и блоков ввода/вывода БВВ.

В целом, CPLD представляет собою объединение нескольких PAL (ПМЛ) в единое устройство средствами программируемой коммутационной матрицы.

Кроме основных блоков CPLD на схеме показаны контроллеры интерфейса JTAG и ISP, используемые для конфигурирования и тестирования создаваемых структур.

Число ФБ, входящих в состав CPLD, изменяется в широких пределах в  
зависимости от сложности данной микросхемы. Каждый ФБ получает по  
n1 сигналов от ПМС, выходы ФБ, число которых п, подключены как к  
программируемой матрице соединений ПМС, так к блокам ввода/вывода  
БВВ (lnput/Output Block, IOB). Блоки ввода/вывода связаны с внешними  
двунаправленными выводами. Три вьrвода (на схеме слева внизу) спеuиализированы и предназначены для глобальных, т. е. общих для всей схемы, сигналов тактирования GCK (Global Clock), сброса/установки GSR (Global Set/Reset), управления третьим состоянием GTS (Global Tri State). Возможно и иное использование специализированных выводов, если они не  
применяются по назначению. Число контактов ввода/вывода может быть  
меньше числа выводов всех ФБ. В этом случае часть макроячеек может  
быть использована только для выработки внутренних сигналов устройства (сигналов обратных связей), потребность в которых типична для многих  
видов устройств.

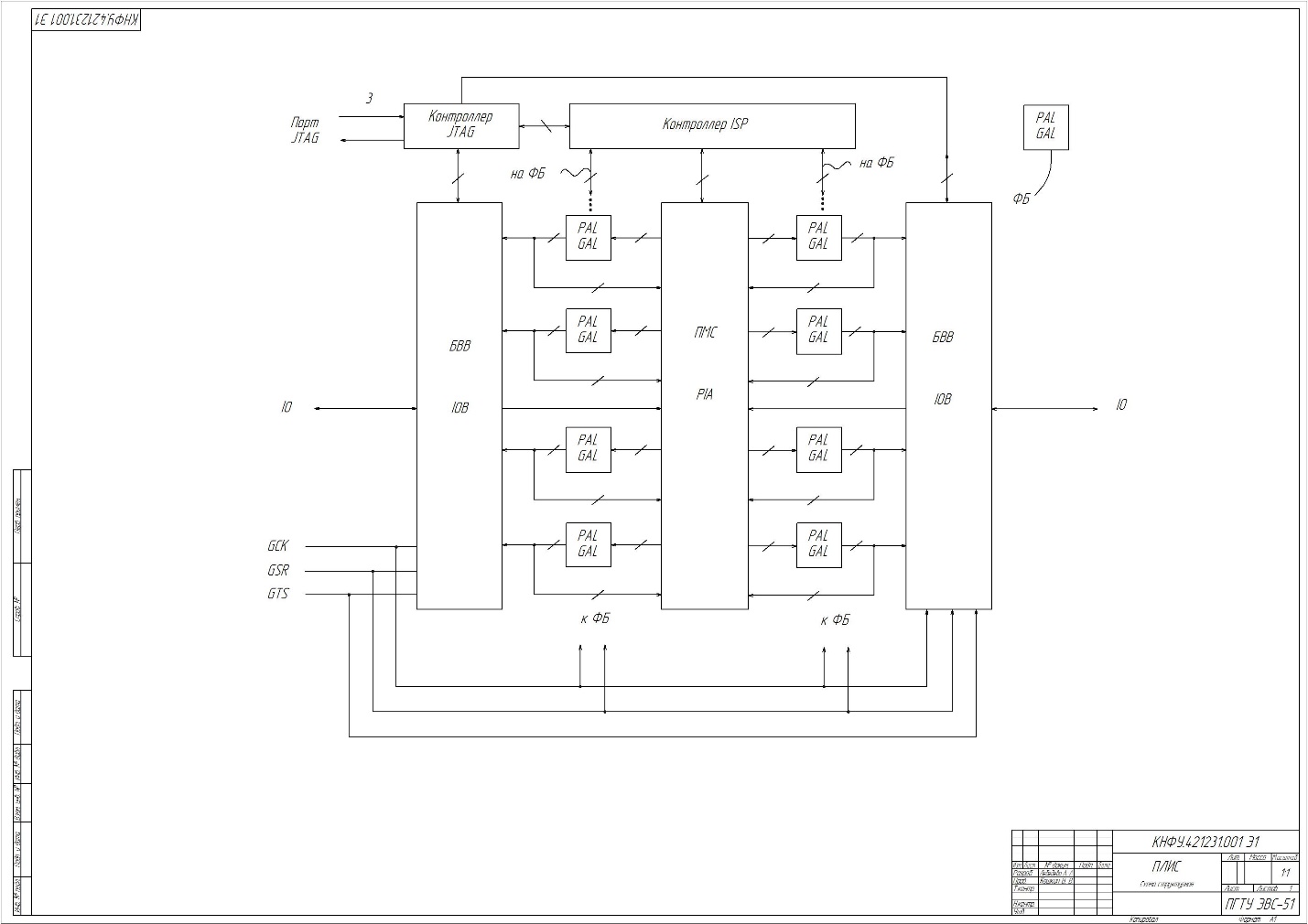


Рисунок 31 – Схема структурная ПЛИС

### 3.4.2. Выбор элементной базы блока аналогового ввода

Разрядность АЦП считаем по заданию.

В задании имеется погрешность преобразования входного сигнала .

Половину погрешности преобразования сравниваем со значением

(1)

где – дискретность АЦП.

(2)

По заданию:

В нашем случае разрядность АЦП не менее 10.

Пользуясь полученными результатами, выбираем из справочника тип АЦП с разрядностью не менее 4 и частотой более 135 кГц.

Выбираем АЦП MAX1165 с параметрами [8]:

– число разрядов – 16;

– число входов – 1;

– частота преобразования, МГц – 0,165;

– напряжение питания, В – +5;

– ток потребления, мА – 3,2;

– потребляемая мощность, Вт – 0,016.

### 3.4.3. Выбор элементной базы процессорного блока

Основанием для выбора режима работы схемы можно считать временные ограничения, накладываемые параметрами входных сигналов, необходимость их обработки и специфику вывода результата на информационное табло. Ввод сигнала, его представление в дискретную форму проводится с учетом требуемого интервала дискретизации, определяемой теоремой Котельникова:

(3)

где , - максимальная основная частота входного сигнала.

При этом величина определяет временной интервал только одного сигнала. При использовании входных коммутаторов-мультиплексоров (входные сигналы коммутируются на вход одного АЦП) время дискретизации необходимо увеличить в N раз.

(4)

Время преобразования АЦП. Считаем, что общее время преобразования сигнала:

(5)

где - время преобразования в АЦП;

- время переноса результата преобразования из АЦП в регистр процессора;

- время записи в память содержимого регистра из процессора.

(6)

(7)

В нашем задании: ; ;

Поскольку мы знаем время ввода () будем считать, что используем косвенную адресацию (2 машинных цикла и в каждом цикле по 5 тактов), поэтому общее время ввода составляет 10 тактов. Таким образом период тактового сигнала

(8)

(9)

С учетом коэффициента запаса:

Поскольку АЦП 16-и разрядный выбираем стандартный 16-и разрядный микропроцессор К1810ВМ86.

### 3.4.4. Расчет и выбор цифро-аналогового преобразователя

Расчет сводится к определению разрядности ЦАП.

В задании имеется погрешность преобразования выходного сигнала . Половину погрешности преобразования сравниваем со значением.

По заданию:

В нашем случае разрядность ЦАП не менее 7.

Выбираем 10-разрядный ЦАП AD5331.

На выходе ЦАП ставим операционный усилитель КР1446УД1А, в обратную связь которого используем резистор С2-33.

### 3.4.5. Выбор элементной базы запоминающих устройств

В качестве ОЗУ выбираем 1 микросхему LP62E16128A-T объемом 128КБ.

В качестве ПЗУ выбираем 1 микросхему Аt27C512 объемом 32 КБ.

## 3.5. Карта распределения адресного пространства

Распределение адресного пространства представлено в таблице 4.

Таблица 4. Распределение адресного пространства

|  |  |
| --- | --- |
| Свободно | 27FFF  27000 |
| ОЗУ | 26FFF  07000 |
| Регистр процессора | 06FFF  06000 |

|  |  |
| --- | --- |
| Свободно | 05FFF  05700 |
| Блок индикации | 056FF  05600 |
| Блок клавиатуры | 055FF  05500 |
| USB | 054FF  05400 |
| Блок аналогового вывода | 053FF  05300 |
| Блок релейного ввода | 052FF  05200 |
| Блок аналогового ввода | 051FF  05100 |
| Запуск АЦП | 050FF  05000 |
| ПЗУ | 04FFF  01000 |
| Регистр процессора | 00FFF  00000 |

4. Системная часть

4.1. Описание структурной схемы системы

Структурная схема КНФУ.411711.001Э1 представлена в Приложении Б.

Процессор предназначен для приема аналоговых и релейных сигналов, обработки данных, вывода информации по стандартному интерфейсу на печать и индикацию.

Системная шина передаёт данные между функциональными блоками компьютера.

Шина адреса – линия связи, по которой процессор выставляет текущий адрес для доступа к памяти. Чтобы этот адрес появился на шине синхронно, и сохранялся в течение текущего цикла работы процессора, применяют адресный регистр (буфер шины адреса). Также с помощью буфера шины адреса увеличивается нагрузочная способность шины адреса по току. После регистра адреса адресный сигнал через программируемую логическую матрицу (ПЛМ) активизирует один из блоков (ОЗУ, ПЗУ и т. д.), с которым и происходит обмен.

Шина данных служит для передачи данных в процессор или из него. Для того чтобы увеличить нагрузочную способность шины данных по току применяют регистр (буфер шины данных).

Шина управления собрана из сигналов для активации отдельных функциональных блоков.

Блок клавиатуры предназначен для управления процессором.

Блок индикации предназначен для визуального отображения информации.

Генератор тактовых импульсов (ГТИ) формирует синхронизирующие импульсы для процессора.

Аналоговые сигналы поступают на блок ввода аналоговой информации. Блок ввода аналоговой информации предназначен для преобразования входного аналогового сигнала в дискретный код (цифровой сигнал). На выходе дискретный код поступает на шину данных микропроцессора.

Релейные сигналы поступают на триггеры Шмидта. Триггеры Шмидта при плавном изменении входного сигнала обеспечивают скачкообразное переключение выходного (формируют крутой фронт входного сигнала).

Выходы триггера Шмидта поступают на вход параллельного регистра. На выходе регистра восьмиразрядный сигнал поступает на шину данных микропроцессора. Одновременно с регистром выходы триггера Шмидта объединяются по схеме ИЛИ с тем, чтобы сформировать запрос прерывания процессору.

ПЗУ предназначено для хранения основных управляющих кодов.

ОЗУ предназначено для хранения данных, необходимых для работы.

В блоке вывода аналоговой информации цифровой код преобразуется в аналоговый сигнал.

Блоки индикации и клавиатуры подключаются к шине данных через схему параллельного интерфейса.

Последовательный интерфейс обеспечивает согласование при передаче информации между блоком ЭВМ и внешним устройством.

Блок диагностики периодически посылает сигнал прерывания на процессор. Процессор переводит выводы в третье состояние и поддерживает их в нем до окончания цикла тестирования. Блок тестирует отдельные элементы системы, например, ОЗУ, ПЗУ, порт ввода/вывода, индикатор, сообщает об ошибках.

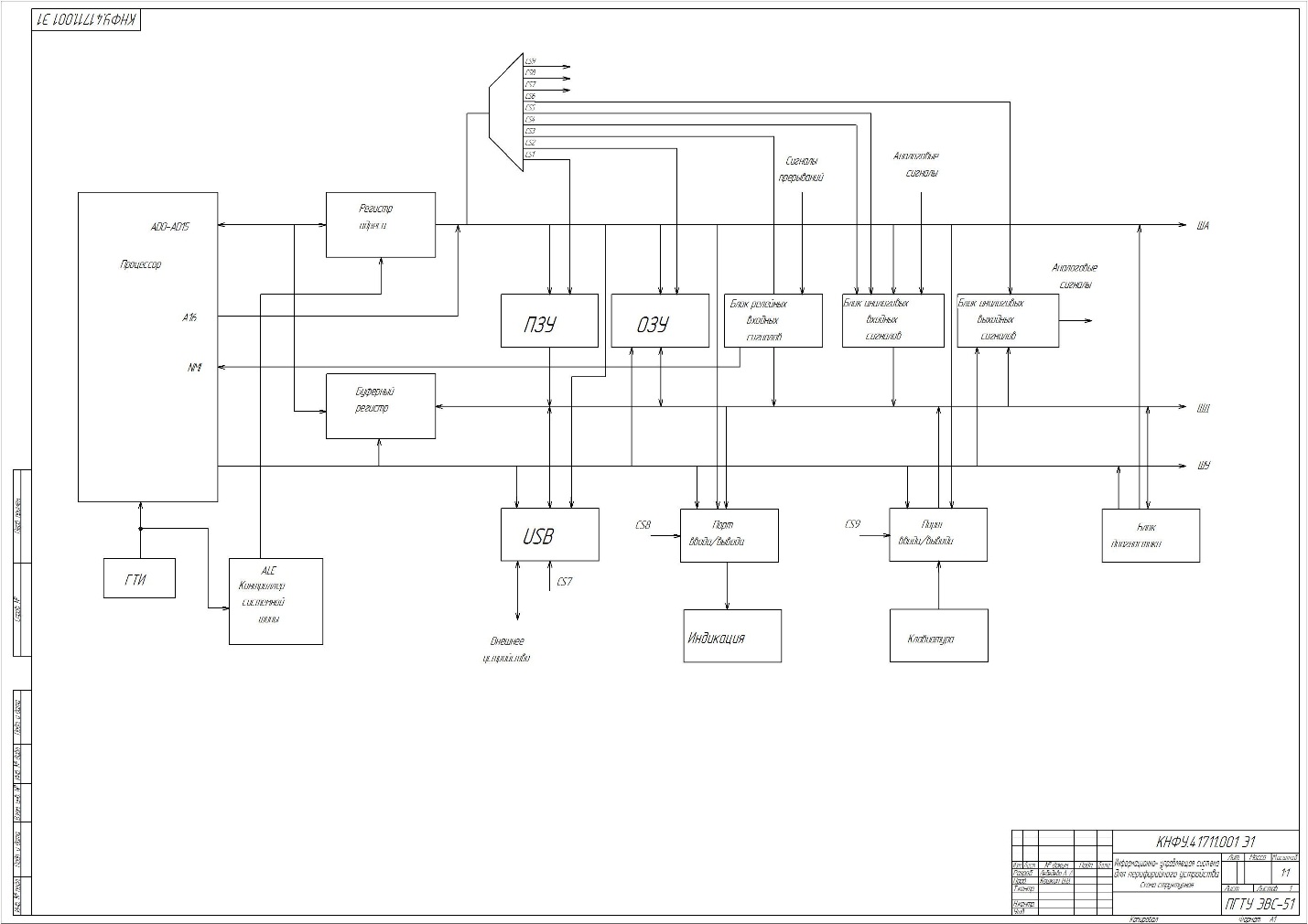


Рисунок 32 – Схема структурная разрабатываемой системы

## 4.2 Описание принципиальной схемы устройства

Схема принципиальная КНФУ.411711.002 Э3 представлена в Приложении В.

Принцип работы ПЗУ следующий: счетчик адреса процессора пишет текущее состояние в регистр адреса процессора, содержимое которого через адресный регистр поступает на шину адреса. ПЛМ DD32 по этому адресу, открывает ПЗУ DD31 и содержимое ячейки ПЗУ подключается к шине данных. Процессор одновременно с адресом формирует сигнал чтение и содержимое ячейки (код операции) оказывается на входе процессора.

Содержимое регистра адреса выставляет на шину адреса. По этому адресу, с помощью ПЛМ DD32 выбирается ячейка ОЗУ DD30, после чего содержимое выбранной ячейки поступает в регистр данных процессора или из регистра данных процессора пересылается содержимое в выбранную ячейку памяти данных. Режим чтение/запись устанавливается сигналом WR контроллера системной шины: при низком уровне WR ОЗУ переводится в режим записи, при высоком уровне WR – в режим чтения.

На вход информационно-измерительной системы подается четыре аналоговых сигнала. Сигнал с мультиплексора DA1 поступает на АЦП DA2 и преобразуется в 16-ти разрядный дискретный код. Управление АЦП выполняется сигналом с ПЛМ, с вывода, соответствующего адресному пространству блока аналоговых входов. Сигнал начала преобразования АЦП осуществляется сигналом с одновибратора, построенном на D триггере, на вход D которого подается сигнал с ПЛМ DD32, с вывода, соответствующему адресному пространству блока ввода аналогового сигнала. Так как выходы АЦП не имеют третьего состояния, то после АЦП необходимо поставить буферные регистры DD16, DD19 с третьим состоянием. Выходы буферных регистров подключаются к шине данных.

На вход информационно-измерительной системы подается восемь релейных сигнала. Входной сигнал через разъем XS2 поступает на триггеры Шмидта DD3, DD4 – устройства, формирующие крутой фронт входного сигнала. Выходы триггера Шмидта поступаю на вход параллельного регистра DD7. Управление (сигнал OE) осуществляется с ПЛМ, с вывода, соответствующего адресному пространству блока релейных входов. В обычном состоянии (нет ввода) выходы регистра DD7 в третьем состоянии. Одновременно с регистром каждый входной разряд (выходы триггера Шмидта) объединяются по схеме И на микросхемах DD5, DD6, DD8.1 с тем, чтобы сформировать сигнал запроса прерывания микропроцессору NMI. Сигнал запроса выполнен немаскируемым. Поэтому при получении сигнала запроса прерывания обращение к подпрограмме обработки прерывания начнется сразу же после завершения процессором текущей команды и сохранения контекста. Микропроцессор, получив сигнал, сам выбирает адрес подпрограмм (вектор) согласно входу, на который пришел запрос.

Последовательный интерфейс USB реализован на микросхеме DD14. Управление осуществляется с ПЛМ. Управляющие сигналы WR RD поступают с контроллера системной шины DD26. Выходы микропроцессора DD25 X1 X2 используются для подключения кварцевого генератора ZQ1, предназначенного для тактирования контроллера. Порты D+ D- микросхемы DD14 через резисторную схему подключаются к разъему XS3.

Клавиатура представляет собой пассивную матрицу 4х4, имеющую 4 строки и 4 столбца. На пересечении столбец/строка стоит кнопка. Клавиатура подключается к шине данных через приемопередатчик DD1. Младший байт данных подключается в входам D0-D7 порта. Сигналы чтения и записи WR и RD поступают с микропроцессора, сигналы А0, А1 – с шины адреса. Адреса нужны чтобы управлять каналами А, В, С и регистром управляющего слова. Управление (сигнал CS) осуществляется с ПЛМ, с вывода, соответствующего адресному пространству данного блока.

Половина канала С (выводы С0-С3) микросхемы применяется для сканирования клавиатуры, а вторая половина (выводы С4 – С7) - для чтения кода нажатой клавиши с матрицы клавиатуры.

Индикация, выполненная на семисегментных индикаторах HG1 – HG8, представляет собой матрицу 3х8. Индикация подключается к шине данных через параллельный порт DD15. Младший байт данных подключается в входам D0-D7 порта. Сигналы чтения и записи WR и RD поступают с микропроцессора, сигналы А0, А1 – с шины адреса. Адреса нужны чтобы управлять каналами А, В, С и регистром управляющего слова. Управление (сигнал CS) осуществляется с ПЛМ, с вывода, соответствующего адресному пространству. Выходы каналов А, В, подключаются к соответствующим дешифраторам DD17, DD18, чтобы управлять индикаторами, а выводы канала С подключаются к входам сегментов индикации

Цифро-аналоговый преобразователь DA24 предназначен для преобразования цифрового кода в аналоговый сигнал. На вход DA24 поступает 10 старших разрядов шины данных. Выбор микросхемы (сигнал CS) осуществляется с ПЛМ, сигнал записи WR – с микропроцессора. Выход ЦАП через операционный усилитель DA5 подключается к разъему XS5. Резистор R26, R27 устанавливают коэффициент усиления.

Блок диагностики DD33 периодически посылает сигнал прерывания на процессор DD25. Процессор переводит выводы в третье состояние и поддерживает их в нем до окончания цикла тестирования.

## 4.3. Реализация основных функций блока диагностики на ПЛИС

Алгоритм подпрограммы обработки команд представлен на рисунке 26. Счетчик команд постоянно указывает на ячейку памяти, в которой хранится следующая команда программы. Считав очередную команду из памяти, процессор сразу же увеличивает значение счетчика так, чтобы он показывал на следующую команду.

Считанная в регистр команд операция расшифровывается, извлекаются необходимые данные, над ними в АЛУ выполняются требуемые действия и, если предусмотрено операцией, результат записывается в ОЗУ.

Затем во всех случаях, за исключением команды останова, описанные действия циклически повторяются.

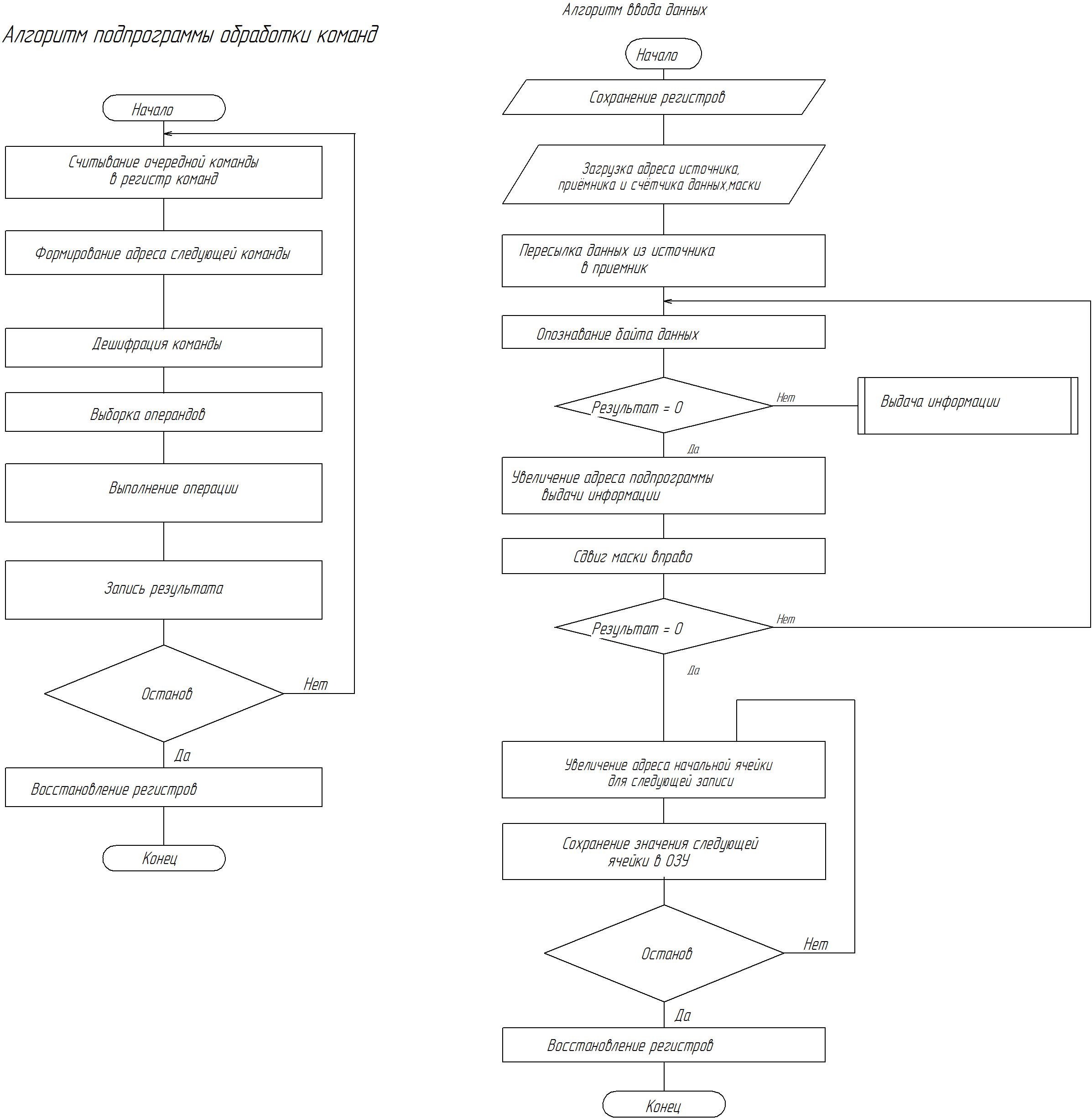


Рисунок 33 – Алгоритм обработки подпрограмм

Во время ввода данных загружается адрес источника, приемника и счетчика данных, маски. Данные пересылаются из источника в приемник. Происходит опознавание байта данных. Увеличивается адрес подпрограммы выдачи информации. Происходит сдвиг маски вправо, пока результат не будет равен 0. Увеличивается адрес начальной ячейки для последующей записи. Значения сохраняются в следующей ячейке ОЗУ.

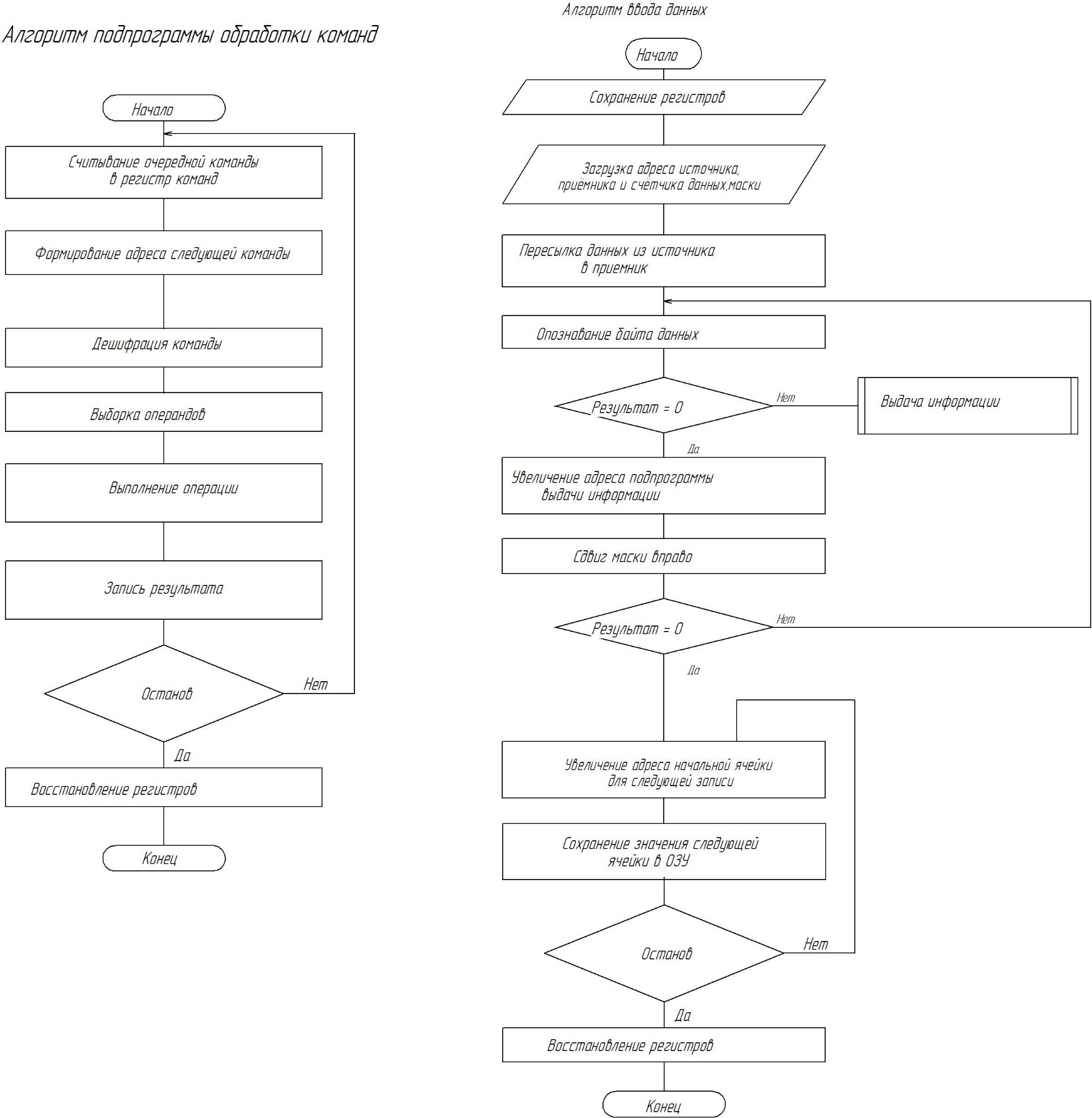


Рисунок 34 – Алгоритм ввода данных

## 4.4. Описание схемы функциональной блока диагностики

Блок диагностики включает в себя следующие основные модули:

Блок управления потоком команд. Организует последовательность выполнения команд программы.

Блок генерации адреса команд. Формирует адрес на шине команд.

Арифметический модуль адресных регистров (ARAU). Модуль генерирует значения адресов для обмена с памятью данных. Полученные значения помещаются на шины адреса чтения и записи данных. Модуль также отвечает за увеличение/уменьшение значения в регистре — указателе стека (SP), а также вспомогательных регистров.

Арифметико-логическое устройство. АЛУ выполняет 2-операндные арифметические и логические операции. Операнды в АЛУ поступают из регистров, памяти или из блока управления потоком инструкций. Результат может быть сохранен в регистре или памяти данных.

Умножитель с фиксированной запятой. Умножитель выполняет перемножение двух операндов вида 32×32 с 64-битным результатом. Помимо самого умножителя для выполнения операции умножения задействованы также регистр множимого, регистр произведения. Умножитель взаимодействует непосредственно с ALU.

Регистры. Используются для промежуточного хранения данных при вычислениях.

Счетчик адреса ОЗУ. Управляет переключением адресов в ОЗУ.

ПЗУ. Служит для хранения команд.

Контроллер последовательной шины позволяет общаться блоку диагностики с диагностируемой системой.

Таймер посылает сигнал прерывания. Ошибка выводится на индикацию.

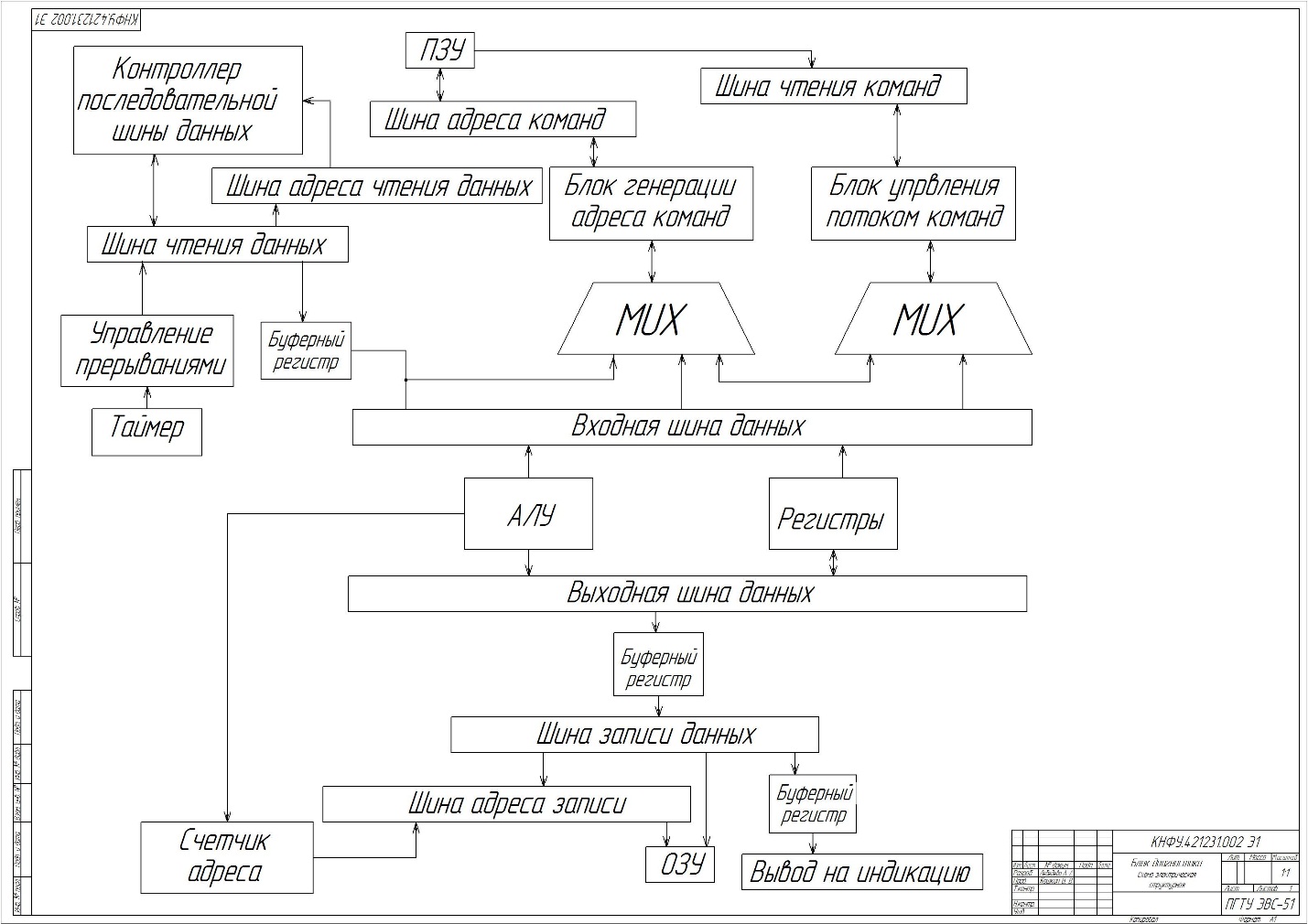


Рисунок 35 – Схема структурная блока диагностики

## 4.5. Проверочные расчеты

### 4.5.1 Расчет потребляемой мощности

Расчет производится для одного из режимов процессора: выборка команды.

Расчет потребляемой мощности производится по формуле:

(10)

где: Pn – мощность, потребляемая микросхемой, мВт;

n – количество микросхем.

Микросхемы с их потребляемыми мощностями представлены в таблице 5.

Таблица 5. Микросхемы и их потребляемые мощности

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| №  п.п. | Обозначение | Наименование микросхемы | Потребляемая мощность, мВт | Количество микросхем |
| 1 | DD25 | К1810ВМ86 | 1800 | 1 |
| 2 | DD26, DD27, DD28 | К580ИР82 | 800 | 3 |
| 3 | DD20, DD21 | К580ВА86 | 800 | 2 |
| 4 | DD31 | At27C516 | 125 | 1 |
| 5 | DD32 | КР1558ЯР1 | 900 | 1 |
| 6 | DA1 DA2, DA5 | КР1446УД1 | 20 | 3 |
| 7 | DD8, DD2, DD9,  DD10, DD11,  DD23, DD30 | К155ЛА3 | 60 | 7 |
| 8 | DD5 | К555ЛИ6 | 20 | 2 |
| 9 | DD3, DD4 | К155ТЛ2 | 330 | 2 |
| 10 | DD22 | КМ1810ГФ84 | 1000 | 1 |
| 11 | DD26 | К1810ВГ88 | 1150 | 1 |
| 12 | DD15 | МТ-6464В | 500 | 1 |
| 13 | DD12 | К561ТМ2 | 300 | 1 |

Таким образом, модуль потребляет примерно 11.1 Вт.

### 4.5.2. Расчет на нагрузочную способность

По принципиальной схеме находят цепь (линию), которая разделяется на множество приемников. Это шина данных. К шине подключается 10 микросхем, и все микросхемы имеют третье состояние. Микросхемы с третьим состоянием исключаются, кроме одного. Выберем микросхему с наибольшим входным током. Параметры микросхемы представлены в таблице 5.

Таблица 6. Микросхема и ее параметры

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| №  п.п. | Обозначение | Наименование микросхемы | Входной ток Iвх, мА | Количество микросхем |
| 1 | DD7 | КР580ИР82 | 0,2 | 1 |

Ток выхода буфера данных составляет .

По полученным данным можно сделать вывод, что нагрузочная способность в пределах допустимой.

### 4.5.3. Расчет на задержке формирования сигнала

Анализ задержки формирования сигнала проводится на критическом пути, определяемом по схеме электрической принципиальной.

Рассчитаем задержку в цикле выборка команд.

Период тактового сигнала t составляет 1,042 мкс.

T1 - задержка в регистре адреса шины (КР580ИР82) 20нс

T2 - задержка в адресном дешифраторе (ПЛМ КР1558ЯР1) 10нс

Т3 - время чтения из памяти команд (AT27C516 ) 20нс

Т4 - время распространения по шине данных (КР580ВА86) 20нс

Т5 - время фиксации в регистре команд процессора,

принимают равным задержке в регистре адреса

(Время задержки КР580ИР82) 20нс

Определяем суммарную задержку распространения сигнала:

По полученным данным можно сделать вывод, что длительность такта выбрана верно.

## 4.4. Расчет на вибропрочность ПП

Данный расчет выполняется с целью определения прочностных характеристик платы в процессе последующего его использования.

Для всех случаев закрепления краев пластины собственная частота (Гц) определяется по формуле (11):

(1)

Где а – длина пластины, см;

h – толщина пластины см;

с – частотная постоянная.

Если пластина изготовлена не из стали, а из другого материала, то вводится поправочный коэффициент на материал:

(12)

Где E и p – модуль упругости и плотность применяемого материала основания печатной платы(см. таблица 4.2[1]).

Ec  и pc – модуль упругости (21\*105кг/см) и плотность (7,35г/см3) стали.

Если пластина равномерно нагружена, то вводится поправочный коэффициент на массу элементов (10):

; (13)

Где Qэ – масса элементов;

Qм – масса пластины.

;

Таким образом , формула для определения собственной частоты колебаний равномерно нагруженной пластины будет выглядеть :

(14)

f ;

Расчет на ударопрочность выполняется с целью определения прочностных характеристик при воздействии ударных нагрузок.

Расчет ведется для элемента, имеющего наибольший вес и наибольшую длину выводов.

Максимальное отклонение элемента (см), под действием ударного импульса определяется по формуле (15):

(15)

Где Р – приложенная сила, кг;

l – длина вывода, см;

Е – модуль упругости материала вывода, кг/см3;

J – осевой момент инерции, см.

Приложенная сила определяется следующим образом:

Р=aQ;

Где а – ускорение в единицах g;

Q – вес элемента, кг.

Момент инерции для круглых выводов:

(16)

Где d – диаметр круглого вывода, см.

Упругая деформация материала вывода (кг/см3), при поперечном изгибе определяется по формуле (15):

Где М – изгибающий момент, кг\*см;

W – момент сопротивления изгибу, см3;

(17)

Момент сопротивления по изгибу для круглого вывода:

(18)

Наибольший вес и наибольшую длину имеет микросхема КР1810ВМ86.

Выводы микросхемы, сделанные из твердой меди, имеют:

Е=(11…12)\*105кг/см2;

Z=3000кг/см2;

Р=a\*Q=392,0\*0,005=1,96;

J=0,005\*d3=0,005\*0,33=0,000135;

Исходя из проделанного расчета ясно, что прибор удовлетворяет требованиям, поставленным в техническом задании. Прибор устойчив к вибрационным и ударным воздействиям.

## 4.5 Расчет теплового режима устройства

Исходными данными для проведения последующего расчета являются:

1. коэффициент заполнения по объему 0,6;
2. суммарная мощность, рассеиваемая в блоке, Вт 0,5;
3. давление окружающей среды, кПа 86,6;
4. давление внутри корпуса, кПа 86,6;
5. габаритные размеры корпуса, м 0,240x0,182x0,176;

Средний перегрев нагретой зоны герметичного корпуса блока с естественным воздушным охлаждением определяется по следующей методике:

1. Рассчитывается поверхность корпуса блока:

Sk = 2 ⋅ [ L1 ⋅ L2 + ( L1 + L2 ) ⋅ L3 ] (19)

где L1, L2 - горизонтальные размеры корпуса, м;

L3 - вертикальный размер, м.

Для разрабатываемой конструкции блока L1 = 0,240м, L2 = 0,182м,

L3 = 0,176м. Подставив данные в (25), получим:

Sk = 2·[0, 240·0, 182+(0, 240+0, 182)·0, 182]= 0,03055м2.

1. Определяется условная поверхность нагретой зоны:

Sз = 2 ⋅ [ L1 ⋅ L2 + ( L1 + L2 ) ⋅ L3 ⋅ Кз] (20)

где КЗ - коэффициент заполнения корпуса по объему. В данном случае

КЗ = 0,6. Подставляя значение КЗ в (20), получим:

Sз = 2 · [0, 240·0, 182+(0, 240+0, 182)·0, 182·0,6]=0,02275 м2.

1. Определяется удельная мощность корпуса блока:

Qk = P / Sk (21)

где Р - мощность, рассеиваемая в блоке, Р = 0,5 Вт.

Тогда:

Qk = 0,5/0,03055 = 16,37 Вт/м2.

1. Определяется удельная мощность нагретой зоны:

Qз = P / Sз (22)

Qз = 0,5 / 0,02275= 21,98 Вт/м2.

1. Находится коэффициент Q1 в зависимости от удельной мощности корпуса блока формула (23):

Q1 = 0,1472 ⋅ Qk – 0,2962 ⋅ 10 –3 ⋅ Qk2 + 0,3127 ⋅ 10 –6 ⋅ Qk3 (23)

Q1 = 0,1472 ⋅ 16,37– 0,2962 ⋅ 10 –3 ⋅ 16,372 + 0,3127 ⋅ 10 –6 ⋅16,373 = 2,33

Находится коэффициент Q2 в зависимости от удельной мощности нагретой зоны формула (24):

Q2 = 0,1390 ⋅ Qз – 0,1223 ⋅ 10 –3 ⋅ Qз2 + 0,0698 ⋅ 10 –6 ⋅ Qз3  (24)

Q2 = 0,1390 ⋅ 30,12 – 0,1223 ⋅ 10 –3 ⋅ 30,122 + 0,0698 ⋅ 10 –6 ⋅ 30,123 = 2,99

1. Определяется коэффициент КН1 в зависимости от давления среды вне корпуса блока:

KH1 = 0,82 + 1 / (0,925 + 4,6 ⋅ 10-5 ⋅ H1) (25)

где Н1 - давление окружающей среды в Па. В нашем случае Н1=86,6кПа. Подставив значение Н1 в (25), получим:

KH1 = 0,82 + 1 / (0,925 + 4,6 ⋅ 10-5 ⋅ 86,6 ⋅ 103) = 1,003

1. Определяется коэффициент КН2 в зависимости от давления среды внутри корпуса блока:

KH2 = 0,8 + 1 / (1,25 + 3,8 ⋅ 10-5 ⋅ H2) (26)

где Н2 - давление внутри корпуса в Па.

В нашем случае Н2=Н1=86,6кПа. Тогда:

KH2 = 0,8 + 1 / (1,25 + 3,8 ⋅ 10-5 ⋅ 86,6 ⋅ 103) = 1,02

1. Рассчитывается перегрев корпуса блока:

Qk = Q1 ⋅ KH1  (27)

Qк = 2,33 · 1,003 = 2,33

10. Рассчитывается перегрев нагретой зоны:

Qз = Qk +(Q2 - Q1 ) ⋅ KH2  (28)

Qз = 2,33 + (2,99 – 2,33) · 1,02 =3,00

11. Определяется средний перегрев воздуха в блоке:

Qв = (Qк + Qз ) ⋅ 0,5 (29)

Qв = 0,5 · (2,33 + 3,00) = 2,66

12. Определяется удельная мощность элемента:

Qэл = Pэл / Sэл  (30)

где Рэл − мощность, рассеиваемая элементом (узлом), температуру которого требуется определить, Вт

Sэл − площадь поверхности элемента, омываемая воздухом, см.кв

Наименее теплостойкий элемент базового модуля резистор. Для него Рэл = 0,15 Вт, Sэл = 0,63 см.кв.

Qэл = 0,15 / 0,63 = 0,24

13. Определяется перегрев поверхности элементов:

Qэл = Qз(0,75+0,25\*Qэл/Qз), (37)

Qэл = 3,00\*(0,75+0,25\*0,24/3,00)=2,31;

14. Определяется перегрев среды, окружающей элемент:

Qэс = Qв ⋅ (0,75 + 0,25 ⋅ Qэл / Qз ) (31)

Qэс = 2,66 \*(0,75 + 0,25\*2,31/ 3,00) = 2,50;

15. Определяется температура корпуса блока:

Тк = Qк + Тс (32)

где Тс − температура среды, окружающей блок.

Тк = 2,33 + 20 = 22,33 0C

16. Определяется температура нагретой зоны:

Тз = Qз + Тс (33)

Тз = 3,00 + 20 = 23,00 0C

17. Определяется температура поверхности элемента:

Тэл = Qэл + Тс  (34)

Тэл = 2,31 + 20 = 22,31 0C

18. Определяется средняя температура воздуха в блоке:

Тв = Qв + Тс (35)

Тв = 2,66 + 20 = 22,66 0C

19. Определяется температура среды, окружающей элемент:

Тэс = Qэс + Тс (43)

Тэс = 2,50 + 20 = 22,50 0C

Исходя из расчета можно сделать вывод, что даже при критических температурных воздействиях и рабочих режимах аппаратура сохраняет свою работоспособность - прибор удовлетворяет требованиям, поставленным в техническом задании.

## 4.6 Расчет на надежность по внезапным отказам

Надёжность-свойство системы (элементов) выполнять заданные функции, сохраняя во времени значения в необходимых пределах, в течение требуемого промежутка времени при определённых условиях: эксплуатации. (ГОСТ 13277-73)

Расчет надежности нерезервированной ЭС по внезапным отказом сводится к определению средней наработки аппаратуры до первого отказа и вероятности ее безотказной работы за за­данное время с учетом электрических режимов элементов и воздействующих эксплуатацион­ных факторов (климатических, механических и др.). Для количественной оценки надежности узлов, блоков разработан статистический метод, основанный на теории вероятности и матема­тической статистики. [18]

В основе расчета надежности нерезервированной ЭС по внезапным отказам лежат следую­щие положения:

1) интенсивность отказа любого i-го (i-l,2,3...m) элемента ЭС равна среднему значению  
за период его эксплуатации, т. е.

X i(t) =λ = const; (36)

2) закон распределения вероятности безотказной работы элементов ЭС - экспоненциальный

Pi(t) = e-λt (37)

3) соединение элементов с точки зрения теории надежности, последовательное, т.е. отказ любого из элементов приводит к отказу всей ЭС.

Методика расчета:

1) Рассчитывается суммарная интенсивность отказов активных, пассивных и конструктор-ско-технологических элементов, составляющих в совокупности ЭС:

, 1/ч., (4638)



где m- общее число компонентов (ИМС, ПП, резисторов, конденсаторов, дросселей, пере­ключателей, соединительных проводов и проводников, паек и т. д.). 2) Рассчитывается общая интенсивность отказа ЭС:

, 1/ч.,(39)



где коэффициенты Кэ, Кr, Кm 5 выбираются из табл.1 ... 3 [18]

Кэ - эксплуатационный коэффициент, учитывающий область применения и функциональ­ное назначение РЭА (Для стационарной аппаратуры - 1,5).

Кr - поправочных коэффициент, учитывающий влияние влажности (1)

Кр - поправочных коэффициент, учитывающий влияние атмосферного давления окружаю­щей среды на работу РЭА (1);

3) Находится средняя наработка ЭС до первого отказа:

, ч.,(40)



4) Находится вероятность безотказной работы РЭА за заданное время работы t:

(41)



Расчеты были выполнены на ЭВМ с помощью специальной программы

Условия эксплуатации:

Наземная стационарная аппаратура

Высота над уровнем моря (в км.)/Давление (в мм.рт.ст.) = 0...1 / 760...675

Влажность = 60... 80%

Заданное время работы = 3000 часов

РЕЗУЛЬТАТЫ РАСЧЁТА

Общая интенсивность отказа РЭА = 5,226Е-5

Средняя наработка РЭА до первого отказа =19135,09 часов

Вероятность безотказной работы РЭА за время 3000 часов равна 0,85489

В результате проведённого расчёта можно сделать вывод, что разрабатываемое изделие должно проработать в течение 19135 часов работы при нормальных условиях эксплуатации. Изделие полностью удовлетворяет требованиям ТЗ, т.к. согласно этим требованиям, время на­работки на отказ должно быть не менее 3000 часов.

# 5. Конструкторская часть

## 5.1. Разработка технических требований к конструкции устройства

При разработке конструкции проектируемого устройства необходимо опираться на ряд технических требований. По характеру требования можно условно разделить на эксплуатационные, компоновочные, конструктивно-технологические, требования технической эстетики.

Учет эксплуатационных требований при конструировании обеспечивает конструкции комплексную надежность. Условия эксплуатации, определяемые влиянием трех факторов: климатических, механических, психофизиологических, диктуют необходимость выполнения требований, заданных в ТЗ.

Удобство обслуживания – хороший доступ к узлам изделия, возможность быстрого ремонта, рациональное размещение элементов индикации и управления, а также безопасность обслуживания.

Компоновочные требования определяют рациональное размещение комплектующих элементов, узлов и направлены на обеспечение наилучшего функционирования аппаратуры в процессе эксплуатации. К ним относят:

- Рациональные габаритные размеры и минимальную массу;

- Максимальный коэффициент использования корпуса;

- Удобный доступ к элементам для осмотра и регулировки;

- Минимальные потери в электрических цепях, снижение паразитных связей между блоками;

- Выбор простейших и эффективных способов охлаждения.

Конструктивно-технологические требования должны обеспечивать оптимальность конструктивно-технологического решения:

- При разработке конструкции необходимо учесть возможность взаимозаменяемости отдельных деталей конструкции и элементов схемы;

- Детали конструкции должны обладать хорошей технологичностью, иметь несложную форму;

- Материалы, из которых выполняются детали конструкции, должны быть прочными, обладать малым весом, малой стоимостью;

Соединения между блоками конструкции должны быть простыми и надежными.

К дизайнерским требованиям относят:

- Внешний вид изделия должен отвечать современному стилю, назначению, особенностям производства;

- Элементы управления и индикации должны быть расположены на передней панели.

Все эти требования тесно взаимосвязаны и оптимальное их удовлетворение представляет собой сложную инженерную задачу. [30]

## 5.2. Выбор корпуса

Программа выпуска изделия небольшая, 1000 штук в год, изготавливать корпус самостоятельно является нецелесообразным, поэтому целесообразнее купить готовый корпус и в последующем его доработать.

Корпуса на дин-рейку

На рынке имеются различной конструкции корпуса для РЭА, предназначенные для установки на дин-рейку. В зависимости от модели, корпуса могут иметь сплошные стенки или вентиляционные отверстия, комплектоваться терминальными блоками, предоставлять возможность крепления на стену или другую поверхность без использования дин-рейки.

Подобные корпуса часто применяются в промышленных приборах и отлично подходят для множества устройств, не нацеленных на использование в каком-либо интерьере. Также, использование подобных корпусов отлично впишется в любой тип производства, как в мелкосерийное, так и с массовое. Стоят они часто дешевле собратьев другой конструкции. Среди достоинств также следует отметить легкую возможность крепления, как начинки, так и самого корпуса, простую конструкцию, элементарную организацию доступа к терминальным клеммам, наличие вентиляционных отверстий.

Данная конструкция показана на рисунке 36.

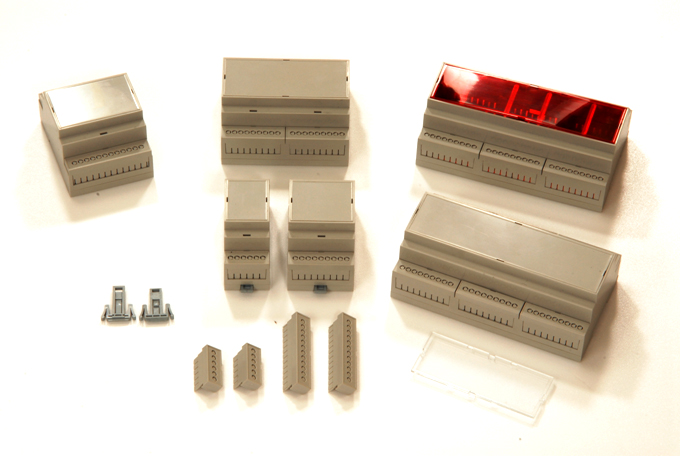


Рисунок 36 – Корпуса на дин-рейку

Устанавливаются данные корпуса как на дин-рейку закрепленную на какой либо поверхности, так и в установочных щит, примеры которых показаны на рисунке 37.

Рисунок 38 – Установочный щит под дин-рейку

Промышленные корпуса для «19» стоики

Для РЭА устанавливаемой в промышленные распределительные шкафы, или на лабораторные или технологические стоики применяются корпуса для стоек. Данные конструкции показаны на рисунке 38. Корпуса для стойки «19» один из самых распространенных вариантов установки.

Корпуса имеют регламентированную ширину и специальный способ крепления. Высота корпуса измеряется в целых юнитах (44,45 мм. или 1,75 дюйма). Устройство располагается так, что при монтаже с фронтальной части конструкция представляет собой цельную систему без зазоров, обеспечивая экономию пространства и унификацию устройств.

В зависимости от конструкции они могут иметь сплошные стенки или вентилируемые отверстия, направляющие и стойки для крепления ПП. Изготавливаются из пластика или металла. Данные корпуса позволяют устанавливать платы больших геометрических размеров, могут оснащаться системой циркуляции воздуха, пылезащитными фильтрами и блоками питания, а так же резервируемой аппаратурой. Могут использоваться отдельно от стойки как самостоятельный прибор.



Рисунок 39 – Корпуса для стоек

Корпуса для стойки «19» устанавливаются как в промышленные распределительные шкафы разных модификаций и конструкций, пример распределительных шкафов показан на рисунке 30, так и на лабораторные или технологические мобильные или стационарные стойки которые показаны на рисунке 39.

Шкафы представляют собой закрытую конструкцию, и служит для монтажа коммуникационного оборудования в производственных и офисных помещениях. Могут быть напольного и настенного размещения. Такие шкафы производятся с монтажными профилями, обеспечивающие крепление оборудования по четырем точкам.



Рисунок 40 – Распределительные шкафы

Открытые стойки используются в тех случаях, когда отсутствует необходимость ограничения доступа к установленному оборудованию, имеется потребность в частичном доступе к нему, или же вентиляции и охлаждении. Преимущество такого вида конструкции очевидно, во-первых, она значительно дешевле монтажных шкафов, во-вторых позволяет существенно сэкономить площадь.

а) б)

Рисунок 41 – Технологическая стойка:

а – стационарная; б – мобильная

Малогабаритные корпуса

Малогабаритные корпуса для РЭА показанные на рисунке 42 и малогабаритные корпуса с отверстиями под кабель показаны на рисунке 43. Данные изделия изготавливаются из ударопрочного пластика, имеют направляющие или стойки для установки ПП. Данные корпуса подходят для любого типа производства, как единичного, так и крупносерийного.

Устанавливаются на какую либо плоскую поверхность, либо имеют фланцы для крепления к любой плоскости.

Подобные корпуса часто применяются как в промышленных, так и в радиолюбительских приборах, отлично подходят для множества устройств.



Рисунок 42 – Малогабаритные корпуса для РЭА

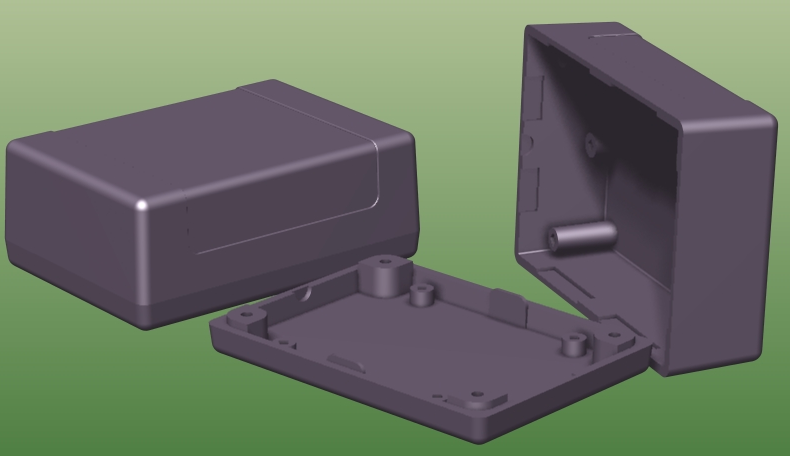
** **

Рисунок 43 – Корпуса с отверстиями под кабель

Конструкция данных корпусов очень проста, состоят из крышки и основания, которые соединены между собой винтами или защелками. Имеют не высокую стоимость.

Принимая во внимание условия эксплуатации системы в технической или промышленной среде, то целесообразнее выбрать корпус GAINTA 756.

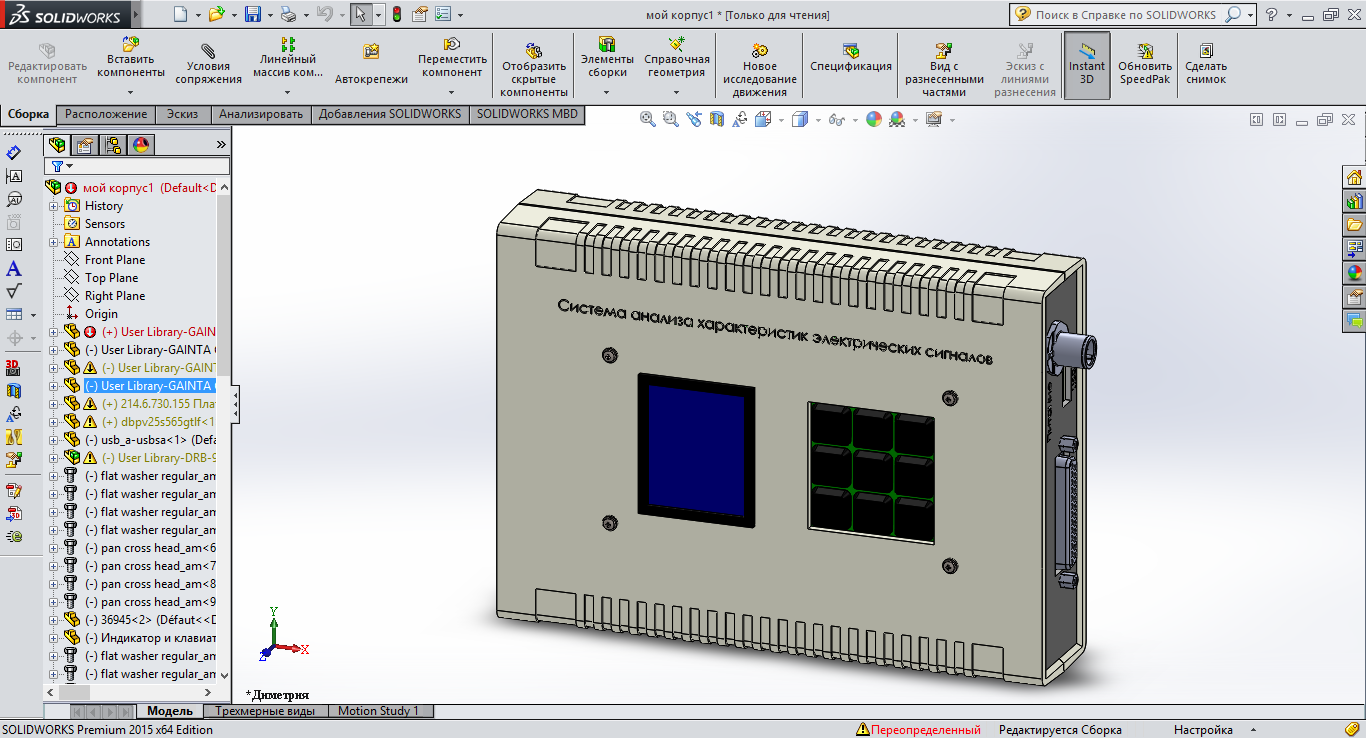


Рисунок 44 – Корпус GAINTA 756

## 5.3. Разработка функционального узла на ПП

При компоновке элементов поверхностного монтажа на ПП имеется ряд осо­бенностей, для установки требуются печатные площадки прямоугольной формы, превышающие площадь соприкасающейся поверхности вывода элемента, размеры элементов для поверхно­стного монтажа имеют довольно малые размеры, поэтому используем для размещения сетку размерами 0,1 х 0,1 мм. Ориентацию элементов устанавливаем в зависимости от разводки печатных проводников, по возможности распола­гая их вдоль проводника.

Разводку печатной платы произведем на ЭВМ в программе Altium Designer 15. Один из возможных вариантов разводки печатной платы приведен в приложении на чертеже формата А1.

Выбор материалов и расчеты функционального узла на печатной плате проведем по методике, приведенной в [13].

## 5.4. Выбор типа и класса точности ПП

В результате разводки ПП необходима двухсторонняя пе­чатная плата. Шаг сетки ПП при компоновке и трассировке вы­бран 0,1 мм. Ширину печатных проводников в соответствии с 3-м классом точности выбираем равным 0,25 мм, расстояние между двумя проводниками составит 0,25 мм. В соответствии со сделанными расчетами по таблице 3.5 [13, стр. 27] минимально возможный класс точности - четвертый.

Исходя из экономических и технологических соображений, выбираем двустороннюю печатную плату 3-го класса точности, так как реализуется не сложное устройство, не требующее высокой степени интеграции и высокой плотность трассировки.

## 5.5. Выбор метода изготовления ПП

Существует большое количество методов изготовления печатных плат (различные разновидности аддитивных, полуаддитивных и субстрактивных методов), с целью повышения процента выхода годных плат, применение на предприятии единого унифицированного технологического оборудования и снижения трудоемкости изготовления ГОСТ 24322-80 «Платы печатные».

Требования к последовательности выполнения типовых технологических процессов» ограничивает изготовление печатных плат тремя методами:

- Химическим – для ОПП;

- Комбинированным позитивным – для ДПП;

- Металлизации сквозных отверстий – для МПП.

Т.к. в устройстве используются двухсторонние печатные платы, то метод изготовления ПП выбираем комбинированный пози­тивный, с металлизацией сквозных отверстий.

Напряжение питания адаптера составляет 5 В. Согласно таблице 3.1 [13, стр. 16] минимальное допустимое расстояние между провод­никами печатной платы составляет 0,1-0,2 мм.

При комбинированном позитивном методе и толщине фольги 35 мкм плотность электрического тока в печатном проводнике не должна превышать 48 А/мм2. Максимальный ток потребления составляет 152,74 мА, при таком токе ширина печатного проводника должна быть не менее 0,1 мм [13, стр. 17, табл. 3.2].

## 5.6. Выбор материала ПП

В качестве основания печатной платы используется стеклотекстолит фольгированный, т. к. он обладает хорошими электроизоляционными свойствами, механической прочностью. Стеклотекстолит фольгированный применяют в условиях эксплуатации в повышенной влажностью и вибропрочностью. [14 стр. 53]

Толщина платы для обеспечения достаточной жесткости конструкции выбирается 1,5 мм. Для ПП выбран стеклотекстолит марки СФ-2-35-1,5 ГОСТ10316-78 (стеклотекстолит фольгированный, толщина фольги 35мкм) толщиной 1,5 мм.

## 5.7. Выбор варианта установки электрорадиоэлементов

В зависимости от условий эксплуатации, метода изготовления ПП, степени автоматизации монтажа выбирают конкретные варианты установки элементов в соответствии с ОСТ4.Г0.010.030-8.

Разъемы монтируемые в отверстия установить по варианту установки VIII(а).

Микросхемы установить по варианту установки VI(б)

Для остальных элементов поверхностного монтажа (резисторов, конденсаторов, диодов, индуктивностей, кварцевых резонаторов) используем вариант установки VI(а).

## 5.8. Выбор покрытий

В конструкциях печатных плат используют различные виды покрытий, которые предназначены:

- Для улучшения паяемости выводов элементов к контактным площадкам;

- Для защиты участков печатных элементов от воздействия припоя при локализации места пайки;

- Обеспечения влагозащиты.

Выбор защитного покрытия производится с учетом функционального назначения детали (или узла), продолжительности и характера действия окружающей среды (влаги, агрессивных газов, тепла, радиации). Детали, предназначенные для использования внутри блоков, должны защищаться металлическими покрытиями, окисными или пассивными пленками.

Поверхность деталей, непосредственно соприкасающиеся с внешней окружающей средой, защищают лакокрасочными покрытиями предварительными оксидированием или анодированием. Особенно это относится к деталям из алюминиевых и магниевых сплавов. [15, стр. 241]

Металлические покрытия выбирают в соответствии с ОСТ 4.ГО.014.000.

С экономической и эксплуатационной точки зрения целесообразно выбрать сплав "Розе", с толщиной покрытия 5 мкм.

Защита от влаги, а также от опасных механических повреждений предусматривается в виде покрытия печатного узла после сборки слоем лака. При выборе марки лака следует принимать во внимание климатические условия, а также специальные условия эксплуатации.

Согласно ОСТ4.ГО.014.002 выбираем лак – УР-231 ТУ 6-10-863-84. Данный лак применяется для покрытия узлов, субблоков и блоков на микросхемах и других радиоэлементах с объёмным и печатным монтажом.

## 5.9. Выбор маркировки

Маркировка, наносимая на печатную плату, также является элементом конструкции. Требования к маркировке, наносимой на печатную плату, изложены в ГОСТ 23752-79 и ОСТ 4.010.019-81.

Шрифт маркировки: децимальный номер и позиционные обозначения элементов шрифт 2,5 по НО.010.007.

# 6. Технологическая часть

## 6.1. Оценка технологичности конструкции

1. Определяем коэффициент использования МС и микросборок в блоке.

, (42)

где - количество МС и микросборок, =32

- количество всех ЭРЭ, =95



1. Определяем коэффициент автоматизации и механизации монтажа по формуле:

, (43)

где - количество монтажных соединений, которые могут осуществляться механизированным или автоматизированным способом, = 0

- общее количество монтажных соединений, = 27



1. Коэффициент механизации подготовки ЭРЭ определяем по формуле:

, (44)

где  - количество ЭРЭ, подготовка которых к монтажу может осуществляться механическим или автоматизированным способом, =31

 - количество всех ЭРЭ, =95



1. Коэффициент механизации контроля и настройки:

, (45)

где  - количество операций контроля и настройки, которые можно осуществить механическим способом, =0

 - общее количество операций контроля и настройки, =9



1. Коэффициент повторяемости ЭРЭ определяем по формуле:

, (46)

где  - количество типоразмеров ЭРЭ, =16

 - количество всех ЭРЭ, = 95



1. Определяем коэффициент применяемости ЭРЭ.

, (47)

где  - количество типоразмеров оригинальных ЭРЭ в изделии,= 0

 - общее количество типоразмеров в изделии, =16



7) Коэффициент прогрессивности формообразования деталей равен 0.5, так как деталей образованных прогрессивным методом (штамповкой) в изделии 1, всего деталей 2.

8) Определяем комплексный показатель технологичности, в котором учитываем все базовые показатели:

, (48)

где  - весовая функция выбирается из таблицы 4 [7, с. 55].



Комплексный показатель технологичности К = 0,62, что соответствует мелкосерийному производству (К=0,5…0,8) для электронных блоков, следовательно, система – технологична.

## 6.2. Настройка ПЛИС

При проведении синтеза логической структуры ПЛИС с использованием языков описания аппаратуры различают следующие стадии проектирования:

1. Ввод описания;
2. Процедура синтеза;
3. Трансляция;
4. Размещение схемы на кристалле и проведение связей;
5. Тестовая процедура;
6. Процедура моделирования;
7. Программирование ПЛИС
8. Верификация системы.

При функциональной верификации проекта ввод описания проекта осуществляется на регистровом уровне в поведенческой области. После ввода описания проекта поведенческое (функциональное) моделирование (верификация) позволяют оценить степень правильности функционирования алгоритма. После проведения функционального моделирования, описание синтезируется в список цепей на вентильном уровне в структурной области. После осуществления синтеза можно выполнить структурное (временное и функциональное) моделирование устройства. В результате мы получаем список цепей для временной верификации проекта.

7. Экономическая часть

7.1. Расчёт себестоимости изготовления изделия.

Целью данного раздела дипломного проекта является определение себестоимости проектируемого изделия, а следовательно, и экономической обоснованности производства данного продукта.

Существует несколько методов определения себестоимости. Но в настоящее время цены постоянно меняются и надо выбирать такой метод, который бы позволил обрабатывать как можно меньший набор оптовых цен. Исходя из этого, наиболее простым и приемлемым для определения себестоимости приборов на ранних стадиях проектирования является метод удельных весов, основанный на сопоставлении разрабатываемых изделий с их аналогами обладающими одинаковыми конструктивно-технологическим и эксплуатационными признаками. При этом предполагается, что структура себестоимости сравниваемых изделий в известных пределах сохраняется.

Зная удельный вес соответствующих статей в калькуляции прибора - аналога и рассчитан хотя бы одну из прямых статей затрат проектируемого блока, можно определить его себестоимость. Для изделий приборостроения в качестве расчетной целесообразно принимать статью “Комплектующие изделия и покупные полуфабрикаты”. Удельный вес данной статьи в себестоимости приборов, как правило, наибольший, что позволяет получить довольно точный результат при расчёте себестоимости разработки. Затраты о данной статье определяются по спецификации к электрической схеме и прейскурантам оптовых цен уже на стадии эскизного проектирования. Себестоимость проектируемого блока может быть определена по формуле (49)..

 (49)

где Сп.р - себестоимость проектируемого изделия, руб.;

Ск - затраты по данной статье, руб;

Ук- удельный вес данной статьи затрат в себестоимости аналогичных изделий, %.

Определим затраты по статье «Комплектующие изделия и покупные полуфабрикаты».

Итак, согласно перечня элементов на схему электрическую принципиальную по прейскуранту оптовых цен, ниже приводится таблица 7 цен на комплектующие изделия.

Таблица 7. Цены на комплектующие изделия

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование | Цена, руб | Количество | Σ стоимость, руб |
| К10-17-Н70-100нФ | 1,5 | 1 | 1,5 |
| К10-17-Н70-10мФ | 1,8 | 1 | 1,8 |
| К10-17-Н70-4,7 пФ | 2 | 1 | 2 |
| К50-35-10-2200 мкФ | 1,4 | 2 | 2,8 |
| КР1446УД1А бКО.348.045ТУ | 23,79 | 2 | 47,58 |
| ADG704 | 19,57 | 1 | 19,57 |
| MAX1165 | 16,12 | 1 | 16,12 |
| КР580ВВ55 бК0.348.737ТУ | 15,97 | 2 | 31,94 |
| К155ЛА3 | 6 | 7 | 42 |
| К155ТЛ2 | 5,70 | 2 | 11,4 |
| К555ЛИ6 | 6,05 | 2 | 12,1 |
| К580ИР82 бК0.348.048ТУ | 8,41 | 7 | 58,87 |
| К561ТМ2 | 8 | 1 | 8 |
| USB PDIUSBD12 | 100,54 | 1 | 100,54 |
| К1564ИД3 | 9,54 | 2 | 19,08 |
| К580ВА86 | 27 | 2 | 54 |
| КМ1810ГФ84 бК0.348.745ТУ | 34,74 | 1 | 34,74 |
| AD5331 | 30 | 1 | 30 |
| КР1810ВМ86 | 24 | 1 | 24 |
| LP62E16128A-T | 60,48 | 1 | 60,48 |
| Аt27C512 | 103,68 | 1 | 103,68 |
| КР1558ЯР1 | 40 | 1 | 40 |
| C2-33-1кОмОмОЖО.468.072 ТУ | 2,5 | 10 | 25 |
| С2-33-2,2кОм±10% ОЖО.467.081 ТУ | 2,1 | 10 | 21 |
| С2-33-4,7кОм±10% | 1,8 | 4 | 7,2 |
| С2-33-18Ом±10% | 2,3 | 2 | 4,6 |
| С2-33-1МОм±10% | 1,5 | 2 | 3 |

Продолжение таблицы 7

|  |  |  |  |
| --- | --- | --- | --- |
| 0643HIM-130G | 9,25 | 17 | 157,25 |
| BZX55C3V0 | 2,95 | 4 | 11,8 |
| КД512А | 2,54 | 5 | 12,7 |
| МТ-6464В | 250 | 1 | 250 |
| USB A-USBSA | 24 | 1 | 24 |
| USB3 AUSB3-AFN-BTR | 29 | 1 | 29 |
| Modular jack a-20042-LP FS | 35 | 1 | 35 |
| MF-4M | 15 | 2 | 30 |
| РГ-029У-15Ж-5МГц | 13 | 2 | 26 |
| [EPM240](https://www.google.ru/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&ved=0CB0QFjAAahUKEwjG1oDGqoTGAhVHkywKHb1JAHE&url=http%3A%2F%2Feasyelectronics.ru%2Fmodul-plis-altera-max-ii-epm240t100c5-dlya-pinboard-ii.html&ei=1sJ3VcaTKcemsgG9k4GIBw&usg=AFQjCNGwqTAyxuzcMOtJ0wSv6htOUzSWeg&bvm=bv.95039771,d.bGg&cad=rja) | 167,96 | 1 | 167,96 |
| Всего: |  |  | 1526,7 |

Себестоимость формирователя определяется по формуле (49), где Ук= 48 для электронной техники:

Спр = (1526,7\*100)/48 = 3180,25 руб.

Величину затрат по другим статьям можно рассчитать по формулам:

по статье «сырье и основные материалы»

См =Ск\*(Ум/Ук), рyб. (50)

где Ум - удельный вес затрат на сырье и основные материалы в полной себестоимости прибора-аналога, %;

Ум = 6%

Ук - удельный вес затрат на комплектующие изделия и покупные полуфабрикаты в полной себестоимости прибора-аналога, %;

по статье «Основная заработная плата производственных рабочих»

С з = Ск \* (Уз/Ук) руб., (51)

где Уз -удельный вес затрат по статье «Основная заработная плата производственных рабочих» в полной себестоимости прибора-аналога, %;

Уз =12%

величина косвенных расходов (цеховых, общезаводских и внепроизводственных)

Скс =Ск\*(Ук.с/Ук), руб., (52)

где Ук.с - удельный вес косвенных расходов в полной себестоимости прибора аналога. %;

полная себестоимость продукции

СР=См+Ск+Сз+Ск.с, р., (53)

Используя данные таблицы 2 [1] и выше перечисленные формулы получим значения затрат по основным статьям.

Полученные значения приведены в таблице 8

Таблица 8. Затраты по основным статьям

|  |  |  |
| --- | --- | --- |
| Затраты по статье «Сырье и основные материалы» | Затраты по статье «Основная заработная плата производственных рабочих» | Затраты на косвенные расходы |
| 45р. | 90р. | 255р. |

Косвенные расходы включают в себя: дополнительную заработную плату, цеховые затраты, общезаводские расходы, общепроизводственные расходы. [2]

Единый социальный налог ЕСН составляет 35,6% от суммы основной и дополнительной заработных плат и равен: ЕСН = 32р. Этот налог включается в себестоимость: Спр =3180,25 +32=3212,25 руб.

7.2 Формирование цены на изделие

При определении цены на изделие сначала к полученной в разделе 4.1 Спр следует прибавить величину предполагаемого дохода Пр: Пр = 25% от Спр.

С'пр = Спр + Пр =3212,25 +0,25\*3212,25 = 4015,31 руб.

При реализации изделия в розницу к С'пр прибавляется налог на добавленную стоимость: НДС=20% от С'пр .

Конечная цена на изделие будет равна:

Ц = С'пр + НДС = 4015,31 +0,2\*4015,31 = 4818,37 руб

7.3 Оценка конкурентоспособности изделия.

Конкурентоспособность товара- комплексный показатель, определяющий возможность удовлетворить требования потребителей на конкретном рынке при сохранении или увеличении реальных доходов производителя товара.

Для оценки конкурентоспособности проектируемого изделия необходимо отобрать товары – аналоги, обладающие наиболее высокими технико- экономическими характеристиками. В данном случае в качестве аналога выбираем Преобразователь/коммутатор сигналов Cypress CP-1283HDT, Из этих характеристик для оценки конкурентоспособности отбираем только те, по которым есть различие у сравниваемых товаров. Следующим этапом оценки конкурентоспособности определяем коэффициенты весомости (значимости) каждой характеристики (параметра). Полученные данные приведены в таблице 9.

Таблица 9. Коэффициенты весомости

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| №  п/п | Показатели качества | Проектируемый  прибор | Аналог | Коэффициент  весомости |
| 1 | Максимальная частота входных аналоговых сигналов, Гц | 50 | 100 | 0,3 |
| 2 | Вес, кг | 1 | 1,5 | 0,1 |
| 3 | Наработка на отказ,  тыс. час. | 5000 | 6000 | 0,1 |
| 4 | Цена, тыс. руб. | 4818,37 | 15578 | 0,4 |
| 5 | Количество аналоговых входов | 8 | 6 | 0,05 |
| 6 | Оптимальность применения, балл | 8 | 5 | 0,05 |

Расчёт относительных показателей качества проектируемого прибора:

1. 100/50\*0,3 = 0,6
2. 1,5/1\*0,1= 0,15
3. 5000/6000\*0,1 =0,12
4. 4818,37/15578\*0,4 = 0,12
5. 8/6\*0,05=0,07
6. 8/5\*0,05=0,08

Таблица 10. Относительные показатели качества проектируемого блока и аналога

|  |  |  |  |
| --- | --- | --- | --- |
| № п/п | Отдельные показатели качества | Проектируемый прибор | Аналог |
| 1 | Максимальная частота входных аналоговых сигналов | 0,6 | 0,3 |
| 2 | Вес | 0,15 | 0,1 |
| 3 | Наработка на отказ  тыс. час. | 0,12 | 0,1 |
| 4 | Цена, | 0,12 | 0,4 |
| 5 | Количество аналоговых входов | 0,07 | 0,05 |
| 6 | Оптимальность применения | 0,08 | 0,05 |
|  | Итого | 2,3 | 1 |

Суммируя отдельные показатели качества проектируемого изделия, получаем, что интегральный показатель качества Кк =1,14.

Таким образом, можно сделать вывод, что проектируемое изделие превосходит аналог по отдельным параметрам качества.

5.4 Элементы маркетинговой политики фирмы

по внедрению разрабатываемого изделия на рынок

Стратегия маркетинга предприятия непосредственно вытекает из основных задач, стоящих перед предприятием. Такими задачами могут быть укрепление своего положения в определенном секторе экономики, расширение своей рыночной доли, завоевание лидирующего положения в отрасли, сохранение за собой лидерства. Какую именно задачу решает предприятие - зависит от состояния и особенностей рынка: уровня спроса,

уровня конкуренции (в том числе со стороны товаров- заместителей), системы сбыта, действующего законодательства, культурного и социального развития потенциальных потребителей, экономической ситуации. Определение задачи, стоящей перед предприятием и средств ее выполнения следует начать с характеристики особенностей предполагаемого рынка сбыта.

Существующие преобразователи в достаточной мере дороги. Также особенностью данного устройства, определяющей его рыночную нишу и дающей некоторые преимущества, является простота использования и компактность.

Итак, по своей позиции на рынке, данное устройство следует отнести к недорогим несложным в эксплуатации. В данном случае уместен так называемый концентрированный маркетинг, когда все усилия фирмы по продвижению товара сосредотачиваются на одном сегменте.

Особенностью выполнения подобных задач является то, что новые рынки как правило имеют растущий потенциал и развиваются довольно быстро. Но при этом не следует думать, что можно обойтись вообще без рекламы.

Этот период необходимо использовать для вложения средств в рекламную кампанию, чтобы придать объекту достаточную известность.

Реклама на данном этапе должна носить в основном информирующий характер, доводя до потенциальных потребителей информацию о преимуществах нового товара. Поскольку потребителями данного изделия являются в основном простые люди, реклама должна быть по возможности более информативной, содержать данные об основных характеристиках товара. Воздействие рекламы на этом этапе должно быть скорее информирующим, чем напоминающем.

Ценовая политика должна предусматривать систему скидок, зависящих от комплектации приобретаемого устройства, т.е. числа приобретаемых устройств.

Что касается носителей рекламы, то в данном случае представляется наиболее уместной реклама в специализированных периодических изданиях.

# 8. Безопасность жизнедеятельности

## 8.1 Анализ потенциальных опасных факторов при изготовлении блока диагностики

Начальной операцией техпроцесса является заготовительная. К заготовительным операциям относят раскрой заготовок, разрезку материала и выполнение базовых отверстий, и изготовление слоев на печатных платах.

В крупносерийном производстве разрезку материала выполняют методом штамповки в специальных штампах на эксцентриковых прессах с одновременной пробивкой базовых отверстий на технологическом поле. В серийном и мелкосерийном производстве широкое распространение получили одно- и многоножевые роликовые ножницы, на которых материал разрезается сначала на полосы заданной ширины, а затем на заготовки. Разрезку основных и вспомогательных материалов (прокладочной стеклоткани, кабельной бумаги и др.), необходимых при изготовлении многослойных печатных плат в мелкосерийном и единичном производстве, осуществляют с помощью гильотинных ножниц.

Таким образом, выполнение заготовительных операций по раскрою материала сопряжено с опасностью повреждения рук работающего в случае попадания их в зону между пуансоном и матрицей, в частности верхним и нижним ножом гильотинных ножниц, при ручной подаче материала.

В прессах и ножницах с ножными педалями для предотвращения случайных включений педаль ограждают или делают запорной. Часто, кроме этого, опасную зону у пресса ограждают при помощи фотоэлементов, сигнал от которых автоматически останавливает пресс, если руки рабочего оказались в опасной зоне. При ручной подаче заготовок необходимо применять специальные приспособления: пинцеты, крючки и т.д[35].

Радикальным решением вопроса безопасности является механизация и автоматизация подачи и удаления заготовок из штампа, в том числе с использованием средств робототехники.

Изготовление печатных плат непосредственно связано с применением различного рода химикатов, которые при попадании на кожу могут вызвать ожоги. Эти вещества, кроме того, являются ядовитыми. При подготовке поверхности платы к покраске, а также при удалении защитного слоя краски после травления обычно пользуются растворителями (ацетон, бензин). Эти вещества являются летучими и легковоспламеняемыми. Неаккуратное обращение с ними может привести к пожару или отравлению.

Монтаж устройства производится электрическим паяльником. Пайка ведется свинцово-оловянным припоем ПОС-61 с использованием канифоли. При пайке выделяются ядовитые пары свинца, олова и канифоли, которые могут вызвать отравление при попадании в организм через дыхательные пути.

При монтаже и настройке устройства используются приборы, питание которых осуществляется от сети переменного тока напряжением 220В. При работе с этими приборами возникает опасность поражения электрическим током[35].

Поражение током может произойти при нарушении изолирующего слоя проводов питания и при появлении напряжения на корпусах используемых приборов.

Кроме того, неосторожное обращение с приборами, особенно с электрическим паяльником, может привести к возникновению пожара.

## 8.2 Разработка системы электробезопасности при производстве блока диагностики

### 8.2.1 Расчет защитного заземления

Таблица 11 – Анализ заземления

|  |  |
| --- | --- |
| Исходные данные | |
| Фазное напряжение Uф, В | 220 |
| Сопротивление человека Rч, Ом | 1000 |
| Сопротивление обуви Rоб., Ом | 500 |
| Сопротивление пола Rп, Ом | 900 |

Продолжение таблицы 11

|  |  |
| --- | --- |
| Сопротивление повреждённой изоляции каждой фазы | |
| относительно земли Rи (Ом), которое состовляет: | 1000 |

Таблица 12– Расчет параметров тока

|  |  |  |  |
| --- | --- | --- | --- |
| Сопротивление заземления Rз, Ом | Ток через человека Iч | | Напряжение прикосновения Uпр, В |
| мА | А |
| При выполнении заземления | | | |
| 4 | 1,1 | 0,00109 | 1,0870 |
| 10 | 2,67 | 0,0027 | 2,6699 |
| При обрыве заземляющего проводника или отсутствии заземления | | | |
|  | 80,4878 | 0,08049 | 80,4878 |

|  |  |
| --- | --- |
| Таблица 13 – Выбор заземляющего устройства | |
| Исходные данные | |
| Допустимое сопротивление заземления Rд, Ом | 4 |
| Вид грунта | суглинок |
| Удельное сопротивление грунта р, Ом\*м | 113 |
| Климатическая зона φ | 1 |
| Коэффициент сезонности | 1,7 |
| Длина заземлителя L, м | 2,5 |
| Диаметр трубы заземлителя d, м | 0,04 |
| Величина заглубления заземлителя h, м | 0,8 |
| Расстояние от поверхности земли до середины |  |
| заземлителя H, м | 2,05 |
| Ширина полосы в, м | 0,05 |

|  |  |
| --- | --- |
| Таблица 14 – Расчет количества заземлителей | |
| Выбор необходимого количества заземлителей | |
| Сопротивление одиночного заземлителя Rо, Ом | 62,8 |
| Предварительное число заземлителей n1 | 18,5 |
| Необходимая длина полосы Р, м | 46,2 |
| Сопротивление полосы Rпо, Ом | 27,0 |
| Сопротивление полосы с учётом экранирования трубами Rп, Ом | 35,1 |
| Необходимое сопротивление труб(заземлителей) Rт,Ом | 4,5 |
| Уточнённое количество заземлителей n | 18 |

### 8.2.2 Разработка схемы защитного заземления

В вопросах применения и практического выполнения защитного заземления и зануления следует руководствоваться требованиями не только ПУЭ, но и нового комплекса российских стандартов ГОСТ Р 50571.1-93, согласованных со стандартами Международной электротехнической комиссии. Опасность поражения током возникает в случае прикосновения человека к нетоковедущим частям электроустановок, когда они могут оказаться под напряжением из-за нарушения изоляции (пробой фазы на корпус).[36] Ток Iч (А), проходящий через человека при однофазном прикосновении к сети с изолированной нейтральной точкой, при отсутствии заземления будет равен:

(54)

Uф - фазное напряжение сети, В;

R - суммарное сопротивление человека, обуви, пола, Ом;

Rи - сопротивление изоляции фазы относительно земли, Ом.

При наличии заземления с сопротивлением Rз ток через человека равен:

(55)

Напряжение прикосновение Uпр. равно:

(56)

Rч - сопротивление человека, Ом.

Влияния тока на человека зависит от его величины и времени действия t(с). Для переменного тока частотой 50Гц различают следующие пороги воздействия:

* ощутимый - (1-3)мА;
* допустимый отпускающий (t больше или равно 3с) - 6мА;
* недопустимый отпускающий - более 6 до 9мА;
* неотпускающий - (10-15)мА;
* опасный - более 15 до 40мА;
* чрезвычайно опасный (электрические удары) - более 40 до 80 мА;
* фибрилляционный смертельный - 100мА (t > 0,5с).

Одним из средств защиты человека от поражения электрическим током является защитное заземление-соединение с землёй или с корпусом судна металлических нетоковедущих частей электроустановок через малое по величине сопротивление (рис.45) [37]. В результате этого снижается разность потенциалов между корпусом оборудования и землёй и ток, проходящий через человека [38].

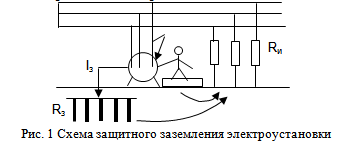


Рисунок 45 – Схема защитного заземления электроустановки

### 8.2.3 Выбор технических средств защитного заземления

Защитное заземление применяют в сетях с изолированной нейтральной точкой (ИНТ) трансформатора(генератора) напряжением до 1000В, а также в сетях с заземлённой нейтральной точкой(ЗНТ) напряжением более1000В в комплексе с защитным отключением, реагирующим на ток замыкания на землю [39].

В сетях с ИНТ степень опасности прикосновения человека к фазе особенно возрастает при уменьшения сопротивления изоляции фазы относительно земли.

Допустимое сопротивление заземления регламентируется "Правилами устройства электроустановок" и составляет для сетей с ИНТ - 4 Ом, а если мощность транформатора не превышает 100кВ\*А, то - 10 Ом.

Заземляется оборудование на предприятиях, на судах, в портах, на шлюзах, заземляется также нулевая точка трансформаторных подстанций(рабочее заземление).

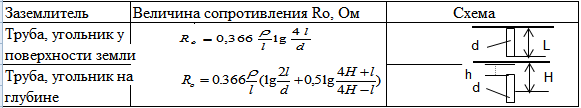
Защитное заземление является второй ступенью защиты после электроизоляции.

Одиночный заземлитель не обеспечивает в полной мере защиту человека, так как имеет достаточно большое сопротивление порядка 30-100 Ом. Поэтому на практике применяют заземляющее устройство, состоящее из одиночных заземлителей ( трубы, уголки, стержни), забиваемых в землю, и соединённых металлической полосой на сварке, а также соединительных проводников.

Применяют рядное и контурное расположение заземлителей.

Сопротивление заземляющего устройства зависит от удельного сопротивления грунта, климатических условий, числа заземлителей и условий их размещения.

Сопротивление заземляющего устройства периодически контролируется, так как из-за коррозии заземлителей или их механических повреждений оно может отличаться от допустимой величины. Сопротивление Ro одиночного заземлителя определяется по формулам:



L - длина заземлителя, м; d - диаметр заземлителя, м; р - удельное сопротивлениегрунта, Ом\*м; H - расстояние от поверхности земли до середины трубы, м.

## 8.3. Разработка требований к изоляции токоведущих частям оборудования и силовых линий.

Повреждение изоляции является основным источником аварий и причиной многих несчастных случаев. Вот почему в процессе эксплуатации электрооборудования изоляция всегда должна удовлетворять предъявляемым к ней требованиям, которые должны быть исчерпывающими, гарантировать при их соблюдении безаварийную и безопасную работу оборудования и обслуживающего персонала.

В качестве изоляции в электрических сетях и установках применяют фарфор, стекло, клинкер, смолу и ее производные, бумагу, картон, фибру, текстолит, пластмассы, резину, минеральные масла, лаки и другие органические соединения. При выборе электроизоляционных материалов обычно исходят из ряда факторов: назначения установки, удобства механической обработки, стоимости материала и его диэлектрических свойств. При этом большое значение имеет не только первоначальная характеристика материала, но и стабильность его при работе в электрическом поле и под влиянием изменения температуры, влажности, химических воздействий и других условий внешней среды. Надежность является одним из обязательных требований при эксплуатации средств электрической изоляции. Это требование приобретает еще большее значение в условиях высоковольтных сетей и промышленных установок[6].

Сопротивление изоляции на каждом участке в сетях напряжением до 1000 В должно быть не ниже 500 000 Ом на фазу.

Так как с течением времени качество изоляции ухудшается, то установки, находящиеся в эксплуатации, необходимо периодически подвергать проверке. Такая проверка должна проводиться не реже одного раза в год в помещениях без повышенной электрической опасности, 2 раза в год в помещениях с повышенной опасностью и особо опасных и один раз в квартал в пожаро- и взрывоопасных помещениях.

Измерение сопротивления изоляции производят прибором, называемым мегомметром.

Требования к конструкциям электрооборудования. Конструктивное исполнение электрооборудования предопределяет большую или меньшую опасность случайного прикосновения к токоведущим ее частям. Поэтому наилучшим конструктивным решением, очевидно, следует считать такое, при котором все токоведущие части заключены внутри корпусов и станин или ограждены сплошными съемными или открывающимися ограждениями (коробами, щитками и т. п.).

B производственных помещениях, в которых имеется оборудование, работающее при напряжении более 1000 В, устраивают ограждения токоведущих частей независимо от наличия изоляции. Ограждения во многих случаях, а в высоковольтных установках в обязательном порядке должны быть закрыты на замок; снятие такого ограждения блокируется с выключением электрического тока.

Электрооборудование защищают не только от случайного прикосновения к его открытым частям, а также и от возможного воздействия на него разрушающих влияний внешней среды и других факторов, которые в конечном счете могут привести к электропоражениям, авариям, пожарам и взрывам.

Требования к открытым электропроводкам. Наружная проводка на открытом воздухе должна быть недоступна для непосредственного соприкосновения с ней людей с площадок, постоянных пожарных лестниц, а также для касания обрабатываемым или транспортируемым длинномерным материалом.

Проводка голых проводов в производственных помещениях разрешается лишь в исключительных случаях, когда применение изолированного провода практически невозможно, например, при прокладке троллейных проводов для питания током мостовых кранов, электроталей и троллейкаров с помощью скользящих контактов. Здесь безопасность достигается монтажом троллеев на высоте не менее 3,5 м от пола. Кроме того, на троллейных проводах устанавливаются специальные автоматические выключатели мгновенного действия, срабатывающие при обрыве троллейных проводов. Конструкция автоматов обеспечивает отключение троллеев до того, как оборвавшийся провод достигнет пола.

Блокировочные устройства как средства безопасности находят применение не только для предотвращения доступа людей в опасную зону электроустановок, находящихся под напряжением, но также и для безопасности выполнения работ.

Принцип блокировки заключается в том, что напряжение автоматически снимается с токоведущих частей, в случае если открываются двери или ограждение переводится в нерабочее положение. Блокировки могут быть различных видов: электрические, механические и электромеханические.

Примером электрической блокировки является блокировка входной двери высоковольтной электроокрасочной камеры или, например, блокировка защитной рамки на абразивном станке, выключающая электродвигатель привода круга при переводе ограждения-рамки в нерабочее положение и т. д. Примером механической блокировки может служить широко распространенная конструкция рубильника, которая исключает возможность открывания кожуха при включенном рубильнике.

В электромеханической блокировке одновременно осуществляется разрыв электрической цепи и механическое отключение при снятии ограждения или открывании дверцы.

Большой интерес представляет блокировка, применяемая при электросварочных работах. Находясь внутри металлических цистерн, котлов, аппаратов или в сырых помещениях, сварщик может быть поражен током напряжением 65 В. Для безопасного выполнения работы применяют электрододержатели из диэлектрических материалов, сухие брезентовые; рукавицы и другие средства индивидуальной защиты. Однако наиболее безопасные условия могут быть достигнуты понижением напряжения тока до 12—24 В.

Вывод: В данной главе проанализированы вопросы безопасности, возникающие при реализации данного проекта. Произведен анализ опасных факторов имеющих место при изготовлении блока Проанализированы вопросы безопасности при производстве данного измерительного оборудования, определены методы повышения производственной безопасности и дано их теоретическое обоснование (расчет заземления). Разработаны требования к изоляции токоведущих частей оборудования и силовых сетей.

# Заключение

Целью данного дипломного проекта была разработка блока диагностики, предназначенного оперативного тестирования информационной системы.

В процессе выполнения данного проекта была разработан эскизный вариант корпуса.

Были проведены следующие расчёты:

1. Потребляемой мощности

2. Расчёт надёжности по внезапным отказам

3. Расчёт вибропрочности и ударопрочности платы

4. Расчёт теплового режима прибора

В техническом задании среднее время безотказной работы 3000 ч, время разработанного в проекте прибора составляет Тср=19135,09.

Значения, полученные в результате расчетов при разработке прибора, говорят о хорошей технологичности изделия, достаточно хорошей вибропрочности платы, большой вероятности безотказной работы и обеспечении должного температурного режима при эксплуатации.

В экономической части произведён расчёт себестоимости изготовления изделия, которая составляет 4818,37 рублей.

В главе по безопасности жизнедеятельности проведен анализ опасных внешних факторов и мероприятий по их исключению и приведен расчет заземления.

# Список использованной литературы

1. Городецкий, А. Введение в технологии JTAG и DFT. Тестирование в технологиях граничного сканирования и тестопригодное проектирование : монография / А. Городецкий. – Saarbrucken : Palmarium Academic Press, 2012. – 308 с.
2. Орлов, И.А. Эксплуатация и ремонт ЭВМ, организация работы вычислительного центра / И.А. Орлов, В.Ф. Корнюшко, В.В. Бурляев – М. : Энергоатомиздат, 1989. – 399 с.
3. Городецкий А. Снова о внутрисхемном сканировании. Часть 3 / А. Городецкий // Компоненты и технологии. - 2011. - № 9. - С. 44-45.
4. Городецкий А. Введение в технологию граничного сканирования / А. Городецкий, Л. Курилан // Производство электроники:технологии. оборудование, материалы. - 2007. - № 5. - С. 44-45.
5. Городецкий А. Граничное сканирование или внутрисхемное тестирование? / А. Городецкий, // Электроника-инфо. - 2009. - № 3. - С. 44-45.
6. Разработка программ внутрисхемного тестирования ict и игольчатых адаптеров, поставка тестеров ict z18xx «под ключ» [Электронный ресурс] / Под ред. А. Городецкий — Электрон. дан. — М.: Справочно-информационный интернет-портал JTAG ТЕСТ, 2009. — Режим доступа: http://www.jtag-test.ru/Solutions/ICT.php, свободный. — Загл. с экрана.
7. Пат.148188 Российская Федерация, МПК G06F 11/26. Автономный модуль диагностирования / Кошкин В. В., Новик М. С, заявитель и патентообладатель ФГБОУ ВПО «ПГТУ». – № 2014117476/08. заявл. 29.04.2014, опубл. 27.11.2014, Бюл. №33 (II ч.). – 2 с. : ил..
8. Городецкий А. Снова о внутрисхемном сканировании. Часть 1 / А. Городецкий // Компоненты и технологии. - 2011. - № 7. - С. 43-44
9. Соколов Ю.А. Анализ технических средств зондового поиска неисправностей в дискретных устройствах. Вопросы радиоэлектроники. Сер. ЭВТ, 1978, вып. 11.- С.73-79.
10. Львович Г.А., Самощенко А.В., Хавкин В.Е. Диагностирование микропроцессорных систем // Обзоры по электронной технике. Сер. Микроэлектроника, 1987, Вып.7-83с.
11. Малышев Р. Применение метода периферийного сканирования при тестировании изделий электронной промышленности / Р. Малышев // Технологии в электронной промышленности . - 2006. - № 4. - С. 84-87.
12. Щелкунов Н. Н. Микропроцессорные средства и системы. [Текст]. / Н. Н. Щелкунов, А. П. Дианов. – М.: Радио и связь, 1989. – 288 с.: ил.
13. Мальцев, П.П. Программируемые логические ИМС на К-МОП структурах и их применение / П.П. Мальцев, Н.И. Гарбузов, А.П. и др. - М.: Энергоатомиздат, 1998. - 160 с.
14. Ключев, А.О. Использование интерфейса JTAG для отладки встраиваемых систем/ А.О. Ключев, Т.А. Коровьякова, А.Е. Платунов // труды международного симпозиума «Надежность и качество». — 2010. — Т 1. — С. 45–50.
15. Платунов А. Е., Постников Н. П., Чистяков А. Г. Механизмы граничного сканирования в неоднородных микропроцессорных системах // Chip News. 2000, № 10, с.8-13
16. 1149.1-2013 — IEEE Standard for Test Access Port and Boundary-Scan Architecture
17. Фолкенберри, Л.М. Справочное пособие по ремонту электрических и электронных систем/ Л.М. Фолкенберри - М. :Энергоатомиздат, 1989. - 416 c.
18. Дианов, В.Н. Сигнатурный анализатор с повышенной устойчивостью к сбоям/ В.Н. Дианов // Изв. вузов. Приборостроение. — 1998. — Т 41, № 5. — С. 89–95.
19. XC9500 In-System Programmable CPLD Family Product Specification // Xilinx DS063, v5.2: Datasheet. 2004. - 9 p.
20. Технические средства диагностирования. Справочник под общей редакцией В.В. Клюева. М. "Машиностроение," 1989, с. 178-187
21. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2001. – 528с.
22. Barr, Michael Programmable Logic: What's it to Ya? / Michael Barr // Embedded Systems Programming. - 1999. - № 9. - С. 75-84.
23. Использование интерфейса JTAG для отладки встраиваемых систем. Ключев А.О., Коровьякова Т.А., Платунов А.Е. // Изв. вузов. Приборостроение. ≈ 1998. ≈ Т 41, № 5. ≈ С. 45-50.
24. Максфилд К. Проектирование на ПЛИС: курс молодого бойца: пер. с англ. / К. Максфилд. М.: Издательский дом Додэка XXI, 2007. 408 с.
25. Тарасов, И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL Текст. / И.Е. Тарасов. М.: Горячая линия-Телеком, 2005. -252 с.
26. Потехин, Д. С. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д.С. Потехин, И.Е. Тарасов. -М. : Горячая линия-Телеком, 2007. -248 с.
27. Суворова, Е. А. Проектирование цифровых систем на VHDL/E.A. Суворова, Ю.Е. Шейнин. -СПб. : БХВ-Петербург, 2003. 576 с.
28. Шагурин И., Шалтырев В., Волов А. "Большие" FPGA как элементная база для реализации систем на. кристалле // Электронные компоненты. 2006. - №5. -С. 83-88.
29. Introduction to CPLD and FPGA Design // B. Zeidman, Zeidman Consulting, 2003.
30. Зотов, В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx / В.Ю. Зотов. -М.: Горячая линия-Телеком, 2006. -520 с.
31. Билибин, А.И. Конструкторско-технологическое проектирование электронной аппаратуры [Текст]: учебное пособие / К.И. Билибин [и д.р.] – М.: МГТУ им. Н.Э. Баумана, 2002. – 528 с.
32. Леухин, В.Н. Компоненты для монтажа на поверхность [Текст]: справочное пособие / В.Н. Леухин. – Йошкар-Ола: МарГТУ, 2006. – 299 с.
33. Леухин, В.Н. Проектирование радиоэлектронных узлов [Текст]: учебное пособие / В.Н. Леухин. – Йошкар-Ола: Периодика Марий Эл, 2003. – 160 с.
34. Леухин В.Н., Павлов Е.П. Проектирование функционального узла на печатной плате: Учеб. пособие. - МарГТУ. 1996.-90с
35. Павлов, Е. П. Основы проектирования электронных средств [Текст]: курс лекций / Е. П. Павлов, И. Т. Санникова. – Йошкар-Ола: МарГТУ, 2004. – 308 с.
36. Бакуменко, М. Л. Технология ЭВС [Текст]: учебное пособие / М. Л. Бакуменко, И. В. Рябов. - Йошкар-Ола: МарГТУ, 2005. -188 с.
37. Шульмин, В. А., Усынина Т. С. Экономическое обоснование в дипломных проектах [Текст]: учебное пособие / В. А. Шульмин, Т. С. Усынина. – Старый Оскол: ТНТ, 2014. – 192 с.
38. Охрана труда и окружающей среды в радиоэлектронной промышленности/ К. Н. Ткачук, Р. В. Сабарно: Учеб. Пособие. – К.: Выща шк. Головное издательство, 1988. –240с.
39. ГОСТ 12.1.009-76(99) ССБТ. Электробезопасность. Термины и определения.
40. К. К. Барыкин Электробезопасность и пожарная безопасность электроустановок: учебное пособие / Уфимск. госуд. авиац. техн. ун-т; - / Уфа: УГАТУ, 2009. - 87 с.
41. Дулицкий Г. А., Комаревцев А. П. Электробезопасность при эксплуатации электроустановок напряжением до 1000 В. Справочник. — М.: Воениздат, 1988.
42. ГОСТ 12.1.019-79(96) ССБТ. Электробезопасность. Общие требования и номенклатура видов защиты.
43. Правила устройства электроустановок (ПУЭ). Издание седьмое, 2002

Приложение