



**УНИВЕРЗИТЕТ “СВ. КИРИЛ И МЕТОДИЈ” -
СКОПЈЕ**

**ФАКУЛТЕТ ЗА ЕЛЕКТРОТЕХНИКА И
ИНФОРМАЦИСКИ ТЕХНОЛОГИИ**



**- ДИПЛОМСКА РАБОТА -
Импулсна и дигитална електроника**

**Тема
Проектирање и реализација на мерач на фреквенции со
гигахерцен опсег**

Ментор:
Проф. Д-р. Катерина Ралева

Изработил:
Александар Лазаров, 421/2010

Скопје, октомври 2015

Содржина

Апстракт.....	6
Вовед.....	7
2. Составни делови на мерачот на фреквенции.....	9
2.1 Влезен дел.....	9
2.2 Бројачи.....	9
2.3 Референтен осцилатор.....	11
2.3.1 Осцилатор со повратна врска составена исклучиво со пасивни елементи.....	11
2.3.2 Осцилатор со пизоелектричен елемент – кристален осцилатор - ХО.....	13
2.3.3 Температурно компензиран кристален осцилатори – ТСХО.....	14
2.3.4 Температурно контролиран кристален осцилатор – ОСХО.....	15
2.3.5 Атомски часовник/референца.....	16
2.4 Приказ на резултатот од мерењето.....	17
3. Топологии на изградба на мерачите на фреквенции.....	20
3.1 Метода на директно броење.....	20
3.2 Реципрочно мерење на фреквенција.....	22
4. Извори на грешки кај мерачите на фреквенции.....	26
4.1 ± 1 броење грешка.....	26
4.2 Грешки од референтниот осцилатор.....	26
4.3 Грешки од Шмитовиот тригер.....	27
5. Практична реализација.....	28
5.1 Блок дијаграм.....	28
5.2 Напојување.....	29
5.3 Влезен дел (150 MHz Front End).....	30
5.4 Референтен осцилатор.....	37
5.5 CPLD плочка.....	39
5.5.1 Директно броење – mode = 0.....	43
5.5.2 Реципрочно броење – mode = 1.....	45
5.6 Предлог решение – GHz делител.....	48
5.7 Централна контролна плочка.....	50
5.8 Дисплеј.....	54
5.9 Поврзување на модулите и тестирање.....	56
7. Заклучок.....	59
8. Користена литература.....	60
Додаток 1 – VHDL код од делителот на такт.....	61
Додаток 2 – VHDL код од главниот CPLD.....	63
Додаток 3 – Електрични шеми од плочките.....	68

Листа на слики

Слика 1 Типичен изглед на еден мерач на фреквенции.....	7
Слика 2 Влезен дел (front end) на мерач на фреквенции.....	9
Слика 2.2 RC осцилатор.....	12
Слика 2.3 (а) Хартлиев осцилатор реализиран со биполарен транзистор.....	12
Слика 2.3 (δ) Колпицов осцилатор реализиран со споен фет.....	12
Слика 2.4 Внатрешноста на кварцен кристал.....	13
Слика 2.5 Шематски симбол и електричен модел на кварцен кристал.....	14
Слика 2.6 Интерен блок дијаграм на температурно компензираниот осцилатор.....	15
Слика 2.7 Внатрешноста на температурно компензиран кристален осцилатор.....	15
Слика 2.8 Температурно контролиран кристален осцилатор.....	16
Слика 2.9 Рубидиумски фреквентен стандард.....	17
Слика 2.10 Мерач на фреквенции со дисплеј изработен од піхіе цевки.....	17
Слика 2.11 Поглед во внатрешноста на една піхіе цевка.....	18
Слика 2.12 Приказ на цифри на 7 сегментен дисплеј.....	18
Слика 2.13 VFD дисплеј во форма на седум сегментни дисплеи.....	19
Слика 2.14 Понов модел на мерач на фреквенции со LCD графички дисплеј.....	19
Слика 3.1 Блок дијаграм на методот на директно броење.....	20
Слика 3.2 Директно мерење на импулси од непознатата фреквенција.....	21
Слика 3.3 Зависноста на бројот на цифрите прикажани на дисплејот во однос на одбраното време на мерење.....	22
Слика 3.4 Влок дијаграм за реципрочно броење.....	23
Слика 3.5 Карактеристични сигнали за реципрочното мерење фреквенции.....	24
Слика 3.6 Резолуција на прикажани цифри со реципрочно броење.....	24
Слика 3.7 Споредба на двете методи за мерење на фреквенција.....	25
Слика 4.1 Извор на квантизациска грешка.....	26
Слика 4.2 Грешки предизвикани од шум интерпониран на влезниот сигнал.....	27
Слика 5.1 Блок дијаграм на изработениот мерач на фреквенции.....	28
Слика 5.2 Напонски регулатори за генерирање на потребните напони за интерните компоненти.....	29
Слика 5.3 Блок дијаграм на влезниот дел.....	30
Слика 5.4 Шематски приказ на влезниот дафер.....	31
Слика 5.5 Преносна карактеристика на влезниот дафер.....	32
Слика 5.6 Влез-излез од даферот на 100 Hz.....	33
Слика 5.7 Влез-излез од даферот на 100 Khz.....	33
Слика 5.8 Влез-излез од даферот на 10 MHz.....	33
Слика 5.9 Влез-излез од даферот на 150 Mhz.....	34
Слика 5.10 Влез-излез од даферот на 300 MHz.....	34
Слика 5.11 Шематски приказ на компараторот и конверторот ECL-to-TTL.....	34
Слика 5.12 Приказ на изработениот влезен дел на ППК.....	35
Слика 5.13 Резултат од мерењето на чувствителноста на изработениот влезен дел.....	36
Слика 5.14 Резултати од мерење на преносната карактеристика на изработениот влезен дел.....	36
Слика 5.15 Изглед на употребениот референтен осцилатор.....	38
Слика 5.16 Приказ на изработениот референтен осцилатор за мерачот на фреквенции.....	38
Слика 5.17 Блок дијаграм на поврнувањето на CPLD плочката.....	39

Слика 5.18 Интерен блок дијаграм на EPM3064A.....	40
Слика 5.19 Интерна структура – блок дијаграм на главниот CPLD.....	42
Слика 5.20 Активни елементи при директно броење.....	44
Слика 5.21 Бранови облици во карактеристичните точки за директно броење.....	45
Слика 5.22 Активни елементи при реципрочно броење.....	46
Слика 5.23 Бранови облици во карактеристичните точки за реципрочно броење.....	47
Слика 5.24 Изработената CPLD плочка.....	47
Слика 5.25 Приказ на изработената контролна плочка.....	52
Слика 5.26 Тековен дијаграм на софтверот.....	53
Слика 5.27 Сериско поврзување на повеќе дисплеи со помош на MAX7219.....	54
Слика 5.28 Формат на серискиот пакет за MAX7219.....	55
Слика 5.29 Достапните регистри на MAX7219 интегрираното коло.....	55
Слика 5.30 Изработениот дисплеј за приказ на резултатот.....	56
Слика 5.31 Приказ на изработените плочки споени со централната контролна плочка.....	57

Листа на табели

Табела 1 Брзини на некои фамилии логички кола.....	10
Табела 2 Резултати од тестирање на мерачот на фреквенции.....	57

Апстракт

Во овој дипломски труд е изложена постапка за дизајнирање и практична реализација на мерен уред – мерач на фреквенции со пикометарен опсег. Опишани се двесте најчесто користени топологији за овие уреди, директно броење и реципрочно броење, нивните карактеристики, грешки при мерењата и принципот на работа. Практичната реализација е остварена со модуларен дизајн, користејќи повеќе плочки-модули за реализација на саканата функционалност. Изработениот уред содржи аналогна секција за претворање на сигналот за мерење. Се користи компаратор од ECL технологија, заедно со интегриран конвертор во TTL технологија. Самите бројач е имплементиран во CPLD интегрирано коло од серијата MAX3000A на производителот Altera. Резултатот се прикажува на мултиплексан 7-сегментен дисплеј. Сите модули се контролирани од управан на микроконтролер од типот AtMega2560 од производителот Atmel. Сите плочки со печатено коло се изработени рачно – во аматерски услови и добиените резултати од мерењата се изложени.

Вовед

Еден од параметрите во електронските кола кои се од особена важност за мерење, освен напонот и струјата во дадени точки/гранки, претставува фреквенцијата на осцилирање на мерениот сигнал. Овој сигнал може да претставува такт сигнал во некоја микропроцесорска средина, сигнал за синхронизација при комуникација, сигнал за управување на часовник во реално време. Во полето на радио-техниката, мерачот на фреквенции претставува основен и незаменлив мерен инструмент. Со помош на него може да се мерат сигнали од локални осцилатори, влезни сигнали во некој РФ систем, како и сигнали што се резултат од некои нелинеарни трансформации – множачи и собирачи на фреквенции.

Основната задача на мерачот на фреквенции е да ја измери непознатата фреквенција која што се носи на неговиот влез, најчесто преку коаксијален кабел. Оваа фреквенција мерниот уред треба да ја прикаже на разбирлив начин на некој модул за прикажување – дисплеј. Честа можност на овие мерни инструменти е да ја прикажат периодата на мерениот сигнал. Во мерните инструменти каде основната функционалност е имплементирана во микропроцесорска средина, оваа можност е тривијална поради можноста за вршење на математички операции, како $\frac{1}{x}$.



Слика 1 Типичен изглед на еден мерач на фреквенции

Кај овие мерни инструменти (види Слика 1), кои се развиени со помош на микропроцесор, многу често се среќаваат и можностите за филтрирање на влезниот сигнал, барање на аритметичка средина од низа одбироци/мерења, податочно логирање и запишување на податоците во меморија и многу често комуникација со надреден компјутер. Вклучувањето на персоналниот компјутер во мерниот ланец овозможува вршење на многу напредни функции како: цртање на графици, мерење на стабилност на некоја фреквенција во некој временски интервал, пронаоѓање на грешки и осцилации во мерената фреквенција и визуелизирање на мерените податоци. Историски гледано, првата можност на мерачите на фреквенции, да

комуницираат со персонален компјутер се остварувала преку HP-IB (Hewlett-Packard Interface Bus), но во поново време оваа комуникација се остварува преку сериска врска или преку USB.

Денес на пазарот постојат многу модели и типови на мерачи на фреквенции. Производители кои се истакнуваат со нивните мерачи на фреквенции вклучуваат :

- Keysight Technologies (екс Agilent, екс HP)
- BK Precision
- Tektronix
- Fluke/Philips
- Rigol
- Anritsu
- Rohde & Schwarz

Цените на овие мерни инструменти се движат во широк дијапазон. Цената најчесто е диктирана од можностите за мерења што ги нуди инструментот, фреквенцискиот опсег и неговата стабилност. Таа може да се движи од неколку стотина евра, до десетина илјади евра.

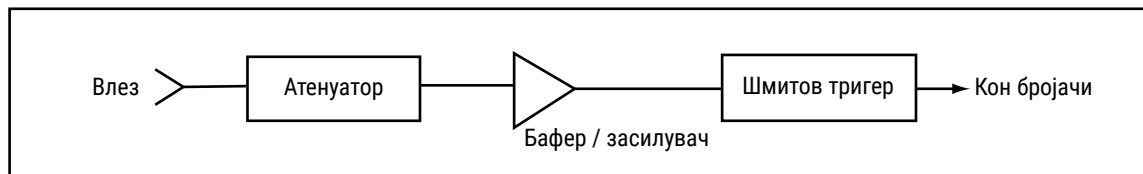
Целта на овој дипломски труд е изработка на мерен уред – мерач на фреквенции со можност за мерење на фреквенции во два опсези. Едниот опсег е нискофреквентниот опсег, со кој ќе може да се мерат сигнали со максимална фреквенција од 150 MHz. Вториот опсег е високофреквентниот опсег, кој го проширува мерното подрачје во гигахерцниот опсег. Прво теоретски се опишани составните делови на еден мерач на фреквенции и кои се нивните карактеристики. Потоа се дава опис на двата методи за мерење на фреквенција како и нивна споредба. На крај се дискутира дизајнот на соодветните составни делови, нивните резултати од мерењата како и проблемите при изработка во аматерски услови.

2. Составни делови на мерачот на фреквенции

Во склоп на мерачот на фреквенции, влегуваат повеќе делови – секции. Основни компоненти на еден ваков инструмент се влезниот дел, бројачите, референтниот осцилатор и диплеј. Во продолжение се разгледани овие компоненти.

2.1 Влезен дел

Влезниот дел (анг *front end*), е делот каде што се наоѓа влезот на мерачот на фреквенции т.е. местото каде што се приклучува сигналот со непозната фреквенција. Упростен блок дијаграм на влезниот дел е прикажан на Слика 2.1 :



Слика 2.1 Влезен дел (front end) на мерач на фреквенции

Основна функција на влезниот дел е да го баферира влезниот сигнал и да го приспособи за понатамошните степени – бројачите. За оваа цел, атенуаторот заедно со баферот (а во некои случаи и засилувач) треба да бидат дизајнирани, така што ќе имаат константна импеданса во целиот фреквенциски опсег во кој што може да мери мерачот на фреквенции.

Влезната импеданса на оваа секција треба да биде константна. Најчесто се нуди можност на корисникот да одбере помеѓу висока импеданса (во рангот на 1 MOhm или 10 MOhm) или 50 Ohm. 50-омската влезна импеданса најчесто се користи при мерење на фреквенции високо во RF подрачјето. За цел да обезбеди константна влезна импеданса, влезниот дел најчесто се дизајнира како сорсно следило со споен фет.

Задачата на шмитовиот тригер е да го обликува влезниот сигнал во квадратен облик, погоден за влез во дигиталните бројачи. Воедно, тој треба да е со доволно голема брзина, за да може успешно да ги следи промените на влезниот сигнал, а да настојува да го дефинира излезот со што е можно поголема симетрија.

2.2 Бројачи

Мерачот на фреквенции многу често се нарекува и бројач на фреквенција. Основниот принцип се базира на броење на бројот на промени низ некое напонско ниво на влезниот периодичен сигнал и резултатот да го прикаже во единицата Hz – херц. За да може да се изведе

броењето, мерачот на фреквенции во себе мора да содржи хардверски компоненти – бројачи. Овие бројачи може да бидат дизајнирани на повеќе начини.

Првите мерни инструменти се базираат на бројачи во дискретна технологија – дигитални интегрални кола кои во себе содржат некој вид на бројач, имплементиран со флипфлопови. За да се направи бројач со овие интегрирани кола, кои се достапни комерцијално и денеска, мора да се води сметка за нивната класа на брзина. Доколку се дизајнира мерач на фреквенции во подрачјето до 50 MHz, не може да се употребат бројачи кои што **безбедно** работат до 20 MHz. Постојат разни фамилии на дискретни интегрирани кола, во Табела 1 се приложени некои од нив и карактеристиките за максимална брзина, пропагационо доцнење и потрошувачка на една логичка порта:

Табела 1 Брзини на некои фамилии логички кола

Фамилија	Серија	Пропагационо доцнење (ns)	Максимална брзина (MHz)	Потрошувачка на една порта (mW)
RTL	*	500	4	10
DTL	*	25	<4	10
CMOS	AC/ACT	3	125	0.5
CMOS	HC/HCT	9	50	0.5
TTL	Оригинална серија	10	25	10
TTL	H	6	43	22
TTL	LS	10	40	2
TTL	F	3.5	100	5.4
TTL	G	1.5	1125	<10
ECL	ECL III	1	500	60
ECL	MECL	8	250	31

Проблем при дизајнот на бројачи со дискретни дигитални компоненти претставува фактот што бројачите се најчесто 8-битни. За да може да се направи поголем бројач, треба сериски да се врзат повеќе бројачи. Ова доведува до поскап дизајн (особено ако се употребуваат брзи серии на интегрирани кола), поголема потрошувачка и зголемена можност за надворешни пречки (поврзувачките водови треба да бидат поголеми).

Подобра опција за дизајнирање на бројачите е нивно имплементирање во PLD/FPGA компоненти, или во ASIC чип направен по нарачка. PLD/FPGA компонентите нудат многу поголема моќ во однос на дискретните логички кола, затоа што во еден дизајн може да се направат бројачи со голема должина, а и повеќе паралелни бројачи. Воедно, самата можност да се променува дизајнот при развојот ги прави овие компоненти често да се користат во нови дизајни на фреквенциски бројачи. Брзините кои што се достапни со PLD/FPGA компонентите се во рангот од неколку стотина MHz до неколку GHz.

Во едноставни дизајни, може да се искористат и интерните бројачи/тајмери на микропроцесорите / микроконтролерите. Брзината на овие бројачи најчесто е половина од тактот со кој што работи соодветниот микропроцесор, со што се ограничува нивниот фреквенциски опсег. Исто така при користење на бројач од микропроцесор, треба да се води сметка за латенцијата поврзана со извршувањето на кодот во самиот микропроцесор, па истата треба да се земе предвид при добивање на фреквенцијата.

2.3 Референтен осцилатор

Како што веќе беше спомнато, принципот на работа на мерачот на фреквенции е да ја мери непознатата влезна фреквенција во однос на некоја позната референтна фреквенција. Оваа референца, вградена во самиот мерен уред, претставува позната фреквенција на локален осцилатор. Локалниот осцилатор пред се треба да биде со излезна форма – правоаголни импулси потребни за дигиталните елементи во самиот мерач (бројачите, делителите). Поради историски причини, а и поради фактот што делењето се сведува на единечни дроеви, референтниот осцилатор најчесто се дизајнира со фреквенција од 10 MHz. Излезот на осцилаторот потоа може да се донесе на соодветен делител на такт, со кој се постигнува делење на фреквенцијата за да може да се користи како време во кое што се извршува дроењето/мерењето на влезната фреквенција. Честите временски интервали – контролни сигнали (анг. *gating signal*), кои што се добиваат со ова делење се : 10s, 1s и 100ms, но во некои мерни инструменти може да се забележат и други временски интервали.

Референтниот осцилатор е еден од најкритичните делови на мерачот на фреквенции. Неговата точност и стабилност ја диктира точноста и стабилноста на мерниот уред. Стабилност може да зависи од неколку надворешни параметри :

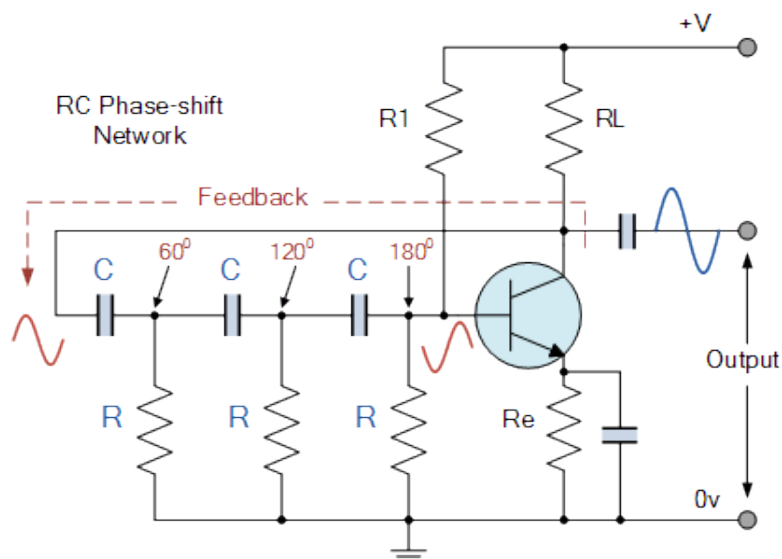
- Температурна стабилност (девијација од централната фреквенција)
- Стареење
- Механички стресови и вибрации
- Стабилност на засилувачкиот елемент (влезна/излезна импеданса, засилување)

Постојат повеќе топологии за дизајнирање и имплементација на осцилаторот. Во продолжение ќе разгледаме дел од најчесто користените конфигурации за осцилатори, нивните карактеристики и можноста да се употребуваат во ваков мерен инструмент.

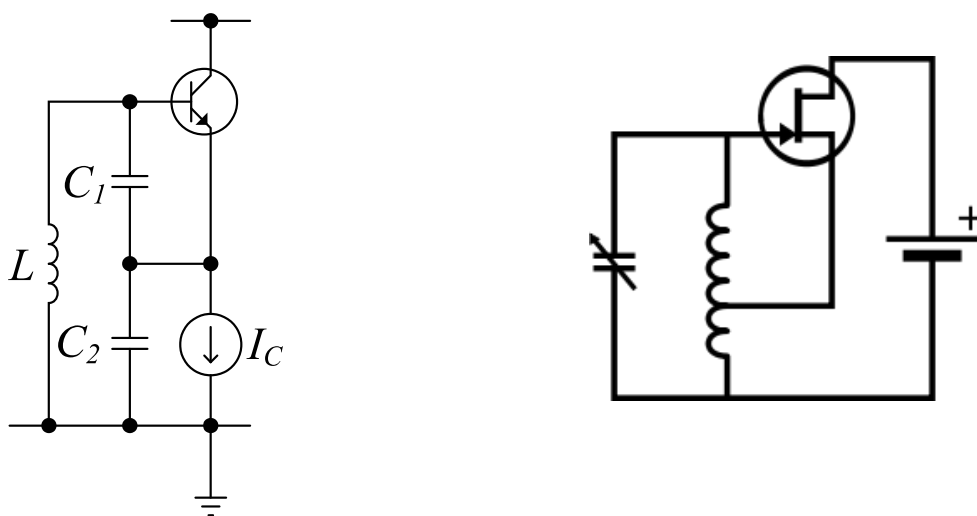
2.3.1 Осцилатор со повратна врска составена исклучиво со пасивни елементи

Еден од наједноставните изведби на осцилатор претставува изведбата каде со користење на дискретни пасивни елементи – отпорници, кондензатори и калеми при формирањето на повратната врска, за создавање на тотална фазна разлика од 360°. Во оваа категорија на

осцилатори спаѓаат : осцилаторот со RC фазно поместување, Колпицов и Хартлиев. На сликите 2.2 и 2.3 се претставени овие конфигурации.



Слика 2.2 RC осцилатор



Слика 2.3 (а) Хартлиев осцилатор реализиран со биполарен транзистор (б) Колпицов осцилатор реализиран со споен фет.

Ваквите осцилатори не се погодни за користење во оваа класа на мерни инструменти, поради неколку причини. Секоја пасивна компонента (отпорник, кондензатор или калем) има голем број

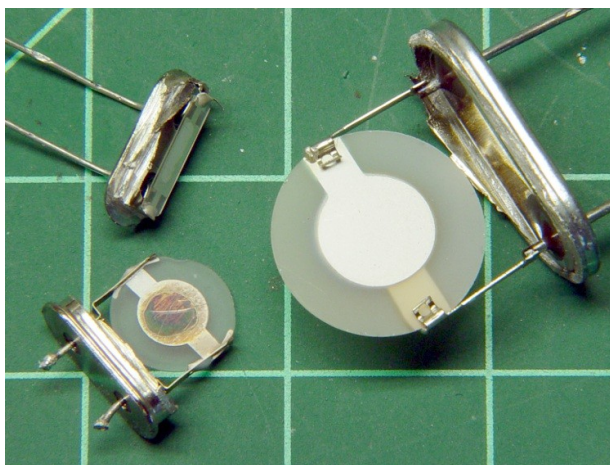
на **паразитни елементи**. Овие паразитни елементи можат да бидат сериски или паралелно поврзани отпорници, кондензатори или калемии, или комбинација на сериско-паралелна врска. Овие елементи тешко се параметризираат, затоа што многу често се зависни од температура, како и фреквенција, па дизајнот на осцилатор со точна фреквенција на осцилирање е отежнат. Од друга страна, пасивните елементи имаат голема **температурна зависност**. Материјалите употребени за нивна изведба често имаат различни температурни коефициенти, па дури и дизајнот на температурно компензиран осцилатор постанува голем проблем. Меѓу другото, кога се изработува дискретен осцилатор, треба да се води голема грижа за изолирање на осцилаторот од надворешни извори на шум – ова особено е важно кај дискретните осцилатори.

Поради наведените пречки во дизајнот, осцилаторите со чисто пасивни елементи во повратната врска скоро никогаш не се користат во мерни инструменти.

2.3.2 Осцилатор со пиезоелектричен елемент – кристален осцилатор - ХО

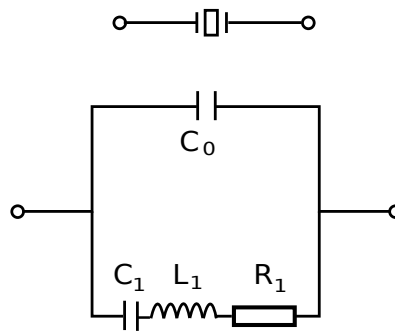
Кристалниот осцилатор е осцилатор кој ја користи механичката резонанца на вибрации на пиезоелектричен кристал со многу точна фреквенција. За пиезоелектричен кристал, најчесто се користи кварцен кристал. Кварцниот кристал има пиезоелектрична особина, што значи дека може да генерира електрични импулси во зависност од механичките напрегања и обратно. Добра карактеристика на кварцниот кристал, е поседување на многу стабилна механичка резонантна фреквенција при приклучување на надворешен електричен сигнал. Оваа особина е многу потребна за постигнување на висока точност и стабилност кај овие типови на осцилатори.

Кварцниот кристал, или често нарекуван само кристал, е најчесто сместен во метално куќиште и на него се приклучени две електроди. На овој начин кристалот може да се приклучи во електричните кола.



Слика 2.4 Внатрешноста на кварцен кристал

За да може да се употреби кристалот во дизајн на електричен осцилатор, за него мора да се дефинира електричен модел. Еквивалентниот електричниот модел на кварцниот кристал е покажан на Слика 2.5.



Слика 2.5 Шематски симбол и електричен модел на кварцен кристал

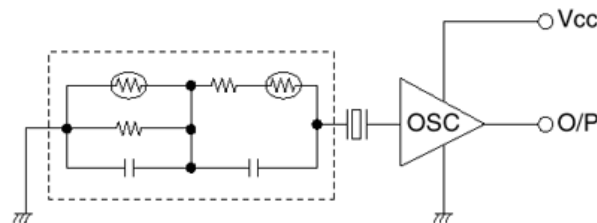
Параметрите на моделот се :

- C_0 – статичка капацитивност на кристалот. Во оваа капацитивност спаѓа капацитивноста на приклучните електроди, диелектричната константа на кристалот и паразитивната капацитивност на самото кукиште. Генерално големината се движи во опсегот на неколку pF.
- C_1 – подвижна капацитивност (анг. *motional capacitance*). Ова е капацитивноста што кристалот ја прикажува при негова т.н. сериска резонанца. Подвижната капацитивност директно зависи од геометриската димензија на самиот кварцен кристал и се движи во опсегот на fF.
- L_1 – подвижна индуктивност. Слични како C_1 , оваа индуктивност е индуктивноста што се прикажува при сериската резонанца на кристалот. При дизајнот на осцилаторот каде што кварцниот кристал се употребува како филтер – пропусник на опсег, филтерот се изведува со помош на надворешни кондензатори и подвижната индуктивност на кристалот – формирање на т.н. Pi-филтер.
- R_1 – отпорноста што кристалот ја прикажува при сериска резонанца. Често се користи и поимот „еквивалентна сериска отпорност“. Ова е директна последица од својствата на кварцниот материјал.

Кварцниот кристал поседува толеранција (иницијална точност) во рангот на ± 100 ppm, а многу често и подобро од тоа. Има релативно добра стабилност во температурен опсег, најчесто од -40 до $+80$ степени, од 60 ppm. За постигнување на задоволителни резултати при реализација на мерниот уред, кварцниот осцилатор е соодветен избор.

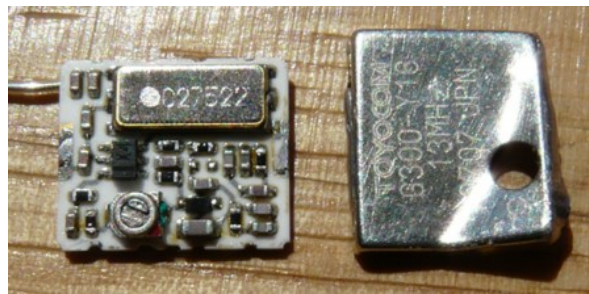
2.3.3 Температурно компензиран кристален осцилатори – ТСХО

За подобрување на температурната стабилност на кварцниот осцилатор, се користи техника на температурно компензирање на самиот кварцен кристал. За да се постигни ова, во дизајнот на осцилаторот се вметнува електроника за температурно компензирање, која што има температурен коефициент со спротивен знак од тој на кристалот.



Слика 2.6 Интерен блок дијаграм на температурно компензираниот осцилатор

Кристалот, заедно со целата додатна електроника (мрежата за компензација + засилувачот), се изработуваат на иста подлога. Подлогата служи за носење на сите елементи на иста температура.



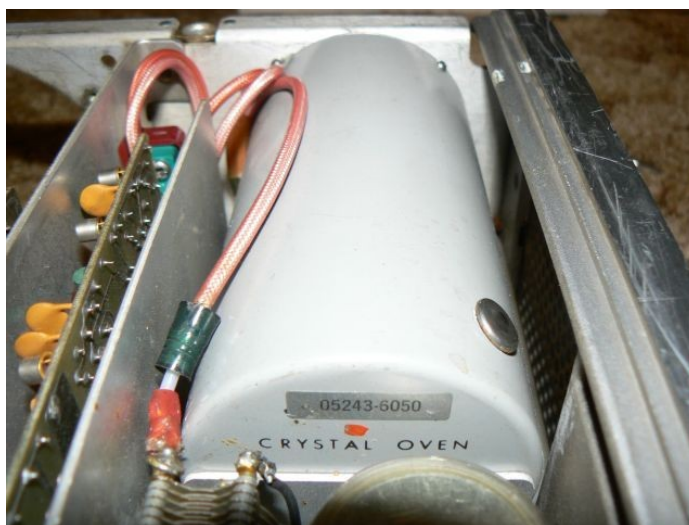
Слика 2.7 Внатрешноста на температурно компензиран кристален осцилатор

Неговата иницијална стабилност – точноста се движи во рангот на десетина ppm, а температурната стабилност е супериорно подобрена и се движи во граници на ± 3 ppm на степен. Прилично е ефтин за изработка, па затоа многу често се среќава како референтен осцилатор во многу уреди покрај мерачите на фреквенции.

2.3.4 Температурно контролиран кристален осцилатор – ОСХО

За добивање на многу поголема точност и занемарливо мало температурно поместување, се искористува техника на загревање на кварцниот кристал на точно позната температура, каде што неговите карактеристики – фреквенцијата на осцилирање е многу добро позната. Врвна класа на точност се постигнува со овој т.н. температурно **контролиран** кристален осцилатор. Тој во себе содржи грејач, кој најчесто претставува транзистор и електроника која претставува контролна јамка и го одржува целиот осцилатор на позната температура, повисока од амбиенталната. Поради постоењето на грејач, температурно контролираниот осцилатор има значително зголемена побарувачка на струја, а неговата дисипација може да се движи во рангот на 5+ W.

Додатна грижа се води при дизајнот на контролната јамка, која што има за задача многу прецизно да ја контролира и подесува температурата на целиот систем. На познатата температура многу прецизно се мерат карактеристиките на кварцниот кристал и со помош на електроника за компензирање (која што истотака се наоѓа внатре во склопот), се подесува да осцилира на саканата фреквенција. Најчесто овие склопови имаат екстерен пин за контрола, со помош на кој можеме да ја подесуваме фреквенцијата во опсег на неколку ppm. На Слика 2.8 е прикажан еден ваков температурно контролиран кристален осцилатор, сликан во внатрешноста на НР мерач на фреквенции.



Слика 2.8 Температурно контролиран кристален осцилатор

Оваа класа на осцилатори има извонредна точност, во ранг на неколку до десетина **ppb** и температурна стабилност во ранг на 0.1 **ppb** по степен. Поради комплексноста на изведба, самиот осцилатор е многу поскап од другите типови на осцилатори, па неговата употреба најчесто се ограничува на уреди кои што се дизајнирани во критични системи, или пак како опција за надоградба на стандардните мерачи на фреквенции.

2.3.5 Атомски часовник/референца

Атомскиот часовник, или често нарекуван атомски стандард, се разликува од другите типови на осцилатори затоа што користи атомска особина кај одреден тип на елементи, која што е прецизно временски дефинирана, за да ја генерира соодветната референтна фреквенција. Овие референтни атомски часовници се базирани на методот на контрола на генерираната фреквенција преку преминот на електроните од високо во ниско енергетско ниво. Двата најчесто користени елементи се рубидиум и цезиум.

Атомските стандарди осцилатори ја имаат наголемата почетна стабилност и најдобрата стабилност во поглед на стареење. Тие најчесто ја пронаоѓаат својата примена во многу

временски-критични системи како што се : GPS, синхронизација на GSM/3G базни станици, дигитално емитурање на радио/телевизиска програма, емитурање на време, а додека пак цезиумскиот стандард, се користи и како стандард за единицата мерка – време во SI системот. Комерцијалните мерачи на фреквенции многу ретко ги употребуваат атомските референци како референтната интерна фреквенција поради нивната скапа цена. Економски исплатливо решение за употреба на ваква фреквенциска референца се јавува при потреба на стабилна референца за повеќе мерни уреди – осцилоскопи, спектрални аналајзери, мерачи на фреквенции. Тогаш овие стандарди се употребуваат со помош на систем за дистрибуција на такт. Ваквите системи се многу чести во мерните лаборатории, во кои се врши калибрација и тестирање на мерните инструменти.



Слика 2.9 Рубидиумски фреквентен стандард

2.4 Приказ на резултатот од мерењето

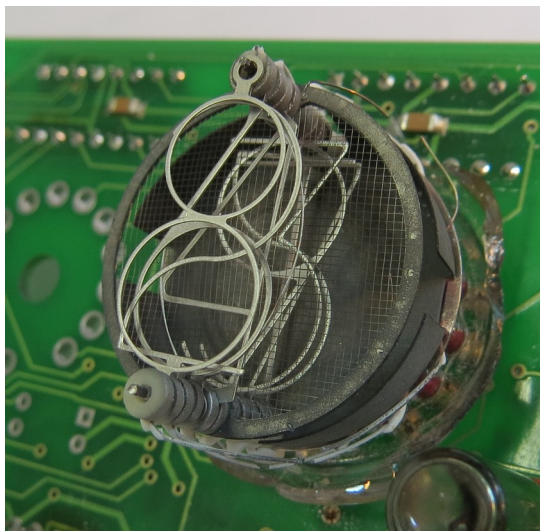
Откако мерењето ќе биде извршено, овој резултат мора да се прикаже за да може корисникот да го отчита. Историски, првиот тип на дисплеј што е користен во овие уреди е направен со помош на таканаречените *nixie* цевки.



Слика 2.10 Мерач на фреквенции со дисплеј изработен од *nixie* цевки

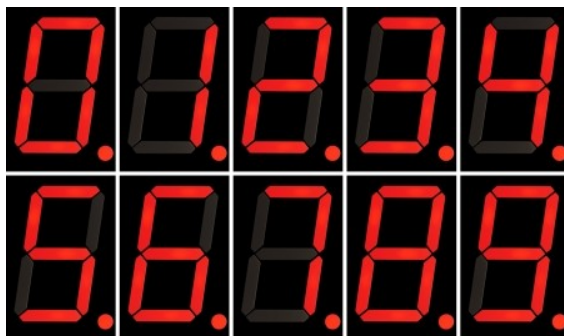
Nixie цевката е изработена така што во вакумизиран стаклен сад, најчесто исполнет со благороден гас – неон, се наоѓаат 11 електроди – 10 од нив се катоди, на кои што се донесува

негативен потенцијал, во однос на 11-тата електрода, која што е анода. Nixie цевката работи на принципот на ладна емисија, каде што под низок притисок и релативно низок потенцијал помеѓу електродите, се избиваат електрони од катодата, кои што се судираат со атомите на неонот во непосредна близина на самата катода и оддаваат светлина. 10-те катоди во самата цевка се во облик на цифрите од 0 до 9. Поглед во внатрешноста на една nixie цевка е прикажан на следната слика.



Слика 2.11 Поглед во внатрешноста на една nixie цевка

Со развивањето на полупроводничката технологија, поточно полупроводничките светлечки диоди – LED, на пазарот се појавуваат таканаречените 7-сегментни дисплеи. Овие дисплеи претставуваат спој на 7 LED диоди – во таканаречени сегменти, со кои што се формираат нумеричките броеви од 0 до 9 и една LED диода за децимална точка.



Слика 2.12 Приказ на цифри на 7 сегментен дисплеј

Седум сегментните дисплеи, за разлика од nixie цевките, имаат помала потрошувачка на енергија, поголем работен век и се многу по отпорни на механички оштетувања.

Уште еден чест тип на дисплеј претставува вакуумско-флуоресцентниот дисплеј (VFD). По изградба и операција е многу сличен со nixie цевките, само што во неговата изградба се

употребува и уште една контролна електрода. VFD дисплеите може да се изработуваат во форма на 7-сегментниот дисплеј, или во форма да можат да прикажуваат карактери – карактерни дисплеи.



Слика 2.13 VFD дисплеј во форма на седум сегментни дисплеи

За приказ на повеќе информации истовремено, во поново време, исклучиво се користат графички дисплеи, кои што во себе содржат дводимензионална матрица на светлечки елементи со некоја одредена резолуција која што најчесто е имплементирана со помош на течни кристали - LCD. Графичките дисплеи во поново време постанаа *de facto* стандард за приказ на информации на мерните инструменти. Нивното имплементирање во дигитална средина со микропроцесор е тривијална, а и нивната цена е доволно ниска за да можат да бидат масовно користени.



Слика 2.14 Понов модел на мерач на фреквенции со LCD графички дисплеј

3. Топологии на изградба на мерачите на фреквенции

Во поглед на внатрешната конструкција и самиот метод на мерење на фреквенцијата постојат повеќе топологии. Две од најчесто користените претставуваат : топологијата на директно мерење – дроење и топологијата на реципрочно мерење – дроење. Првиот начин на конструкција – со директно дроење е историски првиот масовно употребуван начин за конструкција на мерачите на фреквенции. Овој метод е погоден за изведување и само со дискретни компоненти (бројачи, логички порти), што подразбира и ефтина цена на изработка. Вториот начин – реципрчниот бројач е технички покомплициран за изведба, затоа што во неговиот дизајн треба да се вметнат кола за извршувањето на математичката операција $1/x$ која што е комплицирана за изведба само со дискретни компоненти.

Многу често, во поновите модели на комерцијално достапните мерачи на фреквенции, кои што во себе имаат микропроцесор, двете топологии се вметнати во еден дизајн. Ваквото решение е релативно поскапо во однос на уред со само еден начин на мерење, но како што ќе биде опишано во понатамошниот текст, приложува повеќе можности.

3.1 Метода на директно броење

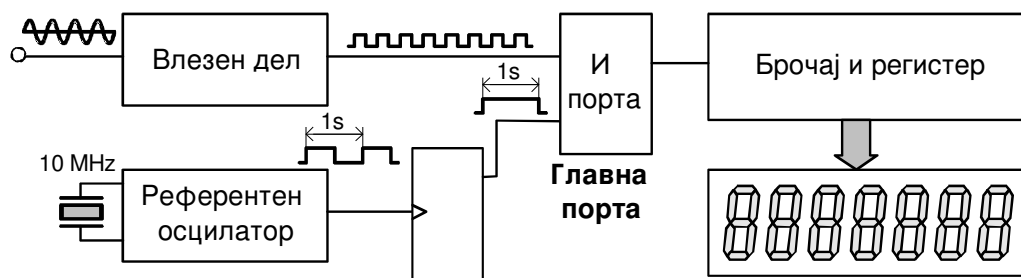
Фреквенцијата f , на еден периодичен сигнал најпросто се дефинира како бројот на периодични повторивања на сигналот во единица време. Ова може едноставно да се прикаже со формулата :

$$f = \frac{n}{t}$$

Каде што n е бројот на повторувања на сигналот во времето t .

Методата на директно броење го користи овој принцип на пронаоѓање на непознатата фреквенција. Така да, ако за t се земе време од 1s, мерената фреквенција ќе може директно да биде прикажана во величината Херц – Hz.

Блог дијаграмот на мерачот на фреквенции со методата на директно броење е прикажан на Слика 3.1.



Слика 3.1 Блок дијаграм на методот на директно броење

Влезниот сигнал преку влезната секција се обликува во соодветната форма – се донесува во форма на правоаголни импулси и неговото напонско ниво соодветно се скалира. Вака подготвениот сигнал е еден од влезите во една логичка И порта. Другиот влез на оваа логичка порта е сигнал кој што е активен со точно одредено време. Ова е т.н. управувачки (gating) сигнал, кој што најчесто е со времетраење од 1s и е со периодичен карактер – при секоја негова нова периода се врши ново мерење.

Управувачкиот сигнал служи за пропуштање на сигналот со непознатата фреквенција во бројачот, кој што ги брои импулсите во единица време. Ваквата вредност, се декодира со помош на логика за декодирање и се претставува на дисплејот.



Слика 3.2 Директно мерење на импулси од непознатата фреквенција

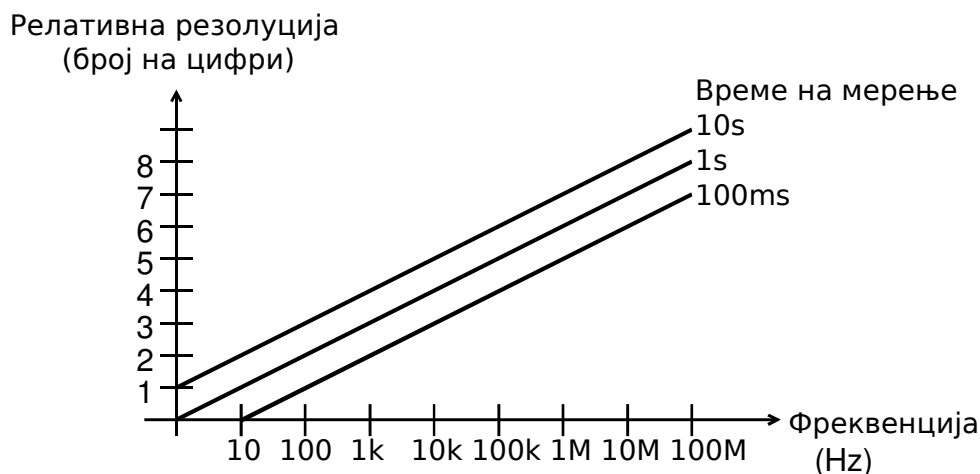
На Слика 3.2 се прикажани карактеристичните сигнали во блок дијаграмот. Она што може да се увиди е дека влезниот сигнал не е синхронизиран со управувачкиот сигнал – не се бројат целоброен број импулси на влезниот сигнал.

Референтниот осцилатор во себе содржи кола кои што ја делат фреквенцијата за да се добијат саканите времетраења на управувачкиот сигнал. Ова делење може да биде автоматски, но најчесто се остава можноста да биде одберено од страна на корисникот со помош на копче, тастатура или вртлив прекинувач. Оваа информација исто така се користи од логиката на броење, за да знае во која единица време го мери влезниот сигнал. Релативната резолуција т.е. бројот на прикажани цифри е директно зависен од времетраењето на управувачкиот сигнал. За да го видиме ова, ќе разгледаме пример на мерење на фреквенција од 1 KHz со овој мерач на фреквенции:

Пример за мерење: Нека на влезот на мерачот на фреквенции се донесе фреквенција од 1KHz – 1000 повотривања на влезниот сигнал во единица секунда. Доколку нашиот управувачки сигнал е во времетраење на **1 секунда**, бројачот ќе изброи 1000 преминувања на состојба на влезниот сигнал (ја занемаруваме ± 1 броење грешката). На дисплејот може да се прикажи директно бројката **1000** во единица Hz, што всушност е нашата влезна фреквенција. Често оваа вредност се прикажува со записка пред последните три нули во единица kHz : **1.000 KHz**. Доколку го зголемиме времето на мерење од 1 секунда на **10 секунди**, нашиот бројач ќе изброи 10000 преминувања на влезниот сигнал. Оваа вредност на дисплејот можеме да ја претставиме или во единица Hz – **10000 Hz** или во единица kHz – **10.000 KHz**. Ефективно со зголемување на времето на мерење, добиваме уште една цифра резолуција. Доколку времето го намалиме сега, од 1 секунда на 100 милисекунди, нашиот бројач ќе изброи вредност од 100 преминувања на

влезниот сигнал. Оваа вредност смислено може да ја претставиме само како 1.00KHz на дисплејот. Ефективно сме изгубиле една цифра резолуција, а сме добиле побрзо мерење и прикажување на резултатот.

Релативната резолуција во однос на одбраното времетраење на управувачкиот сигнал (времето на мерење) е прикажано на Слика 3.3.



Слика 3.3 Зависноста на бројот на цифрите прикажани на дисплејот во однос на одбраното време на мерење

Од релативната резолуција може да заклучиме дека мерачот на фреквенции со овој метод на мерење не е погоден за мерење на ниски фреквенции, затоа што не дава никаква информација за вредноста на фреквенцијата „позади запирката“. Но, за високи фреквенции, најчесто повисоки од неколку десетина MHz, овој метод на мерење е многу добар, затоа што за време на мерење од 1s добиваме резолуција од минимум 6 цифри. Високофреквентните мерачи на фреквенции (во GHz подрачјето) најчесто се имплементираат со овој начин на мерење.

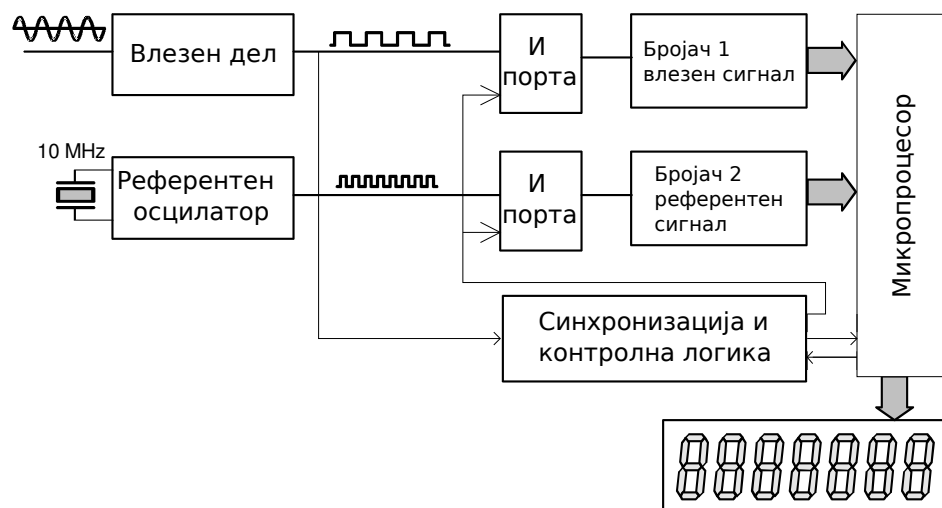
3.2 Реципрочно мерење на фреквенција

Реципрочната метода на мерење на фреквенција се појавува подоцна од класичната метода со директно мерење. Појавување на оваа метода е директно поврзана со напредокот на микропроцесорската техника, со што се овозможува лесна изведба на математички функции во дигиталниот домен. За разлика од претходниот метод, каде што времетраењето на мерењето е синхронизирано со управувачкиот сигнал (добиеен од референтниот осцилатор), во методот на реципрочно мерење, времетраењето на мерењето е синхронизирано со влезниот сигнал. Блок дијаграмот е прикажан на Слика 3.4.

Во оваа конфигурација постојат два бројачи – еден бројач кој ги брои импулсите на сигналот што го мериме и уште еден што ги мери импулсите од референтниот осцилатор. Мерењето се врши, така што се мерат одреден број на периоди (импулси) – N на влезниот сигнал, додека истовремено се бројат периоди од референтниот осцилатор. Фреквенцијата е резултат на релацијата:

$$\text{Измерена фреквенција} = \frac{\text{Изброени влезни периоди}}{\text{Изброени периоди од референцата} \times t_c} = \frac{N}{MT}$$

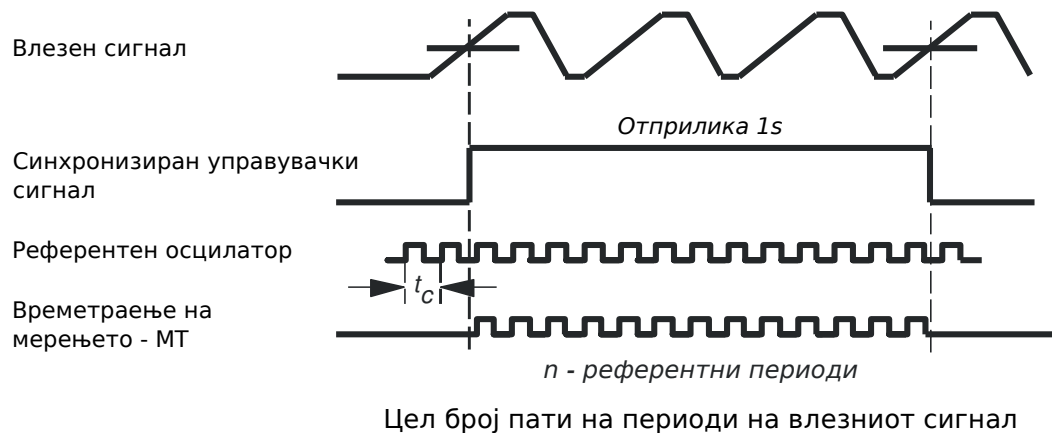
Во оваа релација, t_c претставува периодата на референтниот осцилатор – за референтен осцилатор ова е 100ns. Мерењето е синхронизирано со помош на логиката за синхронизација, а најчесто таа е составен дел од микропроцесорот.



Слика 3.4 Влок дијаграм за реципрочно броење

Мерењето започнува така што контролната логика, на почеток на периода од влезниот сигнал (растечка или опаѓачка ивица), ги активира двете И порти, така што претходно исчистените бројачи почнуваат да ги бројат соодветните импулси. После одредено времетраење, кое што најчесто ги има вредностите од 100ms, 1s или 10s, контролната логика интерно си дава сигнал за завршување на мерењето. Мерењето ќе заврши само после завршување на цела периода на влезниот сигнал. На овој начин од страна на првиот бројач ќе бидат изброени цел број пати на периоди. На Слика 3.5 се означени брановите облици во карактеристичните точки.

Поради овој начин на мерење, синхронизирано со влезниот сигнал, оваа метода обезбедува резолуција на прикажаните цифри која е зависна од фреквенцијата на референтниот осцилатор и од времетраењето на мерењето. За референтен осцилатор од 10 MHz и за времетраење од 1s за мерење на сигналот, бројот на прикажани цифри е секогаш 7, без разлика на фреквенцијата на влезниот сигнал. Ова може да се види од графикот на Слика 3.6.



Слика 3.5 Карактеристични сигнали за реципрочното мерење фреквенција



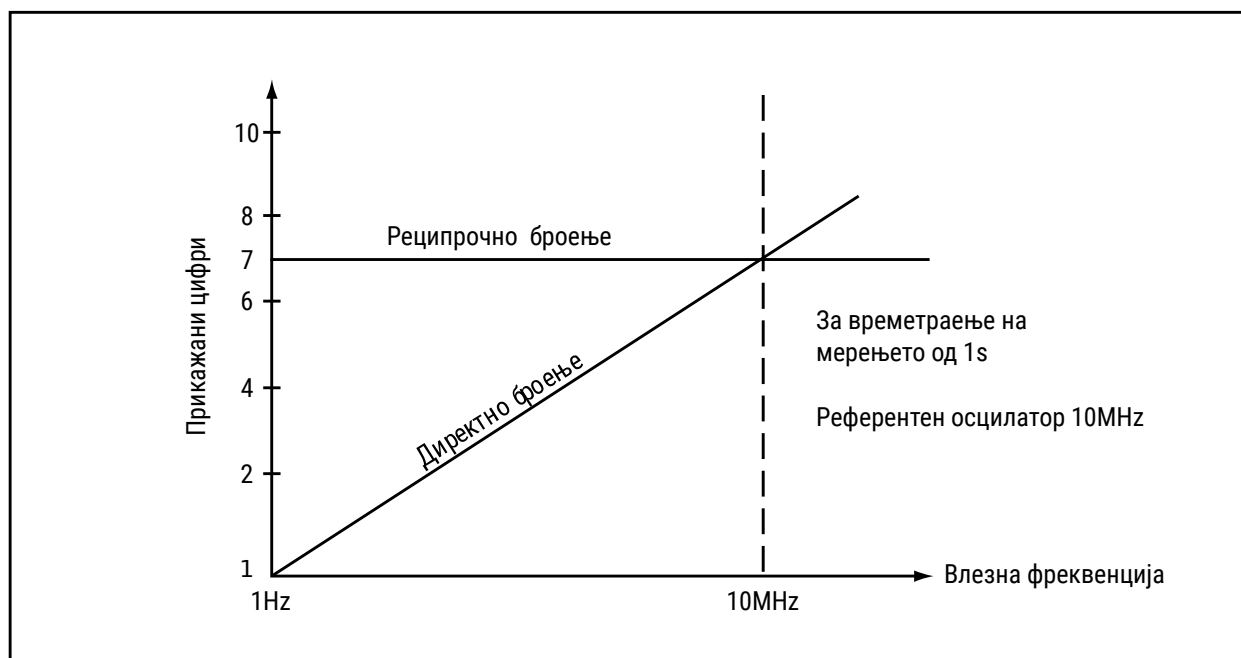
Слика 3.6 Резолуција на прикажани цифри со реципрочно броење

Веднаш се забележува дека оваа метода е многу корисна при мерење на ниски фреквенции – помалку од фреквенцијата на референтниот осцилатор. За мерење на фреквенции во аудио подрачјето, скоро секогаш се користи оваа метода. За зголемување на резолуцијата, може да се зголеми и референтниот осцилатор, така да за референтен осцилатор од 100 MHz, се добива уште една цифра од мерењето.

Во мерните уреди од повисока класа најчесто се имплементирани и двете методи на мерење. Според влезната фреквенција автоматски се одбира методата за мерење. Кога влезната фреквенција е помала од референтниот осцилатор – се користи реципрочно мерење. Кога

влезната фреквенција е поголема од фреквенцијата на референтниот осцилатор – се користи методата на директно броење.

За оваа дипломска работа, одлучено е да се искористи вакво „паметно“ мерење на фреквенција, така што во дизајнот на мерачот на фреквенции се имплементирани можности за мерење по двете опишани методи, а по која метода ќе се врши мерењето може да се одлучува автоматски или оваа одлука да ја донесе корисникот на мерниот инструмент.



Слика 3.7 Споредба на двете методи за мерење на фреквенција

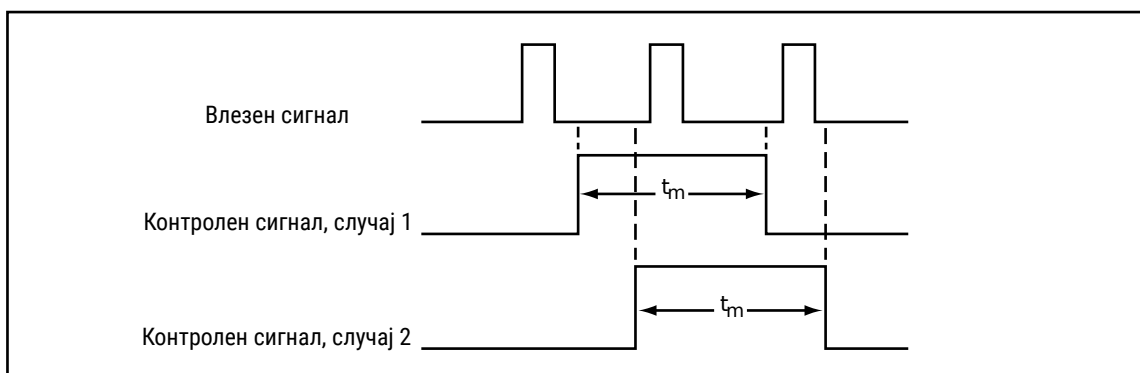
4. Извори на грешки кај мерачите на фреквенции

Мерачите на фреквенции, како и сите останати мерни инструменти се изложени на неколку извори на грешки. Главните извори на грешки генерално се класифицираат во следните четири категории :

- ± 1 броење грешки
- грешки од референтниот осцилатор
- грешки од шмитовиот тригер

4.1 ± 1 броење грешка

Кога мерачот на фреквенции врши мерење, ± 1 броење несигурност може да се појави во најмалку значајната цифра за приказ. Оваа грешка често се нарекува и квантизациска грешка. Несигурноста во броењето може да се појави поради не-синхронизираноста на влезниот сигнал што се мери, со контролниот сигнал на И портата – илустрирано на Слика 4.1. Грешката предизвикана од оваа несигурност се одразува во ± 1 грешно броење од страна на бројачот.



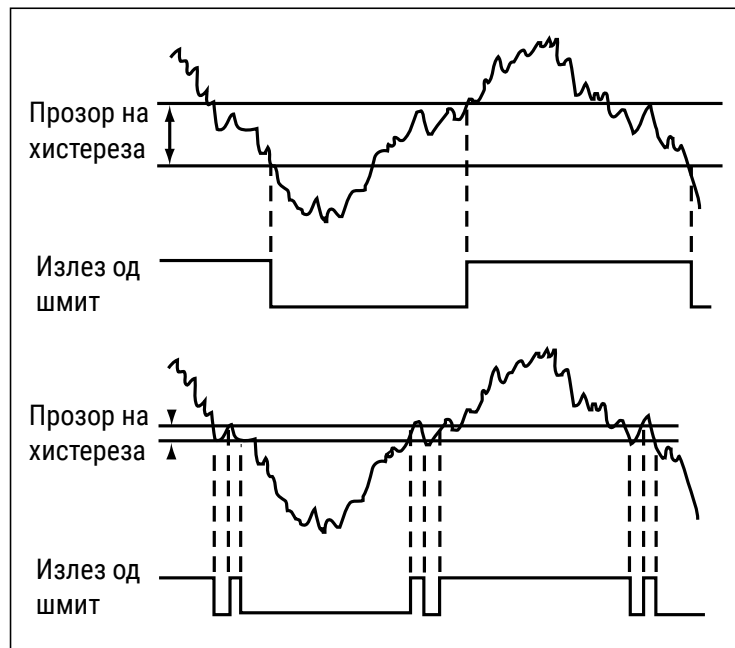
Слика 4.1 Извор на квантизациска грешка

4.2 Грешки од референтниот осцилатор

Било кое отстапување од реалната фреквенција од референтниот осцилатор и неговата номинална фреквенција директно ќе се рефлектира како грешка во мерењето. Оваа грешка е директно поврзана со стабилноста на референтниот осцилатор и неговата девијација со стареење и температура. Грешките од девијацијата може да бидат значајни, а и немора. Зависи за која апликација се користи мерачот на фреквенции и кои се потребните толеранции за мерењето.

4.3 Грешки од Шмитовиот тригер

Грешката од шмитовиот тригер во влезниот степен е грешка која настанува поради разни шумови, присутни на влезниот сигнал. Во реципрочната метода на мерење, влезниот сигнал го синхронизира времето на мерење на мерниот инструмент, па оваа грешка може да создаде неточно преминување низ прозорот на хистерезата на Шмитовиот тригер, со што времето на активирање на мерењето ќе биде различно, со додадена грешка. Ефектите на шумот во влезниот сигнал се илустрирани на Слика 4.2.



Слика 4.2 Грешки предизвикани од шум интерпониран на влезниот сигнал

5. Практична реализација

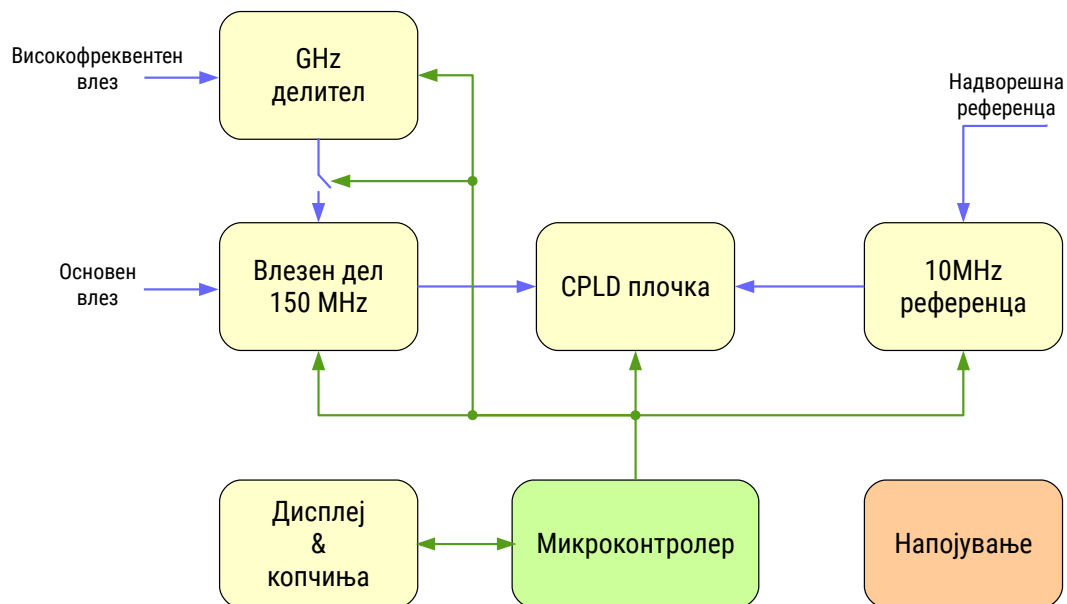
Пред изработка на мерач на фреквенции, пред процесот на дизајнирање да се дадат ограничувањата и саканите карактеристики на истиот. За практична изведба на мерачот на фреквенции, за оваа дипломска работа, на самиот почеток од дизајнирањето е одлучено на овие карактеристики:

- Минимална влезна фреквенција од 100 Hz, а максимална од 150 MHz
- Можност за надградба на делител на фреквенција во GHz подрачје
- Мерење на АС сигнали
- Влезна импеданса од 1 MOhm или 50 Ohm – со одбирање на корисникот
- Директно и реципрочно мерење
- Автоматско одбирање на метода за мерење или одбирање од страна на корисникот
- Чувствителност на минимален влезно напонско ниво од 50mVrms

Во продолжение се објаснети сите составни делови, начинот на дизајнирање, резултати од симулации и од практични мерења на изведбата на мерниот инструмент.

5.1 Блок дијаграм

На Слика 5.1 е прикажан блок дијаграмот за изведба на мерачот на фреквенции. Одлучено е инструментот да се изработи со модуларен пристап, така што различните функционални целини ќе бидат одвоени на посебни ППК (Плочка со Печатено Коло) плочки.



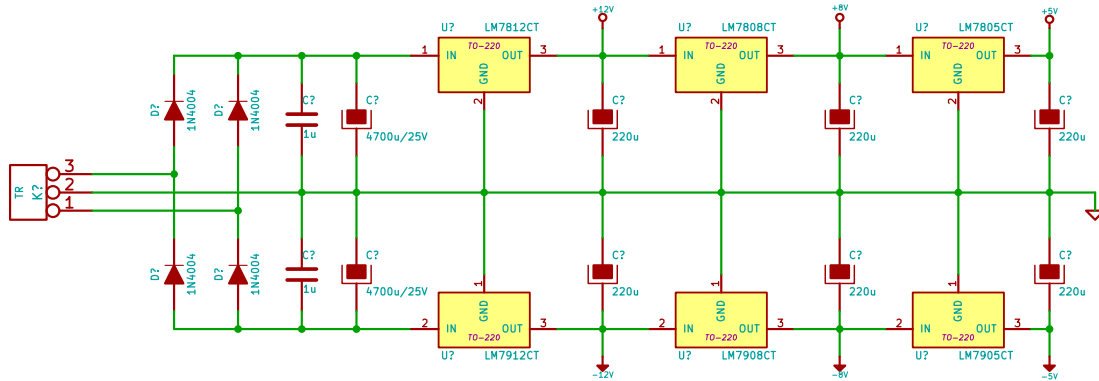
Слика 5.1 Блок дијаграм на изработениот мерач на фреквенции

5.2 Напојување

Единицата за напојување е одговорна за стабилно генерирање на потребните напони за работа на инструментот. Потребните напони се :

- +12 V
- - 12 V
- +8 V
- - 8 V
- +5 V
- - 5 V

Различните напонски нивоа се потребни за напојување на разните дигитални (CPLD, микроконтролер) делови, како и аналогните кола (операциски засилувачи, транзистори, референца). Напоните се добиваат од трансформатор со ефективна вредност на излезниот напон од 15 Veff. Трансформаторот има две вакви намотки, кои што се направени во конфигурација со среден извод. Излезот на секундарот преку соодветен целобранов насочувач и филтер кондензатори, се донесува на линеарни напонски регулатори од серијата 78xx и 79xx кои што се сервиски поврзани за минимизирање на нивниот пад на напон. Шематски приказ е прикажан на Слика 5.2.:



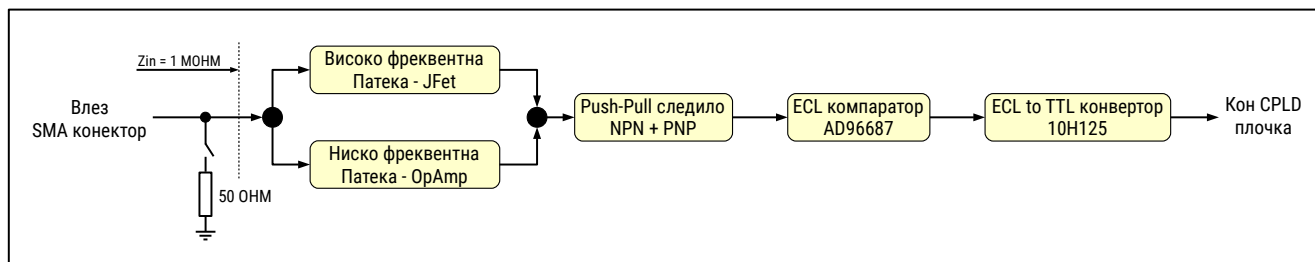
Слика 5.2 Напонски регулатори за генерирање на потребните напони за интерните компоненти

Единицата за напојување се наоѓа на истата плочка со главниот микроконтролер. Од таму со помош на board-to-board конектори, напоните се разнесуваат до потребните делови од системот. Важно е да се напомени дека CPLD плочката, која што на себе има две CPLD интегрални кола, кои што бараат многу стабилно напојување од 3.3V има додатен локален регулатор од 3.3V.

5.3 Влезен дел (150 MHz Front End)

Еден од по-критичните делови на мерачот на фреквенции е влезниот дел. Тој треба да го приспособи влезниот сигнал и да го предаде на CPLD плочката за мерење на неговата фреквенција. Притоа треба да понуди константна импеданса од 1 Mohm или 50 Ohm низ целиот влезен фреквенциски опсег во зависност од подесувањето на корисникот. За пропуштање на сигнали со максимална фреквенција од 150 MHz, влезниот дел мора да биде проектиран со пропусен опсег од минимум два пати по саканата максимална пропусна фреквенција. Тоа значи влезниот дел во овој случај мора да има -3dB пропусен опсег со горна граница од 300 MHz.

Во дизајнот и изведбата на мерниот инструмент во оваа дипломска работа, одлучено е влезниот дел да претставува бафер на сигналот т.е. да не постои никаков атенуатор на влез. Поради оваа причина, корисникот треба да внимава со напонските нивоа кои ќе ги донесе на влезот на мерачот на фреквенции, истите да бидат во претходно зададен опсег. Поради фактот што дизајнот е базиран на мерење само на АС сигнали т.е. сигнали без DC компонента, максималниот напонски опсег на влезот е ограничен на 2.5V амплитуда. Во продолжение, при објаснување на работата на колото, ќе биде согледано од каде е оваа вредност добиена. Блок дијаграмот на влезниот дел е прикажан на Слика 5.3.



Слика 5.3 Блок дијаграм на влезниот дел

Влезната импеданса од 50 Ohm е често потреба при мерење на РФ сигнали. Истите се пренесуваат преку коаксијален кабел со карактеристична импеданса од 50 Ohm. За да се избегне појавување на рефлексии на сигналот во кабелот, тој треба да биде соодветно терминиран во 50 Ohm импеданса. Ова се остварува со поврзување на 50 Ohm отпорник, паралелно со влезната импеданса од 1 Mohm.

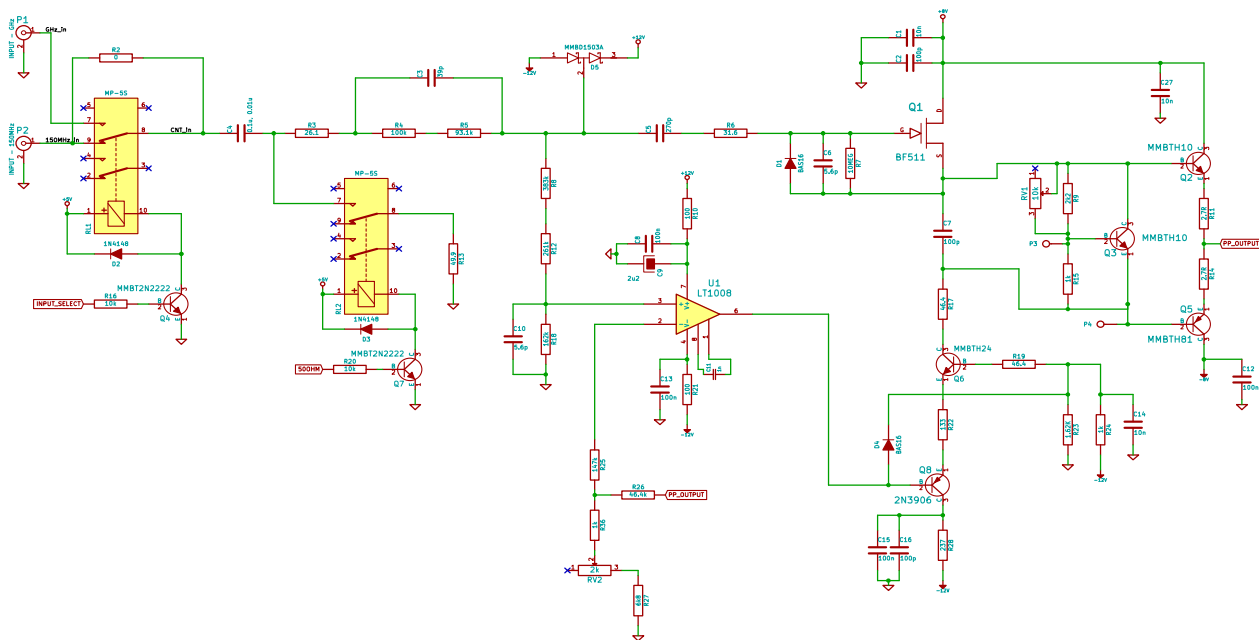
Одбедувањето на висока влезна импеданса (1 Mohm), а воедно и висок пропусен опсег, соодветен за мерачот на фреквенции, е многу потешко за остварување. За постигнување на ова барање, единствено решение кое нуди висока импеданса и широк пропусен опсег претставува сорсното следило, имплементирано со споен фет транзистор. Транзисторот со споен фет кога се користи како сорсно следило има многу висока импеданса, засилување приближно еднакво на 1 – врши функција на бафер и пропусниот опсег е ограничен на пропусниот опсег на самиот транзистор.

Сорското следило со споен фет покажува лоши резултати при ниски фреквенции. Заради оваа причина, влезниот дафер е дизајниран со две патеки за сигналот. Високо фреквентната патека се состои од сорското следило, додека ниско фреквенциската патека е реализирана со операциски засилувач, со голема влезна отпорност при ниски фреквенции. Операцискиот засилувач во оваа конфигурација врши двојна функција, т.ш. освен што овозможува нискофреквентна патека, тој е одговорен за поларизација на сорското следило.

На излезот од оваа конфигурација е поставена **Push-Pull** структура, составена од два комплементарни биполарни транзистори – NPN + PNP. Оваа структура е поставена тука поради особината што ја има за симетрична излезна импеданса, така што полесно ќе се проследи сигналот, без можност за појава на рефлексии кон следниот степен – компараторот.

Компараторот е одбран од серијата на ECL интегрални кола. Точниот компаратор употребен во дизајнот е интегралното коло AD96687BPZ од производителот Analog Devices. Овој компаратор е член на ултра-брзите компаратори до Analog Devices, со спецификации:

- Пропагационо доцнење од 2.5 ns
- Мала потрошувачка од 118 mW
- Низок влезен напон на офсет од 2 mV
- Голема температурна стабилност, со максимален дрефт од 20 $\mu\text{V}/^\circ\text{C}$



Слика 5.4 Шематски приказ на влезниот дафер

Колото AD96687BPZ е компаратор со диференцијален излез. За диференцијалниот излез да се прилагоди на едно линиски излез, а воедно да биде компатибилен за поврзување со влезот на Altera CPLD-то на следната плочка, употребен е брз ECL во TTL конвертор. Интегралното коло искористено во овој случај е 10N125, интегрално коло со четири ECL-to-TTL диференцијални конвертори во едно кукиште со максимално пропагационо доцнење од 2.5 ns.

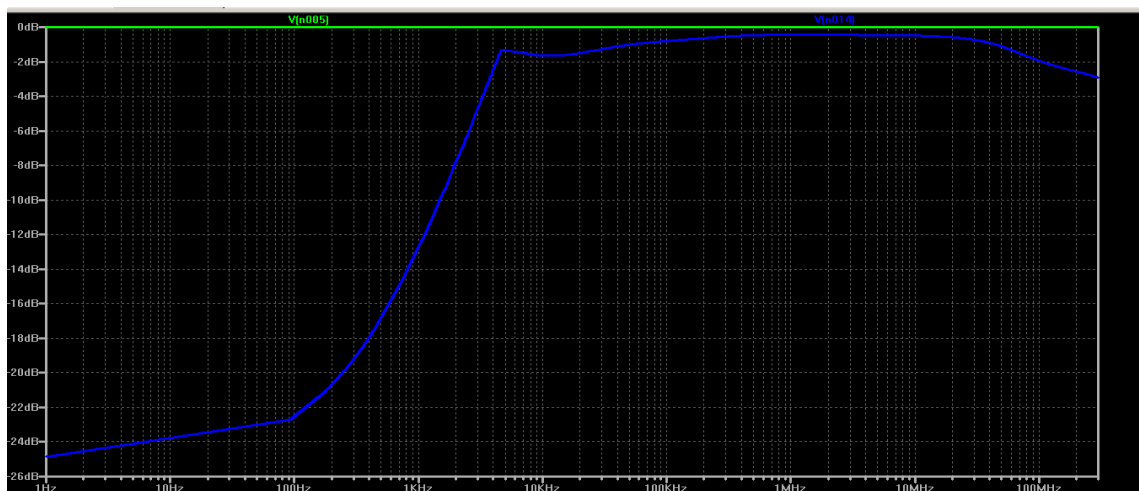
Шемата на влезниот дафер, составен од сорското следило, операцискиот засилувач и Push-Pull структурата е претставена на Слика 5.4.

Опис на колото

На влезот од колото (левата страна) се поставени два SMA конектори. Кој конектор ќе биде активен се одбира со помош на релето RL1. На едниот SMA конектор се донесува сигналот со максимална фреквенција од 150 MHz, а на другиот конектор се донесува сигналот од излезот на високофреквентниот делител (објаснет подолу). Сигналот поминува низ кондензаторот C4, така што се отстранува неговата DC компонента (доколку ја има). После кондензаторот се наоѓа реле кое што паралелно со останатиот дел од колото вклучува 50 OHM отпорник. Овој отпорник служи за одбирање на 50-омска влезна импеданса на мерниот инструмент. Потоа сигналот преку структурата R3, R4, R5 и C3 доаѓа до разделната точка на високофреквентната и нискофреквентната патека. Двете сериски диоди во едно кукиште – D5 служат за ограничување на сигналот доколку тој премине над $\pm 12V$ со што се спречува оштетување на колото.

Операцискиот засилувач, U1 – LT1008 претставува нискофреквентната патека на сигналот. Тој е поставен во конфигурација на неинвертирачки засилувач, со негативната повратна врска поставена на излезот на Push-Pull структурата. Неговиот излез се носи на структурата составена од транзисторите Q8 и Q6 кои што влијаат на струјата која што протекува низ гранката со споениот фет и директно се споени на влезот од Push-Pull следило. Засилувањето на ниски фреквенции се контролира со помош на тример-потенциометарот RV2.

Транзисторот со споен фет Q1 – BF511 ја формира високофреквентната патека на сигналот. Тој е AC одвоен од влезот со помош на кондензаторот C5 од 270pF. Неговиот излез – од сорсот се донесува на влезот на Push-Pull структурата, составена од транзисторите Q2 и Q5. Нивната мирна струја (DC струја, во отсуство на влезен сигнал) – струја на поларизирање се подесува со помош на тример-потенциометарот RV1 кој преку V_{be} множителот составен со Q3 ја подесува струјата низ базите на двата транзистори.

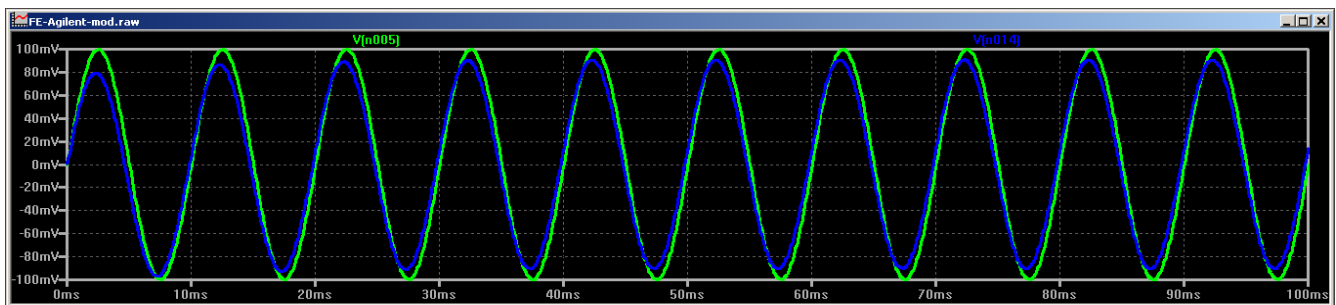


Слика 5.5 Преносна карактеристика на влезниот дафер

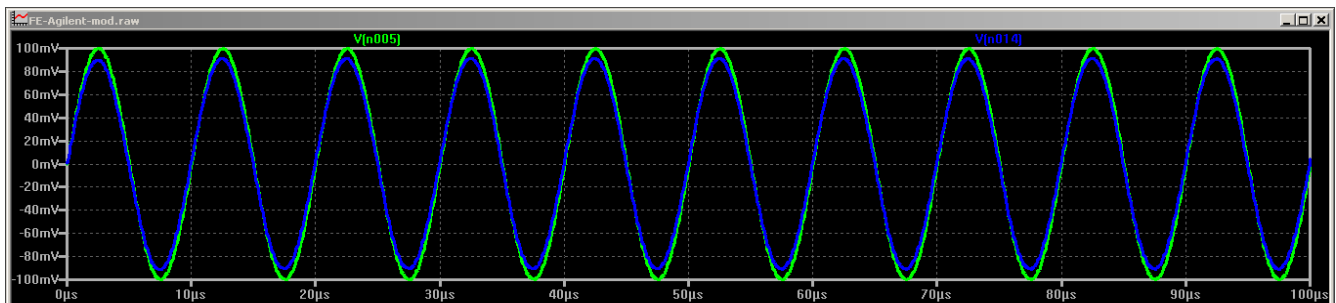
Пред изработка на колото на печатена плочка, направени се симулации во софтверскиот пакет LTSpice. Преносната карактеристика – $H(j\omega)$ е претставена на Слика 5.5.

Од симулацијата се забележува дека постои многу големо слабеење, од над -24dB на фреквенции до 4 KHz. Со понатамошни експерименти е откриено дека софтверскиот пакет LTSpice, со неговите интерни модели на одбраните елементи и модели превземени од страната на производителот, не врши добра симулација на коло од оваа комплексност (повеќе активни компоненти + операциски засилувач), па поради тоа неговите резултати при АС анализа (фреквентна анализа) не се доверливи.

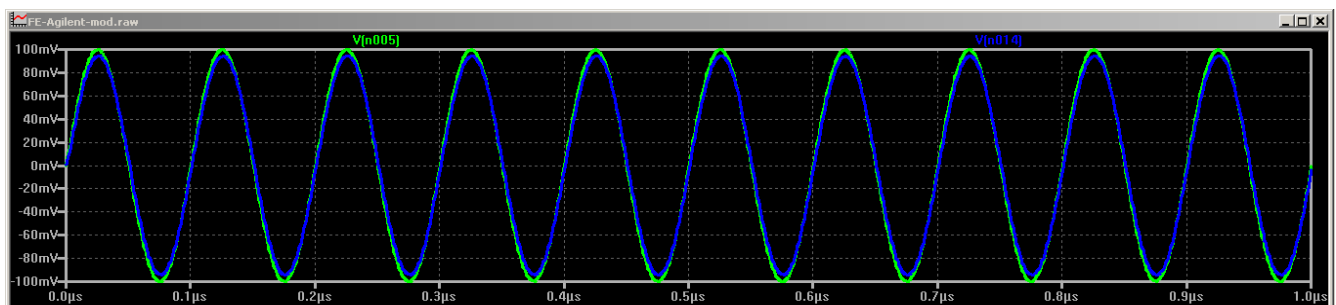
За таа цел направени се анализи во временски домен на неколку карактеристични фреквенции – 100 Hz, 100 KHz, 10 MHz, 150 MHz и 300 MHz. Резултатите од симулациите се приложени на Сликите 5.6 до 5.10 (зелениот сигнал е влезот, а синиот е излезот).



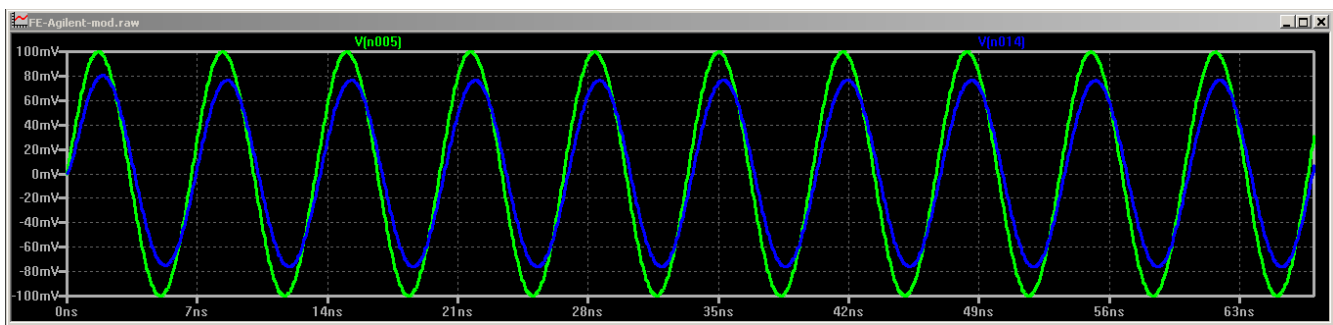
Слика 5.6 Влез-излез од даферот на 100 Hz



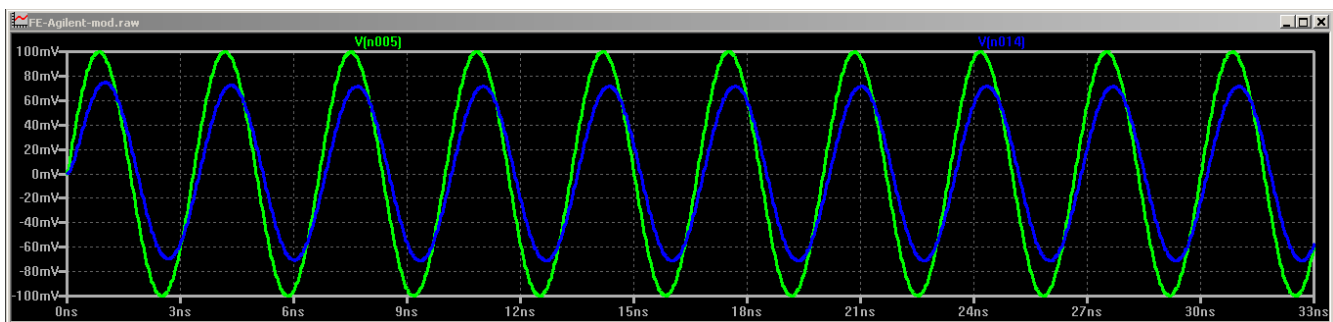
Слика 5.7 Влез-излез од даферот на 100 KHz



Слика 5.8 Влез-излез од даферот на 10 MHz

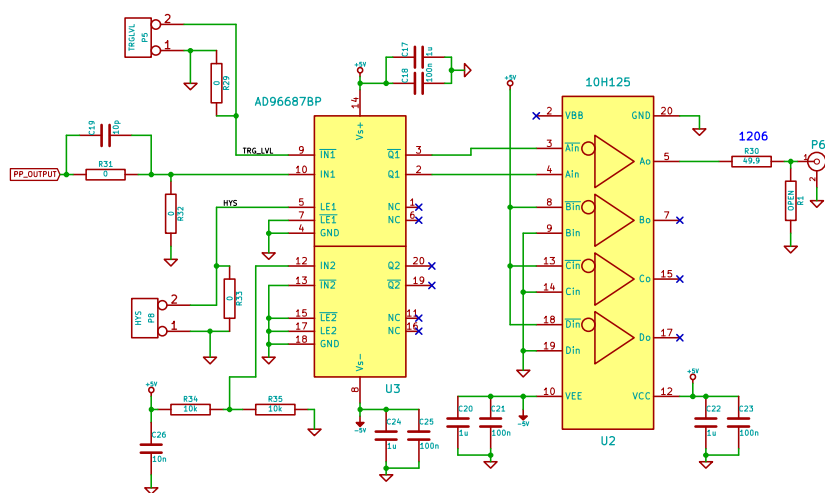


Слика 5.9 Влез-излез од даферот на 150 MHz



Слика 5.10 Влез-излез од даферот на 300 MHz

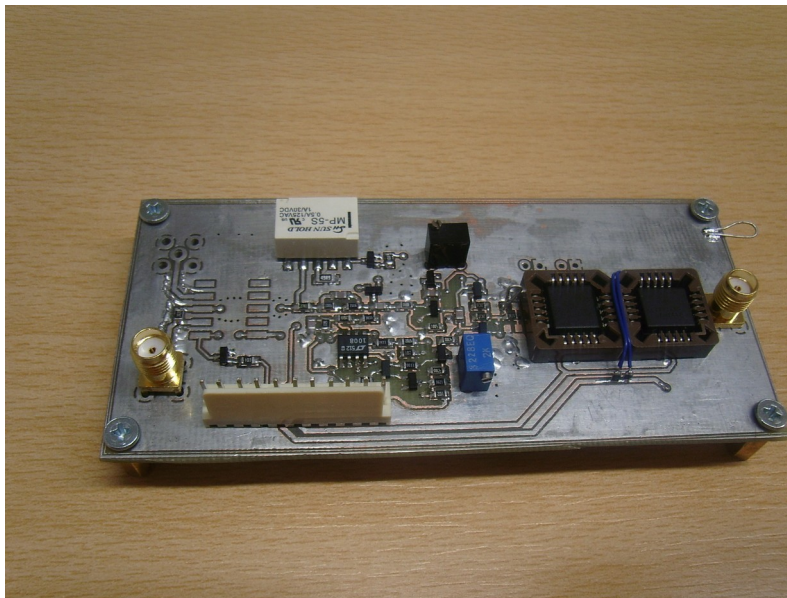
Излезот на даферот се носи на ECL компараторот и потоа преку конверторот се носи кон CPLD плочката. Шемата на оваа структура е прикажана на Слика 5.11. Едниот влез од компараторот е фиксиран на напонско ниво од 0 волти – маса, а другиот влез се донесува директно од излезот на даферот. Максималниот диференцијален напон што може да се донесе на влезите за споредба е $\pm 2V$. Од тука е ограничувањето за максималната амплитуда на влезниот напон. Има можност со помош на напонскиот делител составен од R31 и R32 да се зголеми овој опсег, но со тоа ќе се намали и чувствителноста на мерниот инструмент.



Слика 5.11 Шематски приказ на компараторот и конверторот ECL-to-TTL

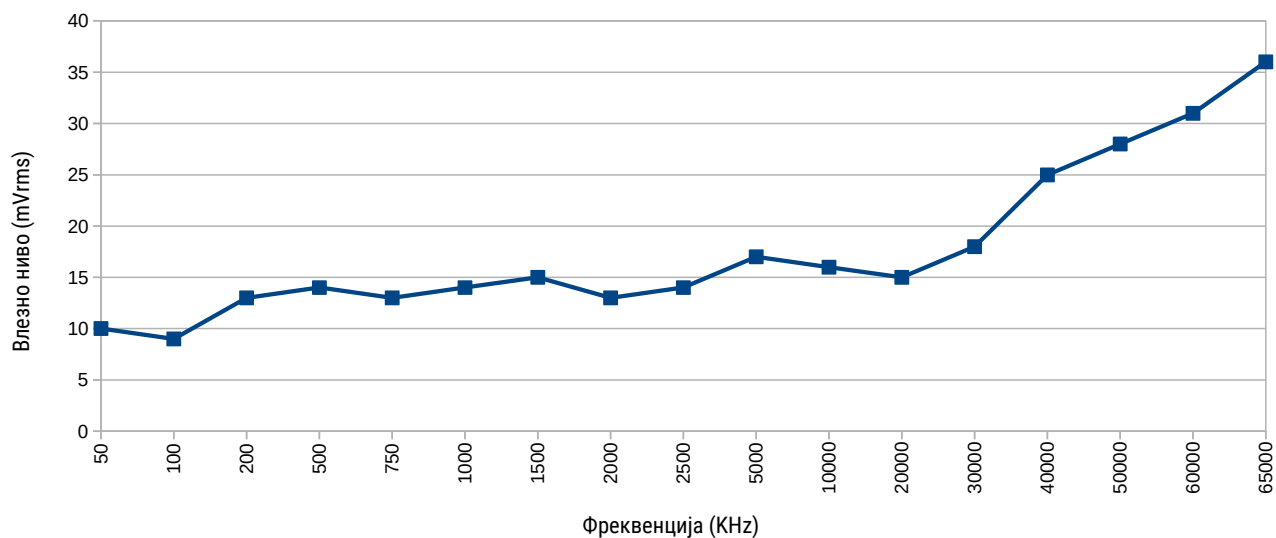
Влезниот дел е изработен на двослојна бакарна плочка од типот FR4 со стандардна дебелина од 1.6mm. Поради присуство на високофреквентни сигнали, водено е сметка за правење на што е можно пократки водови и истите да се во ист правец – без воведување на остри агли кои што би можеле да го попречат пропагирањето на сигналот.

На горниот бакарен слој се поставени компонентите што се во директна патека на сигналот – активните елементи и нивните пропратни пасивни компоненти. На вториот бакарен слој се поставени компонентите поврзани со напојувањето – сериските отпорници и кондензаторите на напонските линии. Помеѓу двата слоја се изработени колку што е можно повеќе спојници за полните бакарни полиња на нулто напонско ниво – маса (анг. Vias). Со оваа техника на „шиеење“ на слоевите (анг. via stitching) се намалува паразитната индуктивност и капацитивност што може да се создаде на одделните бакарни слоеви. Компараторот и конверторот се поставени во соодветни куќишта со што се овозможува нивно лесно менување.

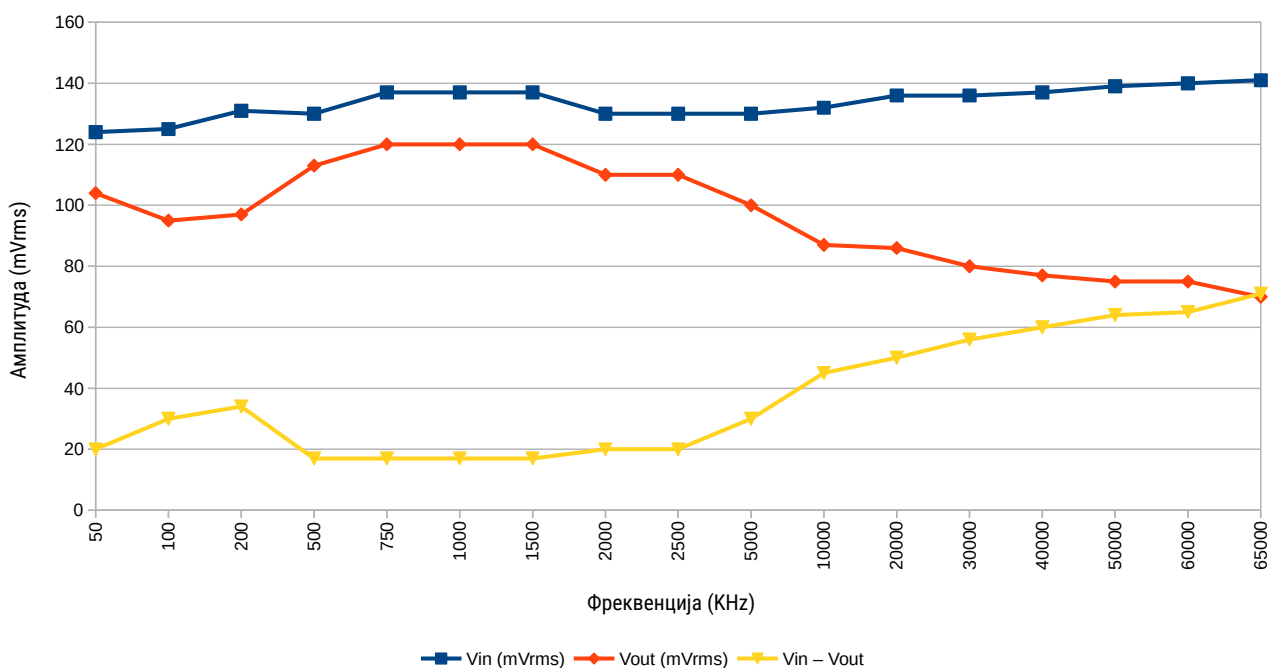


Слика 5.12 Приказ на изработениот влезен дел на ППК

Извршени се два типа на мерење на карактеристиките на изработената влезна плочка. Првото мерење се состои од мерење на преносната карактеристика – разликата на нивоата помеѓу влезниот сигнал и излезниот сигнал, мерен пред компараторот. Второто мерење е извршено за одредување на минималното напонско ниво на влезниот сигнал (mV_{rms}) при кое на излезот од конверторот 10H125 ќе се добие употреблив сигнал (со соодветна амплитуда и правоаголен облик). За мерењата се употребени инструментите сигнал генератор - HP 606B со фреквенциски опсег од 50 KHz до 65 MHz терминиран во 50 Ohm импеданса и осцилоскоп Tektronix TDS 2022B со фреквенциски опсег од 200 MHz. Резултатите од мерењата се прикажани на Слика 5.13 и 5.14.



Слика 5.13 Резултат од мерењето на чувствителноста на изработениот влезен дел



Слика 5.14 Резултати од мерење на преносната карактеристика на изработениот влезен дел

Резултатите даваат лош резултат во однос на теоретски очекуваните вредности. На повисоки фреквенции од 10 MHz се забележува пад на излезното напонско ниво, во однос на влезното во ранг од 50 mVrms или -3 dBmV. Ова е далеку пониска гранична фреквенција од очекуваната фреквенција од 150 MHz. Добиените резултати се должат на повеќе фактори, вклучувајќи:

- Потреба на користење на повеќе спојници на бакарните слоеви. Појавата на паразитната капацитивност го товари излезниот степен многу повеќе од очекуваното.
- Потреба на дизајнирање на електромагнетен штит – проводен капак кој ќе се постави врз сите делови каде што постои високофреквентен сигнал. За оваа намена треба да се искористат пософистицирани софтвери за симулација на електромагнетните појави на патеката на високофреквентниот сигнал. Ова е една од главните причина за неможноста за изработка на високофреквентниот делител во аматерски услови.
- Појава на паразитни капацитивности поради типот на употребената плочка – нејзината дебелина. Со користење на потенка бакарна плочка, се намалува можноста и вредноста на паразитните капацитивност што се јавуваат помеѓу слоевите
- Користење на активна сонда при извршување на мерењето. За овие мерење се употребени пасивни сонди кои што заедно со влезната импеданса на осцилоскопот (од редот на 10-30pF) може да создадат нископропусен филтер кој што воведува грешка при мерењето. Активните сонди имаат засилувачки елемент кој што обезбедува многу пониска влезна импеданса и подобар фреквентен опсег на мерениот сигнал.

Од второто мерење може да се заклучи дека добиените резултати се многу подобри од првично бараната минимална чувствителност од 50 mVrms. Горната гранична фреквенција на мерењата е ограничена на 65 MHz поради користената опрема – сигнал генераторот.

5.4 Референтен осцилатор

За референтен осцилатор одлучено е да се користи температурно контролиран кристален осцилатор - **ОСХО**. Осцилаторот е од фирмата STi и ги има следниве карактеристики:

- Номинална фреквенција од 10.000 MHz
- Stress Compensated пресек на интерниот кристал (подобра класа)
- Работен температурен опсег од -20°C до +70°C
- Стабилност во целиот температурен опсег од **±5 ppb**
- Годишно стареење од **±50 ppb**
- Работен напон од 12V
- Vc – контролен пин за подесување на излезната фреквенција во опсег **±10 ppm** во однос на номиналната
- Излезен напон, TTL компатибилен, со 5 Vpp амплитуда

Одбраниот осцилатор е од повисока класа, со што точноста на мерниот инструмент се очекува да биде повисока. Осцилаторот има и т.н. Vcontrol пин, кој што со соодветен напон (во опсег од 0 до 5V) влијае на излезната фреквенција. Ова е потребно при калибрирање на мерниот инструмент во однос на поточен инструмент, како и компензирање за стареењето на референтниот осцилатор.

За да може да се влијае на V_s пинот, на плочката со референтниот осцилатор е поставен систем од операциски засилувач во конфигурација на напонско следило кое што ги следи напонските промени на повеќе вртлив потенциометар, а неговиот излез е поврза на V_s влезот од ОСХО модулот. На овој начин може да се калибрира излезната фреквенција на осцилаторот.



OC 36 Series OCXO

Слика 5.15 Изглед на употребениот референтен осцилатор

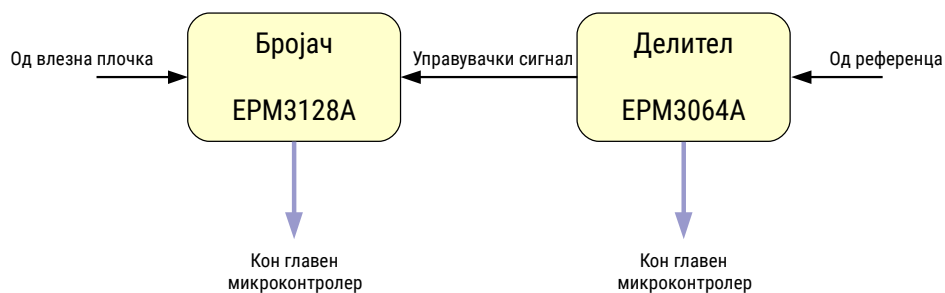
Референтниот осцилатор е изработен на еднослојна плочка. Неговиот излез преку интегрираното коло 74HC14 се донесува на SMA конектор со сериски отпорник од 50 Ohm, погодно за поврзување на коаксијален кабел со карактеристична импеданса од 50 Ohm. На самата плочка истотака е оставено место за вградување на температурен сензор, кој би се користел за мерење на температурата на куќиштето на осцилаторот. Информацијата за температурата може да се користи при детекција на проблем (дефект на осцилаторот) или за индикација за постигната работна температура.



Слика 5.16 Приказ на изработениот референтен осцилатор за мерачот на фреквенции

5.5 CPLD плочка

На изработената CPLD плочка се наоѓаат две CPLD интегрални кола. Двете се од серијата MAX3000A на производителот Altera. Едниот CPLD – EPM3064A-10N е одговорен за делење на референтниот такт од 10 MHz, кој се добива од референтниот осцилатор, на соодветните управувачки сигнали – 10s, 1s и 0.1s. Вториот CPLD – EPM3128A-5N е всушност самиот бројач – мерач на фреквенции. Во него се имплементирани соодветните бројачи и *glue logic* за да може да ја брои непознатата фреквенција која што му се донесува од влезната плочка. Блок дијаграм на оваа плочка е покажан на Слика 5.17.



Слика 5.17. Блок дијаграм на поврзувањето на CPLD плочката

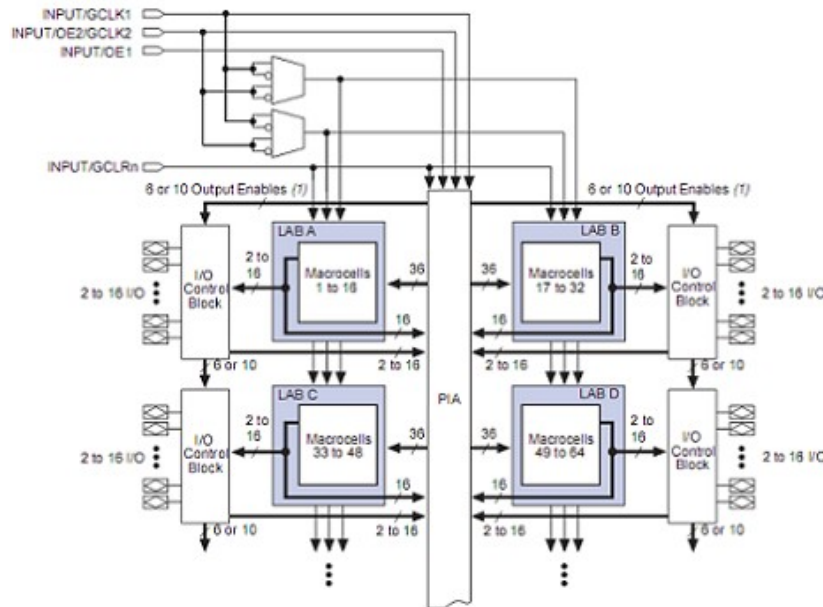
Делител – EPM3064A-10N

За формирање на делител, одлучено е да се искористи EPM3064A CPLD интегралното коло, кое што може едноставно да се реконфигурира преку пишување на соодветен VHDL код. CPLD интегрираното коло, во споредба со дискретниот делител, може повеќе пати да се конфигурира, нуди можност за сместување на поголема логика во него и зафаќа многу помал простор на печатената плочка. Спецификациите на EPM3064A се :

- Максимален број на корисни логички порти : 1250
- Макроќелии : 64
- Логички блокови : 4
- Максимален број на I/O пинови : 34
- Максимална работна фреквенција : 100 MHz
- Пакување : TQFP 44
- Постојана (анг. nonvolatile) EEPROM меморија за конфигурирање

На пинот GCLK1 на EPM3064A се донесува 10 MHz такт сигналот од плочката со референтниот осцилатор. Поврзувањето се извршува со помош на коаксијален кабел со карактеристична импеданса од 50 Ohm и SMA конектори на двете плочки со соодветни терминатори на 50 Ohm. Со ова се изедначуваат излезната со влезната импеданса, така што рефлексите што може да се јават поради високофреквентниот спектар на сигналот се минимизираат. Делителот има еден

излез, наречен divOut (во **Додаток 1** е приложен VHDL кодот на истиот), од каде поделениот такт се носи на вториот CPLD.



Слика 5.18 Интерен блок дијаграм на EPM3064A

Сигналот divOut интерно се генерира со помош на броење на одреден број на такт импулси од 10 MHz референцата и споредување на тој бројач со претходно зададена константна вредност, која што е запишана внатре во CPLD-то. Со менување на оваа вредност за споредба може да се генерираа саканите времетраења на управувачкиот – divOut сигнал. Следното парче VHDL код е одговорно за менување на константата за споредување.

```
with divSel select up_to <=
  std_logic_vector(to_unsigned(999999, 27)) when "00", -- Gate time : 0.1s
  std_logic_vector(to_unsigned(9999999, 27)) when "01", -- Gate time : 1s
  std_logic_vector(to_unsigned(99999999, 27)) when others; -- Gate time : 10s
```

divSel претставува двобитен влез (два пина на и.к.) со кое што се менува вредноста што ќе се вметне во интерниот сигнал *up_to*. Бројачот цело време се зголемува со растечката ивица на такт сигналот. Кога вредноста на бројачот ќе биде еднаква на *up_to*, divOut ја менува вредноста, така што ако претходно бил на логичко ниво 1, сега ќе ја промени вредноста во логичко ниво 0 – ниско и обратно. При промената од логичко ниво 1 на логичко ниво 0, имплементирана е уште една функција, која што при промена на оваа состојба, горниот лимит за броење го поставува на вредност 999999, со што одговара на 100 ms. Ова е направено со цел логичкото ниво 0 да биде задржано точно 100 ms – време во кое главниот микроконтролер треба да го прочита главниот CPLD, ги направи сите потребни математички операции и го прикаже новиот резултат од мерењето на дисплеј. Ова се постигнува со следниот VHDL код.


```

if(counter = countLimit) then

    if(intDiv = '0') then
        countLimit <= up_to;
    elsif(intDiv = '1') then
        countLimit <= std_logic_vector(to_unsigned(999999, 27));
    end if;

    intDiv <= NOT intDiv;
    counter <= (others => '0');
else
    counter <= std_logic_vector(unsigned(counter) + 1);
end if;

```

Постои уште еден влез – clr на самиот бројач, кој при растечка ивица го пребришува интерниот бројач на вредност 0. Ова треба да се искористи од главниот микроконтролер при промена на горниот лимит при дроењето. Со транзиција од 1 на 0 на овој влез, дроењето започнува.

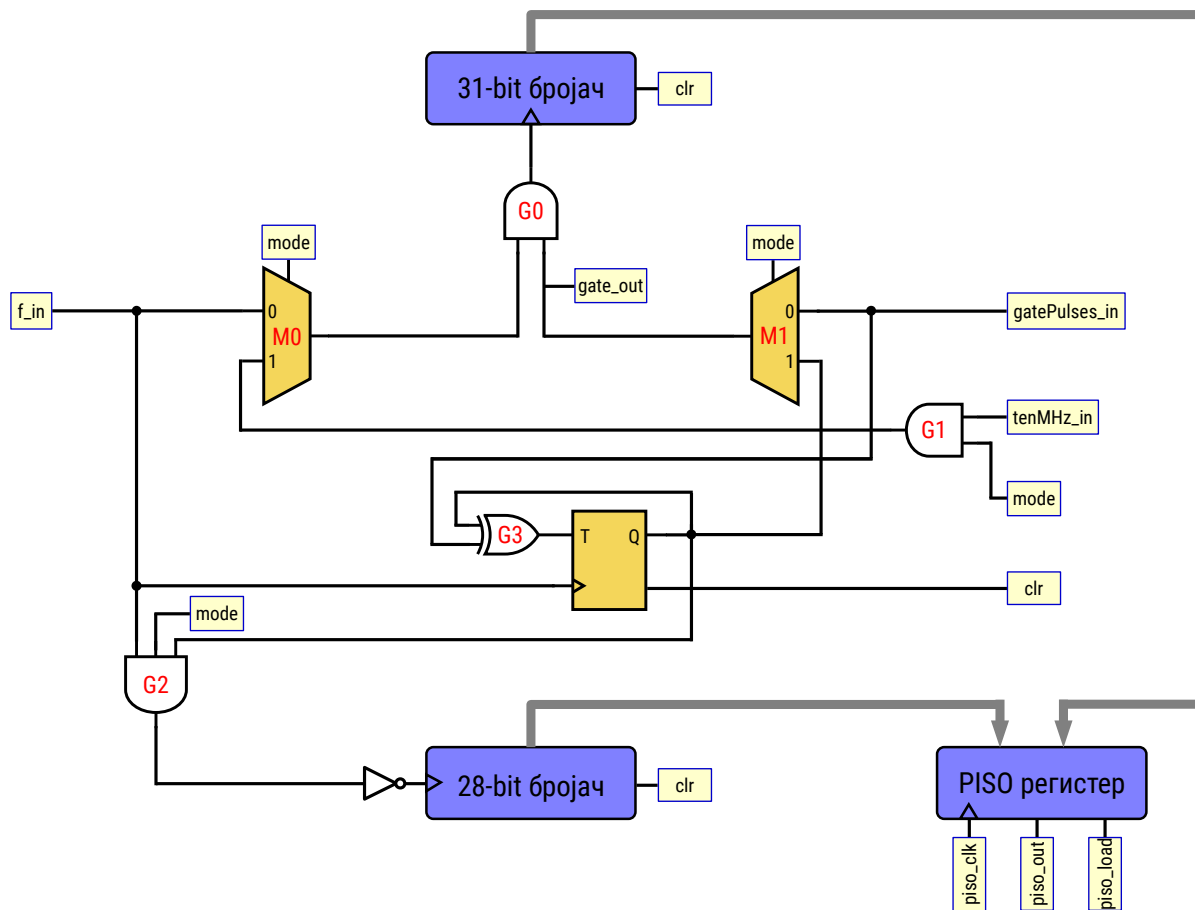
Бројач – EPM128A-5N

Главната функционалност на мерачот на фреквенции е имплементирана во т.н. CPLD за дроење. Неговите карактеристики се следните :

- Максимален број на корисни логички порти : 2500
- Макроќелии : 128
- Логички блокови : 8
- Максимална работна фреквенција : 192.3 MHz
- Пакување : TQFP 100
- Постојана (анг. nonvolatile) EEPROM меморија за конфигурирање

Овој чип е најскапиот чип со вредност од 30€ што е употребен во изградбата на мерниот инструмент, поради неговата брзинска класа 5N со горна гранична фреквенција до 200 MHz.

Во самиот CPLD се имплементирани потребните бројачи и логички кола, за извршување на мерењето на фреквенцијата, а потоа преку соодветен PISO регистер, вредностите на бројачите се превземаат од страна на микроконтролерот. На Слика 5.19 е прикажана упростената блок структура на имплементираниот VHDL код во овој CPLD, а во **Додаток 2** е приложен целиот VHDL код.



Слика 5.19 Интерна структура – блок дијаграм на главниот CPLD

Главниот дизајн се базира на два бројачи, едениот 31 битен и другиот 28 битен. Овие два бројачи се користат или заедно во методата на реципрочно броење, или само првиот 31 битен бројач со користење на методата на директно броење. Излезите од двата бројачи се донесуваат на PISO регистерот кој со помош на трите пинови за интерфејсирање – `piso_clk`, `piso_load` и `piso_out` ги пренесува податоците кон микроконтролерот како 59 бита, без разлика од методата на мерење.

Пиновите за поврзување со микроконтролерот се следните :

1. `f_in` – влез за надворешната непозната фреквенција
2. `mode` – пин за селектирање на режимот на работа, 0 – директно броење, 1 – реципрочно мерење на фреквенцијата
3. `clr` – влез за ресетирање на сите бројачи и T флип-флоп-от
4. `tenMHz_in` – влез на чист (директно) 10 MHz сигнал од референтниот осцилатор
5. `gatePulses_in` – влез од сигналот за управување, ова е излезот од првиот CPLD т.е. овој пин е поврзан на `divOut` пинот на EPM0364A.
6. `gateOut` – влез од сигналот за управување и излез од првиот CPLD (поврзан на `divOut` пинот на EPM0364A)
7. `piso_clk` – влезен такт сигнал за PISO регистерот. Овој сигнал е генериран од микроконтролерот и е активен само при читање на вредноста од PISO регистерот

8. `piso_load` – влезен сигнал на PISO регистерот. При растечка ивица на оваа линија, вредностите на интерните бројачи се впишуваат во т.н. бафер регистри во самиот PISO регистар.
9. `piso_out` – излезна линија на PISO регистерот. Овде податоците се испраќаат сериски со ориентација LSB прво.

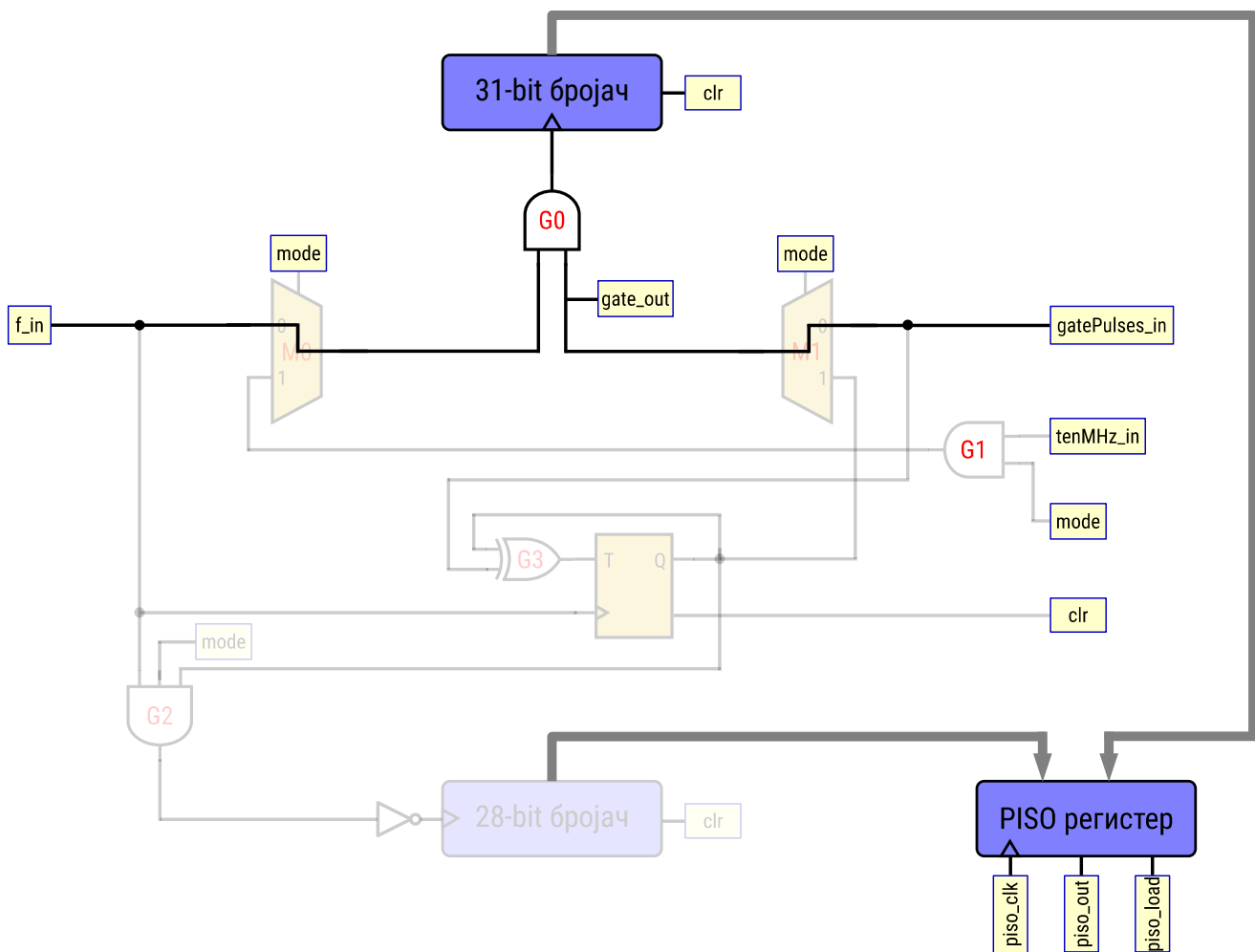
Во продолжение детално се објаснети двата мода на работа – при директно броење и при реципрочно мерење на фреквенцијата.

5.5.1 Директно броење – `mode = 0`

Кога пинот `mode` ќе се постави на логичко ниво 0, режимот на работа на интерните компоненти се поставува така што :

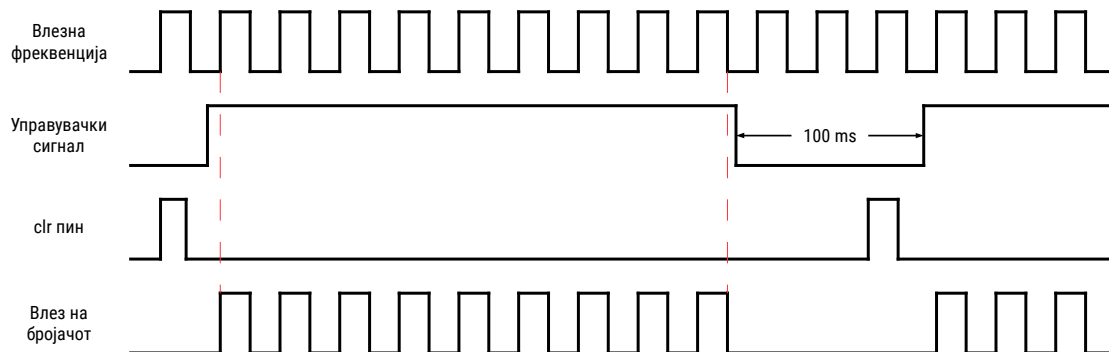
- Мултиплексерот M0 го одбира нултиот влез да пропагира на неговиот излез – едниот влез на главната И порта – со тоа `f_in` влезот на непознатата фреквенција се појавува на еден од влезовите на И портата.
- Мултиплексерот M1 го одбира нултиот влез да пропагира на неговиот излез – на другиот влез на главната И порта, а со тоа управувачкиот сигнал е `gatePulses_in` сигналот, добиен од надворешниот делител на такт.
- И - портата G1 е неактивна, со тоа 10 MHz сигналот не пропагира никаде внатре во колото.
- Портата G2 е неактивна, со што 28 битниот бројчај не е поврзан на извор на такт сигнал како и T-FF.

На Слика 5.20 графички е илустрирано кои интерни компоненти се активни во CPLD-то при одбирање на модот = 0.



Броењето се одвива како што беше опишано во секцијата 3.1. При растечка ивица на контролниот сигнал `gatePulses_in`, G0 портата го пропушта влезниот сигнал `f_in` директно во 31 битниот бројач. За времетраење на контролниот сигнал, бројачот ги брои растечките ивици на влезниот сигнал. Во преминот од високо на ниско ниво на контролниот сигнал, со помош на `gate_out` излезот се генерира соодветен интерапт, кој треба да биде опслужен од страна на микроконтролерот. Опслужувањето се одвива така што :

Целата процедура треба да се заврши во рок од 100 ms, со што повторно на gatePulses_in пинот (управувачкиот сигнал) ќе се појави високо ниво од страна на делителот. Брановите облици на карактеристичните точки се прикажани на Слика 5.21.



Слика 5.21 Бранови облици во карактеристичните точки за директно броење

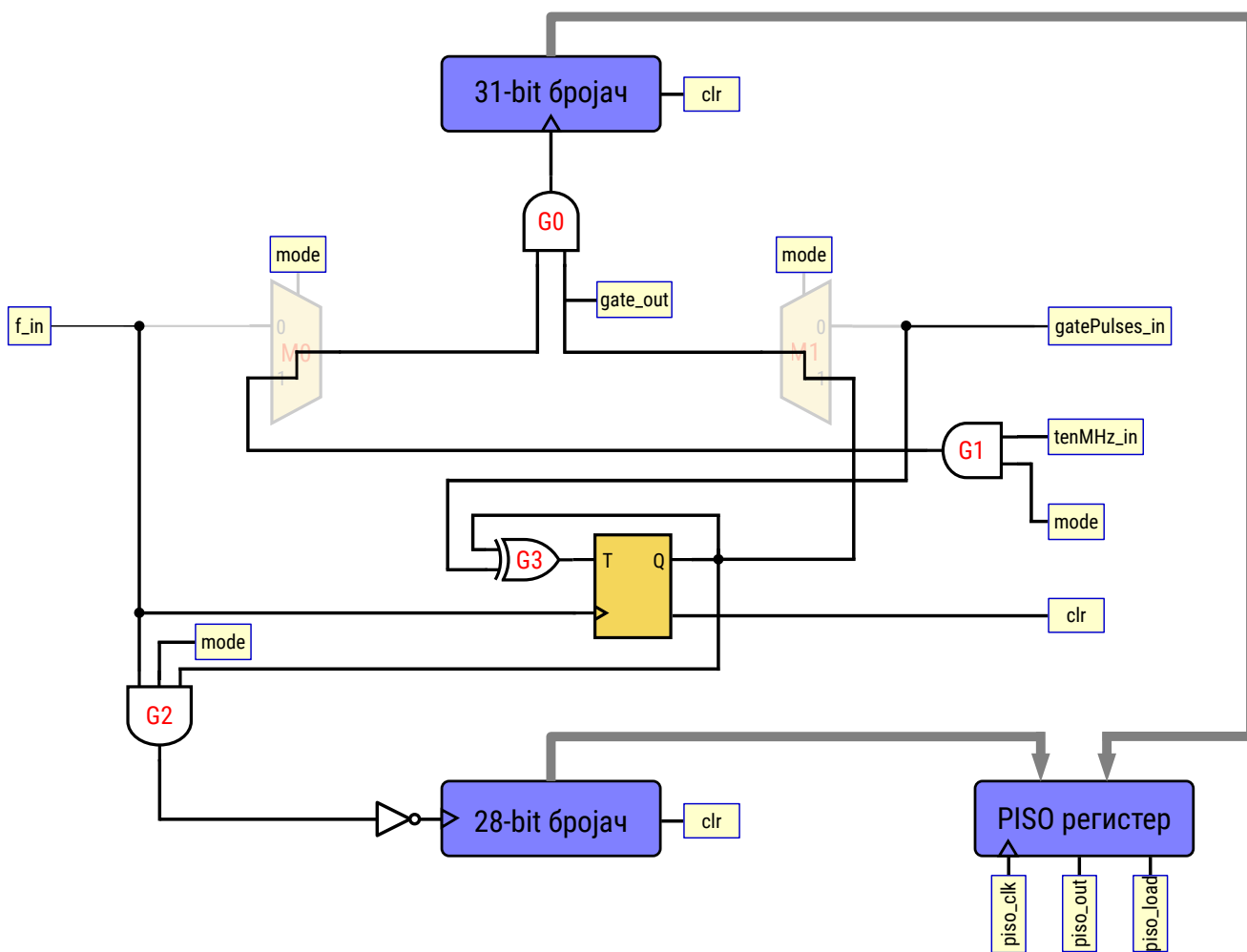
5.5.2 Реципрочно броење – mode = 1

Со поставување на логичко ниво 1 на mode пинот се влегува во режим на реципрочно броење. Во овој режим поставеноста на интерните сигнали и компоненти е следната :

- Мултиплексерот M0 го одбира влезот 1 да се пропагира на излезот. Ова е излезот на портата G1
- Портата G1 е активна – 10 MHz сигналот преку мултиплексерот се донесува на левиот крај од G0 И портата
- Контролниот сигнал на десната страна од G0 портата е донесен од Q излезот на T-FF. Оваа структура подетално е објаснета подолу
- Портата G2 има можност да се активира, така што се поставуваат услови вториот бројач да може да брои импулси на влезниот сигнал

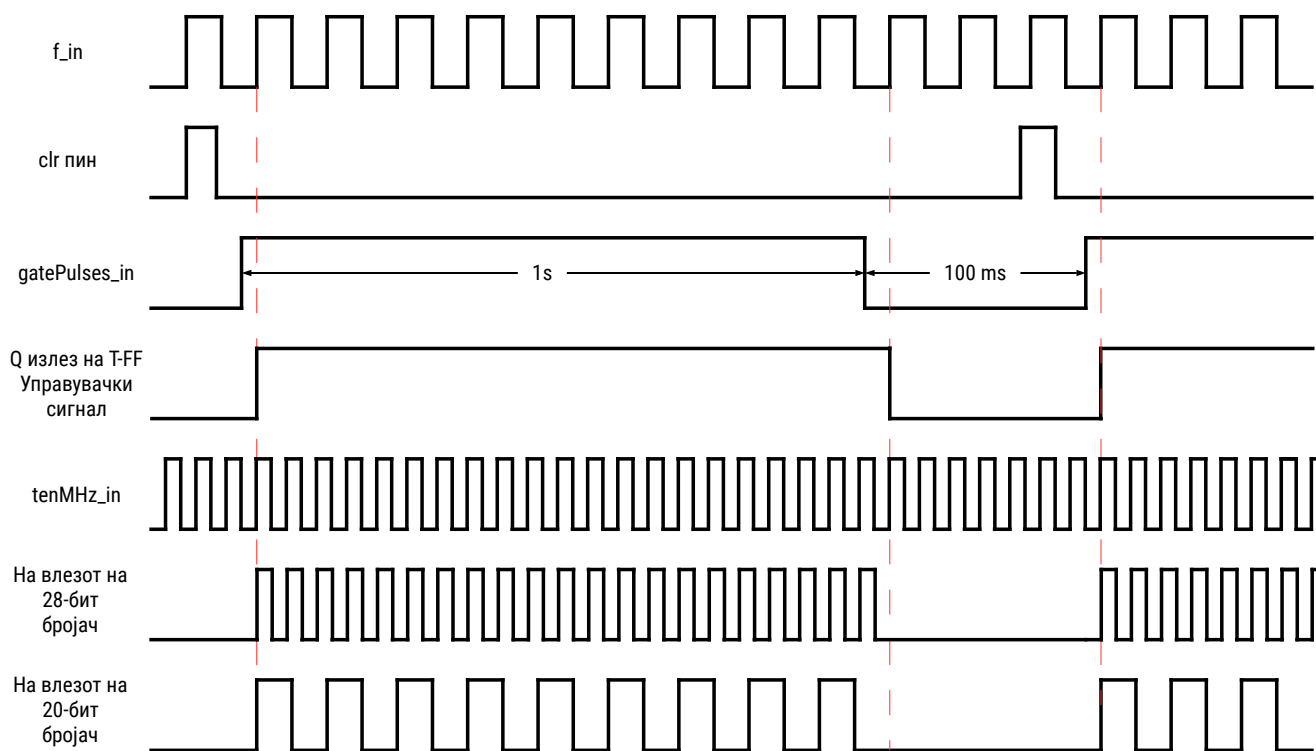
Структурата составена со Исклучиво-ИЛИ портата G3, заедно со T-FF служи за синхронизирање на управувачкиот сигнал (сега добиен од Q излезот на T-FF) со влезниот сигнал присутен на f_in. Колото работи така што во првиот момент пред почнување на мерењето, Q излезот е поставен на логичка 0 – clg пинот е активен. Во моментот кога clg пинот ја променува состојбата од 0 во 1, T-FF е активен и неговата состојба може да се промени со промена на неговиот T влез. Нека после одредено време се појави импулс на пинот gatePulses_in. На влезот на XOR портата во овој момент ќе биде присутна комбинација 0-1, т.ш. излезот ќе се постави на 1. Во моментот на појавување на растечка ивица на f_in влезот, излезот Q на T-FF ќе се постави на логичко ниво 1. Со ова се отвара главната И порта и почнува мерењето на 10 MHz такт сигнал во 31 битниот бројач и во исто време се отвара портата G2 со што 28 битниот бројач ги брои промените на

влезниот сигнал f_{in} на опаѓачка ивица. Поставување на Q излезот од T-FF на логичка 1 за времетраење на сигналот $gatePulses_{in}$ ќе предизвика излезот од XOR портата G3 да се промени на логичка 0. Со ова T-FF ќе си за задржи неговата вредност на излезот – логичка 1. После одредено време, сигналот на $gatePulses_{in}$ ќе ја промени состојбата од логичко ниво 1 во логичко ниво 0. Со оваа промена на влезот на XOR портата ќе се појави комбинацијата 1-0, со што на неговиот излез, влезот T на T-FF ќе се појави повторно логичка 1. На следната растечка ивица на сигналот f_{in} , Q излезот од T-FF ќе се постави на логичка 0 со што главната И порта G0 ќе се затвори и ќе се сигнализира завршување на циклусот за мерење, портата G2 ќе се затвори со што ќе се запре дроењето на 28 битниот бројач. На Слика 5.22 е прикажана поврзаноста на интерните водови при режимот на реципрочно дроење.



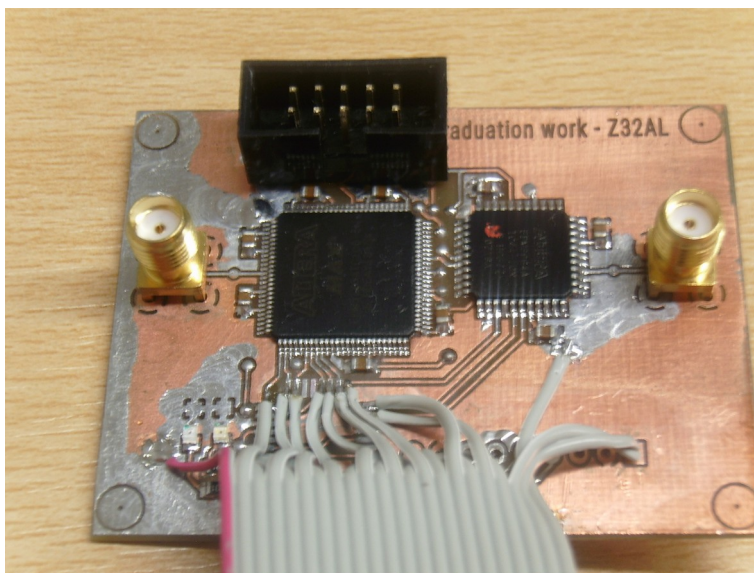
Слика 5.22 Активни елементи при реципрочно дроење

На Слика 5.23 се прикажани брановите облици на сигналите во карактеристичните точки во оваа структура. Земено е дека $gatePulses_{in}$ се со времетраење од 1s.



Слика 5.23 Бранови облици во карактеристичните точки за реципрочно броење

CPLD плочката е изработена на двослојна бакарна плочка од FR4 материјал. На првиот бакарен слој се наоѓаат двата CPLD со соодветните SMA конектори за референтниот осцилатор и влезниот сигнал и поврзувањето на конекторот за до контролната плочка.



Слика 5.24 Изработената CPLD плочка

Првичното поврзување на сигналите од CPLD плочката беше направено со рамен кабел (анг. flat cable) така што во средината се наоѓаа сите дигитални сигнали а на неговите краеве се носеа напонските линии. Ова во практиката се покажа како лош избор поради постоење на капацитивно преслушување на дигиталните водови. Поради оваа цел, на контролната плочка се поставија соодветни феритни прстени, низ кој поминува сигналот и служат за намалување на високофреквентната содржина во дигиталните сигнали и рамниот кабел е организиран така што помеѓу било кои дигитални конекции (жици) е поставена жица поврзана на маса. Со ова се формира т.н. електростатички штит (анг. electrostatic shielding) и е решен проблемот на преслушување.

5.6 Предлог решение – GHz делител

За да може да се прошири опсегот на влезната фреквенција на мерниот уред, треба да се употреби соодветен високофреквентен делител, кој што високата фреквенција ќе ја приспособи – подели, во основниот опсег на мерниот инструмент. Основната компонента на оваа плочка, е гигахерцниот делител – прескалер. Неговата горна гранична фреквенција ќе го дефинира опсегот на влезниот сигнал, а неговиот излез мора да биде во основниот опсег на мерачот на фреквенции – во овој случај 150 MHz. За оваа цел, делителот мора да има соодветен однос на делење во самата структура. Понекогаш кога нема да може да се добие саканиот однос на делење на влезната/излезната фреквенција, може да се употребат повеќе делители врзани во серија. Листа на предлог делители за проширувањето на опсегот на инструментот е следната :

- MC12080, 1.1 GHz делител со конфигурабилен однос на делење - $\div 10$, $\div 20$, $\div 40$ и $\div 80$
- MC12093, 1.1 GHz делител со конфигурабилен однос на делење - $\div 2$, $\div 4$ и $\div 8$
- MB506, 2.4 GHz делител со однос на делење од $\div 64$, $\div 128$ и $\div 256$
- MC12079, 2.8 GHz делител со однос на делење од $\div 64$, $\div 128$ и $\div 256$
- HMC363S8G, 12 GHz $\div 8$ делител
- HMC494LP3, 18 GHz $\div 8$ делител

Соодветните односи на делење на влезната фреквенција може да бидат одбрани од страна на корисникот или може таа одлука да му се допушти на управувачкиот микроконтролер во мерниот инструмент, кој ќе го одбере односот на делење за да може да ја мери влезната фреквенција со максимална резолуција.

Доколку влезниот високофреквентен сигнал што се донесува до делителот е со многу мало ниво, треба да се употребат соодветни засилувачи во високофреквентен домен наречени ММИС - *Monolithic Microwave Integrated Circuit*. Овие засилувачи претставуваат цел склоп, со соодветно коло за поларизација и соодветни помошни елементи во едно кукиште. Понекогаш е потребно да се употребат повеќе вакви засилувачи, каскадно поврзани со серија за да се добие посаканото засилување.

Излезниот сигнал од делителот на фреквенција се носи, со помош на реле на влезот на основниот опсег за мерење. Притоа мора да се води сметка за соодветниот однос на делење, истиот да биде употребен при приказот на измерената фреквенција на дисплејот.

Затоа што гигахерцното подрачје е т.н. микробраново подрачје, при дизајнот, а особено при изработката на самата плочка мора да се почитуваат правилата за дизајнирање во високофреквентно РФ подрачје. Некои од овие правила вклучуваат :

- Изработка на микро-ленти на самата плочка како водови со контролирана импеданса
- Користење на материјал за плочката со многу ниски загуби (стандардниот FR4 материјал има лоши карактеристики во гигахерцното подрачје)
- Употреба на професионално изработени плочки (многу тешка/невозможна е нивната изработка во аматерски услови)
- Правилно користење на прespoјување на слоевите на плочката
- Дизајнирање и оклопување на плочката за минимизирање на надворешните пречки

Проблемите кои што може да се јават при изработката вклучуваат:

- Рефлексии на сигналот поради несоодветни импеданси во ланецот на сигналот
- Атенуација на сигналот поради паразитни капацитивности и индуктивности
- Само-осцилирање на засилувачите поради паразитни индуктивности
- Подлежност на електромагнетни пречки од други уреди
- Радијација на електромагнетни бранови – создавање на електромагнетни пречки

За мерење на било кој склоп во гигахерцното подрачје, мора да се води посебна грижа при поставување на опремата. При мерење на карактеристични точки во ланецот на сигналот, мора да се користат високо фреквентни пасивни сонди. Некогаш сигналот неможе да се мери со пасивна сонда поради воведување на несакани ефекти во ланецот на сигналот, па тогаш мора да се користи активна сонда специфично наменета за мерење на високофреквентни сигнали.

Доколку се мери излезот од ланецот на сигналот – пример излезот од предзасилувачот на високофреквентниот делител, мерењето мора да се врши со соодветно терминиран коаксијален кабел за да се избегнат рефлексии на сигналот.

Поради резултатите добиени од мерењето на нискофреквентниот дел и воочување на проблемите кои што се појавуваат таму, одлучено е да не се продолжи со изработка на високофреквентниот делител, поради наведените проблеми при неговата изработка. Можноста за поставување на високофреквентен делител е вградена во самиот мерен инструмент (втор влез во предниот дел), па ист таков може да се вгради после негова успешна изработка.

5.7 Централна контролна плочка

Целиот мерач на фреквенции е контролиран од т.н. централна контролна плочка. На самата плочка е поставен главниот микроконтролер - AtMega2560 од фирмата Atmel. Неговите карактеристики се следните :

- 8-битна AVR архитектура (Harvard) во TQFP100 кукиште
- 256 KB програмска меморија
- 8 KB RAM меморија
- 4 KB EEPROM меморија
- 16 MHz максимална брзина на такт
- Шестнаесет 10-битни ADC канали
- Комуникациска периферија: UART, SPI, I²C

Основната задача на микроконтролерот е да комуницира со CPLD плочката, соодветно да ги исчитува вредностите во нејзиниот PISO регистер и истите да ги прикажуваа на дисплејот. Исчитувањето на PISO регистерот се започнува со добивање прекин (interrupt) на опаѓачка ивица од страна на *gate_out* пин-от на CPLD плочката. После добивање на интерапт, микроконтролерот има време од 100ms да го заврши исчитувањето, пред да почне нареден циклус на броење на фреквенцијата.

Микроконтролерот воедно треба да ги чита состојбите на влезните преклопници – прекинувачи за подесување на работата на мерниот инструмент и соодветно да ги подесува соодветните интерни сигнали како и соодветни индикатори за статусот на инструментот (LED диоди). Влезните преклопници/прекинувачи се следните :

- Прекинувач со три позиции за одбирање на модот на работа :
 - **Автоматски режим** – за влезни фреквенции под 10 MHz се користи методот на реципрочно броење на фреквенцијата, а за повисоките се користи методот на директно броење
 - **Директно броење** – за сите фреквенции се користи методот на директно броење на фреквенцијата
 - **Реципрочно броење** – за сите фреквенции се користи методот на реципрочно броење на фреквенцијата
- Прекинувач со три позиции за одбирање на времетраењето на контролниот сигнал :
 - **100 ms**
 - **1 s**
 - **10 s**

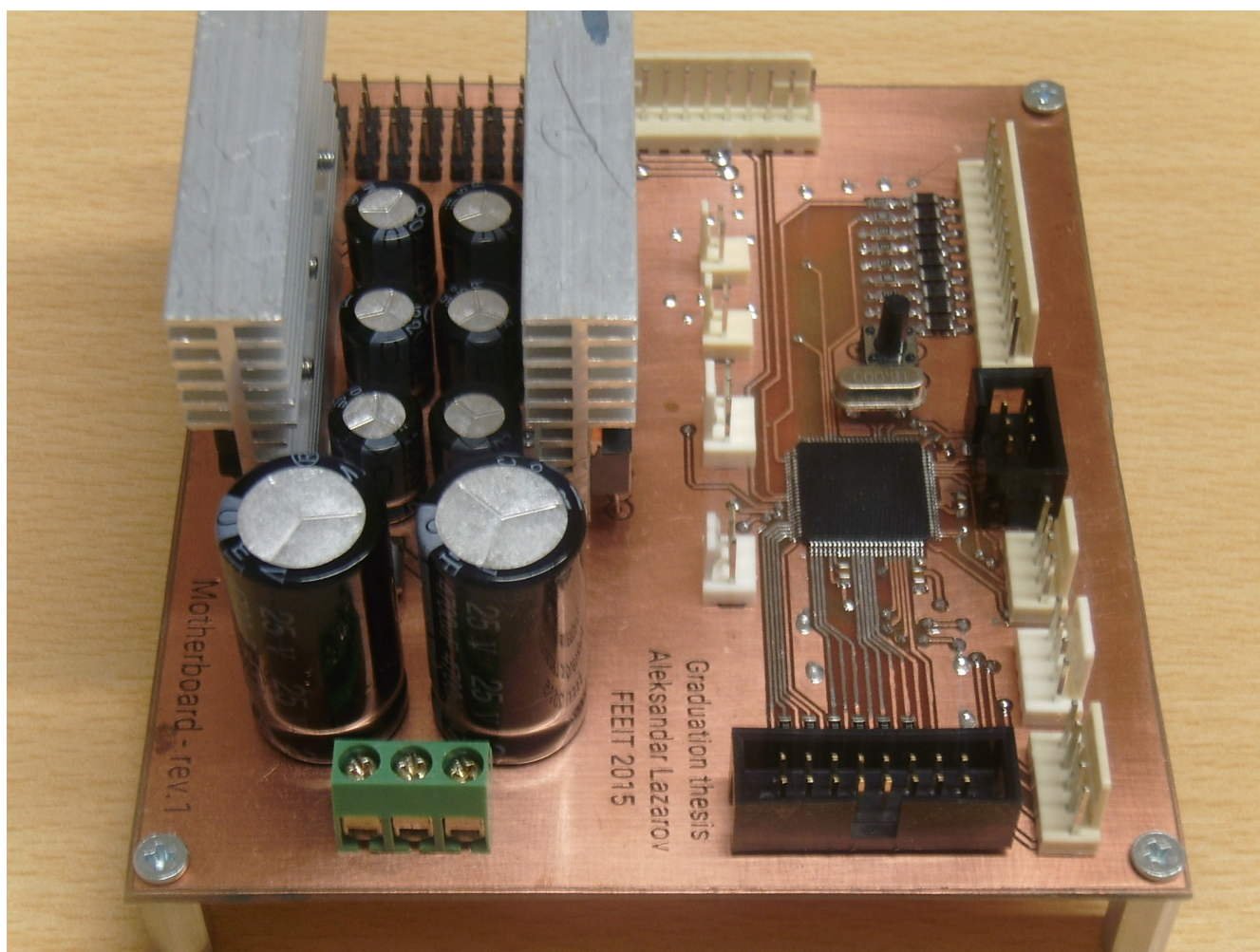
- Прекинувач со две позиции за подесување на влезната отпорност на инструментот :
 - **1 MΩ**
 - **50 Ω**
- Прекинувач со две позиции за одбирање на опсегот на сигналот :
 - **Низок опсег**, до 150 MHz – сигналот се носи директно на влезниот дел
 - **Висок опсег**, GHz подрачје – сигналот се носи на влезниот дел преку високофреквентниот делител/прескалер

Соодветните LED индикатори се :

- Три индикатори за модот на работа – автоматски, директно или реципрочно броење
- Одбереното времетраење на контролниот сигнал – 100 ms, 1 s, 10 s
- Индикатор за дали влезната отпорност е 50 Ω. Во спротива отпорноста е 1 MΩ.
- Индикатор за мерење во прогрес – се вклучува додека трае контролниот сигнал
- Индикатор за дали високофреквентниот влез е активен или не.

При одбирање на автоматскиот мод на мерење, микроконтролерот прво го подесува модот на броење во директна метода. Ја исчитува влезната фреквенција и во однос на најзначајната цифра одлучува дали треба да го задржи методот на директно броење или во наредната итерација на мерење да го промени методот во реципрочно броење. Проверката на најзначајната цифра се врши при секоја нова инстанца на мерење, а новата промена на методот на мерење (доколку истата е потребна) ефективно се активира во наредното мерење.

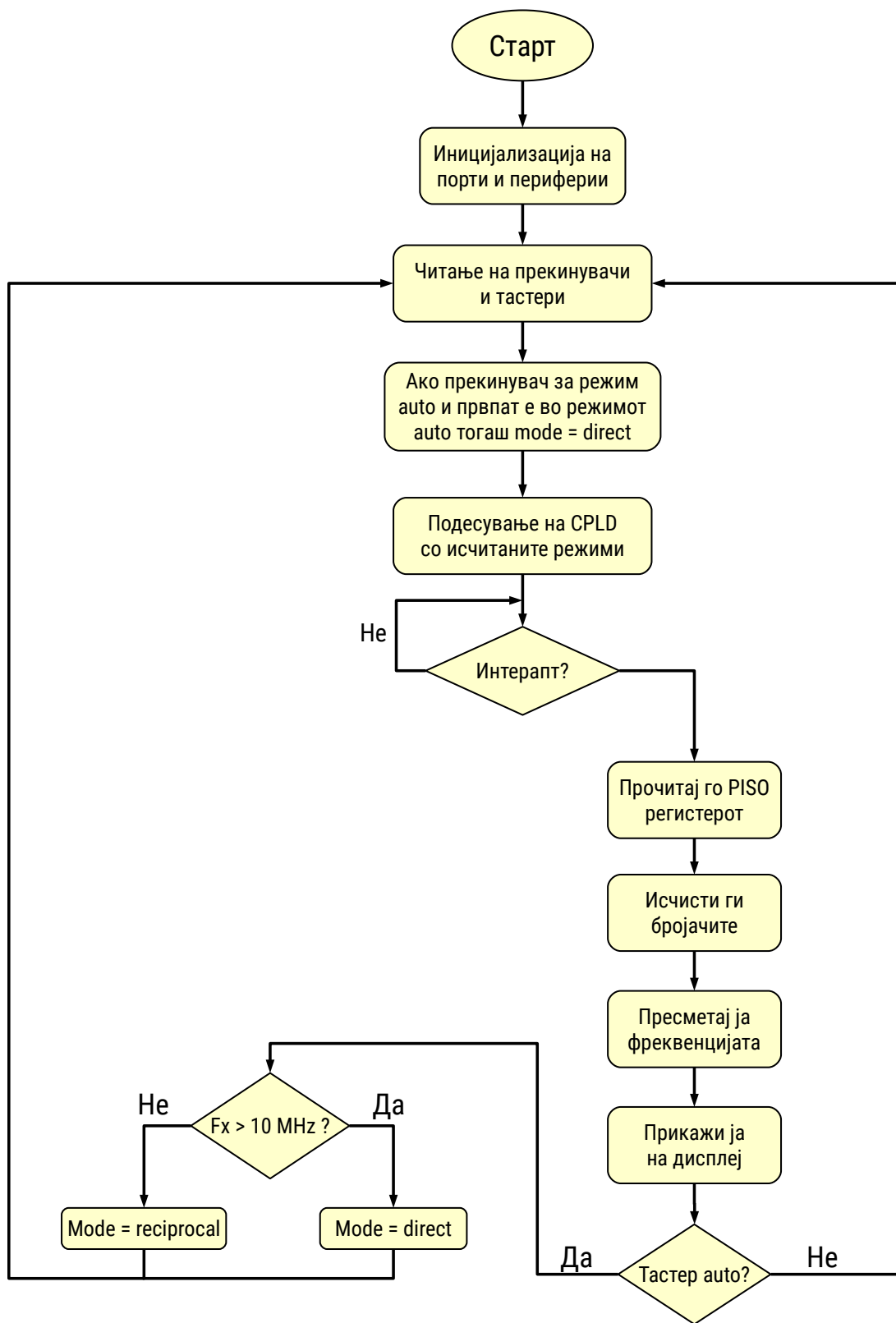
Изработката е повторно направена со користење на двослоја FR4 бакарна плочка. На почката во централниот дел е поставен микроконтролерот заедно со сите потребни конектори во негова близина. Во долниот дел на плочката е поставена секцијата за напојување, заедно со алуминиумски ладилни тела поради дисипирање на топлина од линеарните напонски регулатори. Посебно внимание е водено за да не се појави куса врска во секцијата за напојување и линеарните регулатори да се одвоени од алуминиумските ладилни тела со помош на изолациона подлошка. Затоа што плочката е повторно двослојна, со елементи на двата бакарни слоеви, поставени се отстојки во кошевите на плочката за да не се појави несакан допир со надворешен метал и да се предизвика кратка врска. Двата слоеви на плочката се премачкани со спреј за пластифицирање со што се обезбедува заштита на бакарните слоеви од оксидирање со допир на воздухот.



Слика 5.25 Приказ на изработената контролна плочка

Блиску до напонската секција се поставени конектори за генерираните напони, кои се искористени при мерењето на напонската секција – за нејзина верификација, а истотака се слободни за поврзување на било какви надградби (високофреквентната секција) што би следувале во иднина.

Блок дијаграмот на софтверот кој е одговорен за мерењата е прикажан на Слика 5.26.



Слика 5.26 Тековен дијаграм на софтверот

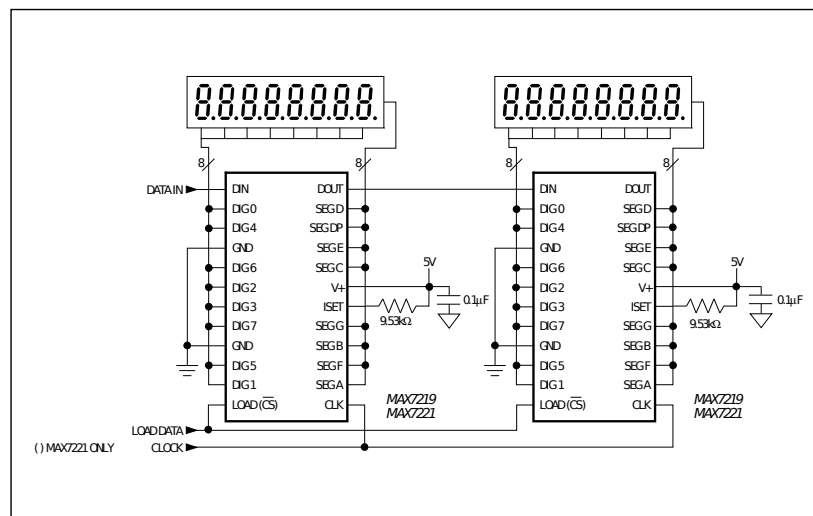
Софтверот е напишан во Arduino работната околина, со делови напишани во пониско ниво на avr-libc бидбиотеката и директно пристапување до хардверските регистри. Стандардната AVR-Libc бидбиотека има можност за максимална големина на променлива од 64 бита, така што манипулацијата со 28 и 24 битните бројачи е тривијална. Воедно, бидбиотеката има софтверски можности за манипулација со *single-precision floating point* променливи, со што реципрочното мерење на фреквенцијата се пресметува во бараната точност.

При старт на програмата, како и при вршење на мерењата, преку сериската порта на микроконтролерот се испишуваат статусни информации кон надреден компјутер. Ова може да се искористи при одстранување на грешки во самиот мерен уред, или да се искористат информациите за измерената фреквенција за запис во некоја база/документ за понатамошна обработка.

Употребениот компајлер е avr-gcc со верзија 5.2.0, avr-libc бидбиотеката со верзија 1.8.1 и Arduino околина со верзија 1.6.5.

5.8 Дисплеј

За приказ на резултатот од мерењето, искористена е класична изведба со седум сегментни дисплеи. Бројот на цифрите за приказ е дизајниран да биде 9. Деветте дисплеи се поврзани така што за да се добие приказот се употребува техника наречена мултиплексирање. За управување на дисплеите се искористени две наменски интегрални кола – MAX7219 од Maxim Integrated. Дисплеите се од типот со заедничка катода, така што сите сегменти од дисплеите се поврзани заедно (паралелно), а катодите се поврзани на одделни, соодветни пинови на интегралното коло.



Слика 5.27 Сериско поврзување на повеќе дисплеи со помош на MAX7219

MAX7219 чипот е дигитално контролиран чип. На неговиот DIN пин, се донесуваат сериски податоци, тактирани на растечката ивица на CLK пинот. Со помош на LOAD/(CS) линијата, овие податоци се запишуваат во внатрешните регистри на чипот. Поради тоа што еден чип може да

контролира максимум 8 дисплеи, употребени се два сериски поврзани чипови, како што е прикажано на блок дијаграмот на Слика 5.27.

Серискиот пакет се состои од 16 битна вредност, која се пренесува со најзначајниот бит прво (MSB first). Форматот е прикажан на Слика 5.28.

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	ADDRESS				MSB	DATA						LSB

Слика 5.28 Формат на серискиот пакет за MAX7219

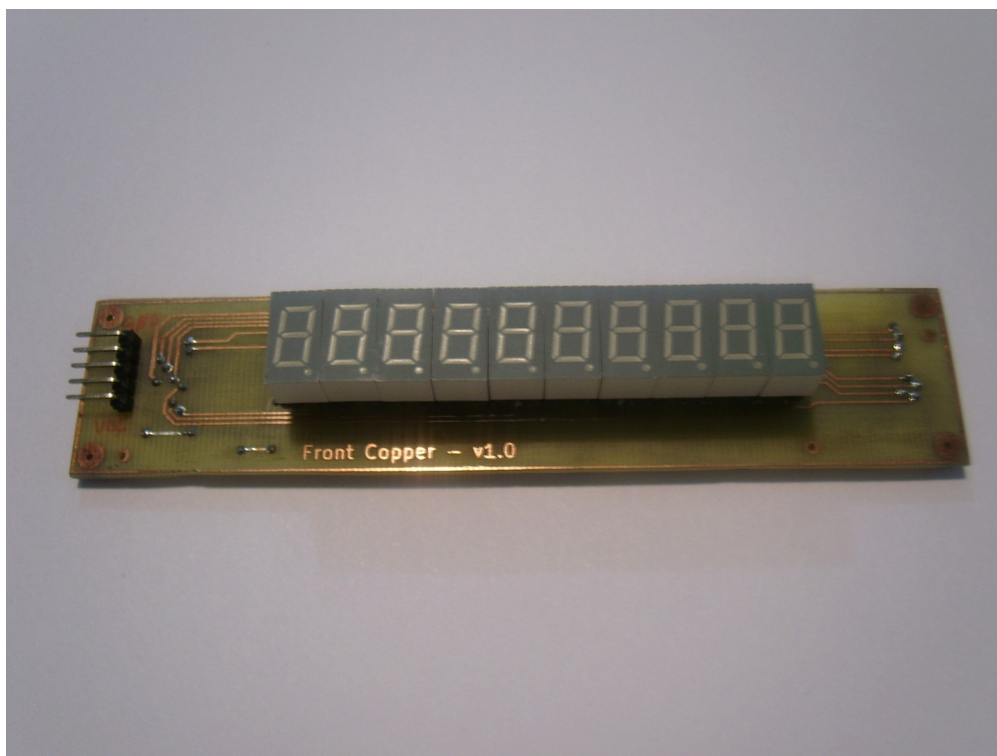
Битовите D8 ... D11 го селектираат саканиот интерен регистер каде што сакаме да запишеме податок, а битовите D0 ... D7 го претставуваат тој податок. Достапните регистри на чипот се :

REGISTER	ADDRESS					HEX CODE
	D15-D12	D11	D10	D9	D8	
No-Op	X	0	0	0	0	0xX0
Digit 0	X	0	0	0	1	0xX1
Digit 1	X	0	0	1	0	0xX2
Digit 2	X	0	0	1	1	0xX3
Digit 3	X	0	1	0	0	0xX4
Digit 4	X	0	1	0	1	0xX5
Digit 5	X	0	1	1	0	0xX6
Digit 6	X	0	1	1	1	0xX7
Digit 7	X	1	0	0	0	0xX8
Decode Mode	X	1	0	0	1	0xX9
Intensity	X	1	0	1	0	0xXA
Scan Limit	X	1	0	1	1	0xXB
Shutdown	X	1	1	0	0	0xXC
Display Test	X	1	1	1	1	0xFF

Слика 5.29 Достапните регистри на MAX7219 интегрираното коло

Регистрите Digit0 ... Digit7 се наменети за соодветните седум сегментни дисплеи т.е. поставување на вредноста на секој диспле засебно. Другите регистри се наменети за поткрнување на тест на сите дисплеи (0xFF), поставување на светлинската јачина на дисплејот (0xA) и други.

Изработениот модул за дисплеј, на самата плочка има соодветни контакти за поврзување на дисплеите без потреба од нивно лемење. Ова е направено со цел за брза замена на дисплеите доколку се појави нивно оштетување или поради слабеење на дисплејот поради старост. На дисплеј плочката е поставен екстра 7-сегментен дисплеј, кој може да се искористи при натамошно развивање на мерниот инструмент или едноставно да се извади од соодветниот контакт и дисплеј плочката да се користи без него.



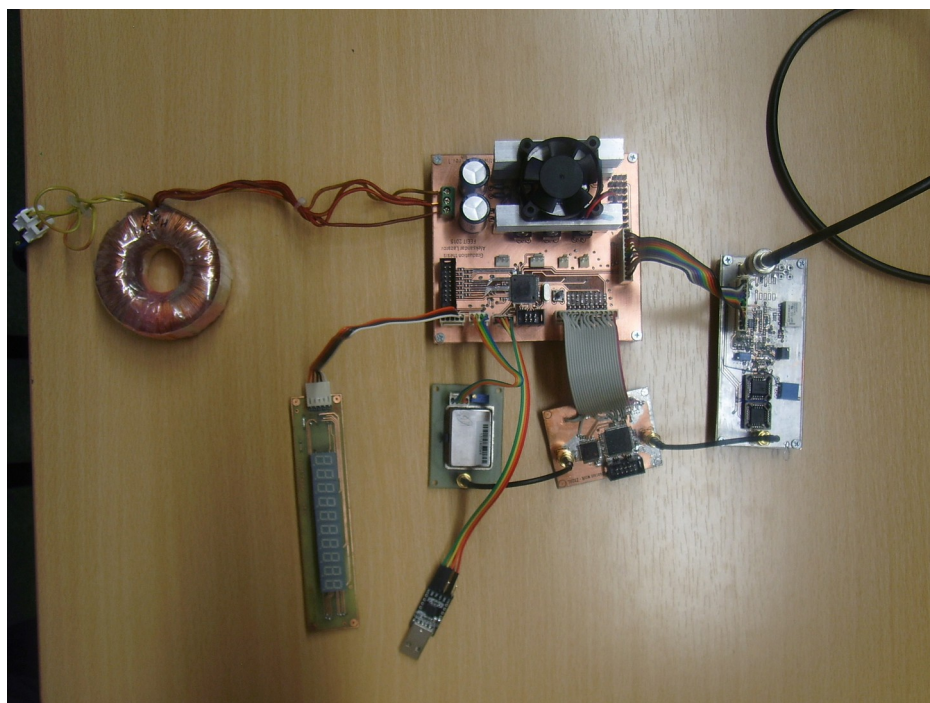
Слика 5.30 Изработениот дисплеј за приказ на резултатот

5.9 Поврзување на модулите и тестирање

Сите плочки со печатено коло, со централната контролна плочка се поврзуваат со помош на рамни кабли на чии краеве се поставени конектори. Постоењето на конекторите овозможува брзо и лесно одвојување на модулите од контролната плочка, поради одделни тестови или замена/надogradба на истите.

Патеката на мерениот сигнал, како и сигналот од референтниот осцилатор е остварена со помош на користење на коаксијален кабел, со SMA конектори на неговите краеве, кој ги поврзува соодветните плочки. Коаксијалните кабли се изработени со кратка должина, со што се намалува деградацијата на сигналот што се мери. На самите плочки поставено е соодветно терминирање на коаксијалниот кабел за да се избегнат рефлексии на сигналот низ него поради високофреквентната содржина на истиот.

На изработените плочки направени се соодветни дупки за монтажа, со што истите може да се монтираат во соодветно кукиште.



Слика 5.31 Приказ на изработените плочки споени со централната контролна плочка

За верификација на исправноста на целиот систем направен е тест кој се состои во споредба на перформансите на системот во режимот на директно броење и во режимот на реципрочно броење. Тест процедурата се состои од сигнал генератор - HP 606B, референтен мерач на фреквенции – спектрален анализатор HP 8591A. Направени се 21 мерење во фреквенцискиот опсег $8 \div 12$ MHz во 0.2 MHz чекори. Со помош на спектралниот анализатор подесена е фреквенцијата на најблиската можна вредност до бараната за мерењето. Прво е направен тест на сите фреквенции со методата на реципрочно броење, а потоа истите фреквенции се измерени со методата на директно броење. Резултатите се сумирани во Табела 2.

Табела 2 Резултати од тестирање на мерачот на фреквенции

Зададена фреквенција (MHz)	Измерена – реципрочно броење	Измерена – директно броење	Процентуална разлика меѓу мерењата
8	7.999918	8.000686	0.00960
8.2	8.200106	8.200652	0.00666
8.4	8.400924	8.400394	0.00631
8.6	8.600530	8.600072	0.00533
8.8	8.800217	8.800419	0.00230
9	9.000491	8.999931	0.00622

9.2	9.200025	9.200080	0.00060
9.4	9.400038	9.400379	0.00363
9.6	9.600224	9.600311	0.00091
9.8	9.800446	9.800250	0.00200
10	10.00028	10.000441	0.00161
10.2	10.20037	10.201215	0.00828
10.4	10.40022	10.399985	0.00226
10.6	10.60106	10.600353	0.00667
10.8	10.80056	10.800547	0.00012
11	11.00118	11.000329	0.00774
11.2	11.20059	11.200236	0.00316
11.4	11.40044	11.400062	0.00332
11.6	11.60032	11.600549	0.00197
11.8	11.80022	11.801856	0.01386
12	12.00048	12.000828	0.00290

7. Заклучок

Во овој дипломски труд е реализиран мерен инструмент – мерач на фреквенции. Опишани беа неговите основни интерни компоненти и нивните карактеристики. Разгледани се две постапки за мерење на фреквенцијата на мерениот сигнал – методот на директно броење и методот на реципрочно броење. Методата на директно броење, како директна метода за мерење на фреквенцијата, дава добри резултати при мерење на повисока фреквенција од интерниот референтен осцилатор, додека методата на реципрочно броење е супериорна и дава резултати со константен број на прикажани цифри при мерење на фреквенции помали од референтниот осцилатор.

Врз база на приложените методи на мерење на фреквенција на сигнал, дизајниран е уред – мерач на фреквенции кој ги имплементира двете мерни методи. Во дизајнот на уредот употребени се знаења од повеќе области во електрониката – аналоген дизајн и линеарна електроника, дигитален дизајн и логички кола, микроконтролери, PLD&FPGA компоненти. Дизајнирани се 5 различни ППК плочки кои самостојно имплементираат соодветен градивен дел на мерниот инструмент.

Како аналоген преден дел, дизајнирано и изработено е коло за кондиционирање на влезниот сигнал, соодветно по две патеки – нискофреквентна и високофреквентна патека. При дизајнот на овој дел, користен е симулатор – LTSpice за проверка на функционалноста на модулот. Изработката на модулот покажа полоши карактеристики од резултатите добиени со помош на симулација, со што се наведува дека треба да се обрне поголемо влијание на паразитните елементи кои не се моделирани во симулациите. Изработениот аналоген дел, покрај пониските резултати од мерењата, се покажа како употреблив модул за основниот опсег на мерачот на фреквенции – до 150 MHz. За жал, проблемите и тешкотиите кои што се сретнаа при изработката на аналогниот дел беа фактор за неможност за изработување на високофреквентниот делител, кој го проширува мерниот опсег во гигахерцното подрачје. Можноста за надоградба на мерниот уред со гигахерцен делител е вметната во самиот аналоген дел.

Како референтен осцилатор употребен е температурно контролиран кварцен кристал, со врвни карактеристики за стабилност од 5 ppb. Поради ова решение, изработениот мерен уред е погоден за мерење на сигнали со голема точност на фреквенцијата.

Како бројач е употребено CPLD интегрирано коло, одлука која се покажа како точна. Можноста за репрограмирање на CPLD колото при промена на дизајнот на бројачите отвара можност за лесна надоградба на интерната структура на самиот бројач.

Употребениот микроконтролер – AtMega2560, заедно со слободните алатки за програмирање (компајлер, библиотека, дебагер), добро ја врши работата на контрола на сите модули во мерниот инструмент. Можностите на самиот микроконтролер се многу малку искористени при имплементирање на основните функционалности на уредот. Со ова се овозможува дополнување на мерниот инструмент со напредни методи на анализа на мерењата.

8. Користена литература

- [1] Application Note 200 – Electronic Counter Series, Fundamentals of the Electronic Counter. HP 1997
- [2] Application Note 200-4 – Understanding Frequency Counter Specifications. HP/Agilent 1997
- [3] Modern frequency counting principles – Staffan Johansson, Pendulum Instruments AB, Sweden
- [4] Hints for making better RF counter measurements, Agilent 2001, publication: 5967-6038E
- [5] Linear Technologies – Application Note 47, High Speed Amplifier Techniques, 1991
- [6] The Art and Science of Analog Circuit Design – Chapter 7, Signal Conditioning in Oscilloscopes and the Spirit of Invention, Steve Roach, edited by Jim Williams, 1998 ISBN: 0-7506-7062-2

Додаток 1 – VHDL код од делителот на такт

-- GATE-DIVIDER.VHD

-- Maker : Aleks / aleks@slobodensoftver.org.mk

-- Date : 23.03.2015

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

use IEEE.numeric_std.all;

entity gate is

port(

divOut : buffer std_logic := '0';

clk : in std_logic;

counterClear: in std_logic;

divSel : in std_logic_vector(1 downto 0)

);

end gate;

architecture Behavioral of gate is

signal counter : std_logic_vector(26 downto 0);

signal up_to : std_logic_vector(26 downto 0);

signal countLimit : std_logic_vector(26 downto 0) := "000000000000000100000000000000";

signal intDiv : std_logic;

begin

-- Main counter process

process(clk, counterClear)

begin

if(counterClear = '1') then

counter <= (others => '0');

intDiv <= '0';

-- TODO : Да се види што се случува при ресет! Треба во countLimit да се стави
std_logic_vector(to_unsigned(999999, 27)); ! ДА СЕ ПРОВЕРИ И ТЕСТИРА !

elsif(rising_edge(clk)) then

if(counter = countLimit) then

if(intDiv = '0') then

countLimit <= up_to;

elsif(intDiv = '1') then

countLimit <= std_logic_vector(to_unsigned(999999, 27));

end if;

intDiv <= NOT intDiv;

counter <= (others => '0');

else

```

        counter <= std_logic_vector(unsigned(counter) + 1);
    end if;

    end if;

end process;

-- Selection of division values
with divSel select up_to <=
    std_logic_vector(to_unsigned(999999, 27)) when "00", -- Gate time : 0.1s
    std_logic_vector(to_unsigned(9999999, 27)) when "01", -- Gate time : 1s
    std_logic_vector(to_unsigned(99999999, 27)) when others; -- Gate time : 10s

-- Prescaler enabled or passthrough
with counterClear select divOut <=
    intDiv when '0',
    '0' when '1';

end Behavioral;

```

Додаток 2 – VHDL код од главниот CPLD

-- MAIN-COUNTER.VHD

```
-- Maker   : Aleks / aleks@slobodensoftver.org.mk
-- Date      : 31.05.2015
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.all;
```

```
entity mainCounter is
  port(
    -- Input signals:
    clr           : in std_logic;
    mode          : in std_logic;
    f_in          : in std_logic;
    tenMHz_in     : in std_logic;
    gatePulses_in : in std_logic;

    -- Output signals:
    --mainCnt_out  : buffer std_logic_vector(27 downto 0);
    --secondCnt_out: buffer std_logic_vector(19 downto 0);
    gate_out      : out std_logic;
    test_out      : out std_logic;

    -- PISO register pins
    piso_clk      : in std_logic;
    piso_load     : in std_logic;
    piso_out      : out std_logic
  );
end mainCounter;
```

```
architecture Behavioral of mainCounter is
  -- signal definitions
  signal intMainClk      : std_logic;
  signal intFx           : std_logic;
  signal intGateCtrl     : std_logic;
  signal intT            : std_logic;
  signal int10MHz        : std_logic;
  signal intQ            : std_logic;
  signal intClkTwo       : std_logic;
  signal intCT           : std_logic;

  signal mainCnt_out  : std_logic_vector(27 downto 0);
  signal secondCnt_out : std_logic_vector(23 downto 0);

  component counter
    generic (
      N : integer
```

```

    );
    port (
        clk                : in std_logic;
        cntClear            : in std_logic;
        counterOut          : out std_logic_vector(N-1 downto 0)
    );
end component;

component piso
    generic (
        N                    : integer
    );
    port (
        data_in             : in std_logic_vector(N-1 downto 0);
        clk                 : in std_logic;
        load                : in std_logic;
        clear               : in std_logic;
        data_out            : out std_logic
    );
end component;

begin

-- Test pins !
test_out <= intMainClk;

-- Assigning the int10MHz internal signal value
int10MHz <= tenMHz_in when mode = '1' else
    '0';

-- Assigning the intT internal signal value
intT <= intQ XOR gatePulses_in;

-- Assigning the intClkTwo internal signal value
intClkTwo <= NOT intCT;

-- Assigning the intFx internal signal value
intFx <= f_in when mode = '0' else
    int10MHz when mode = '1' else
    '0';

-- Assigning the intGateCtrl internal signal value
intGateCtrl <= gatePulses_in when mode = '0' else
    intQ when mode = '1' else
    '0';

gate_out <= intGateCtrl;

-- Assigning the intMainClk internal signal value
intMainClk <= intFx AND intGateCtrl;

-- Implementing the T-FF
T_FF: process(intT, f_in, clr)
begin
    if(clr = '1') then
        intQ <= '0';
    end if;
end process;

```



```

        elsif(rising_edge(f_in)) then
            intQ <= intT XOR intQ;
        end if;
    end process T_FF;

    -- Assigning the intCT internal signal value
    intCT <= f_in AND intQ AND mode;

    -- Instantiating the main counter
    MAIN_COUNTER: counter generic map (N => 28) port map (intMainClk, clr, mainCnt_out);

    -- Instantiating the second counter
    SECOND_COUNTER: counter generic map (N => 24) port map (intClkTwo, clr, secondCnt_out);

    -- Instantiating the PISO register
    PISO_REGISTER: piso generic map (N => 52) port map ((secondCnt_out & mainCnt_out), piso_clk, piso_load, clr,
    piso_out);

end Behavioral;

```

```

-- INCLUDES.VHD

-- Maker   : Aleks / aleks@slobodensoftver.org.mk
-- Date      : 31.05.2015

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.all;

entity counter is
    generic(
        N                : integer
    );
    port(
        clk               : in std_logic;
        cntClear          : in std_logic;
        --enable          : in std_logic;
        counterOut        : out std_logic_vector(N-1 downto 0)
    );
end counter;

architecture Behavioral of counter is
    signal tmpCnt: std_logic_vector(N-1 downto 0);

begin
    process(clk, cntClear)
    begin
        if(cntClear = '1') then
            tmpCnt <= (others => '0');
        elsif(rising_edge(clk)) then
            tmpCnt <= std_logic_vector(unsigned(tmpCnt) + 1);
        end if;
    end process;

    -- Concurrent statement :
    counterOut <= tmpCnt;

end Behavioral;

-- PISO
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.all;

entity piso is
    generic(
        N                : integer
    );
    port(
        data_in          : in std_logic_vector(N-1 downto 0);
        clk              : in std_logic;
        load              : in std_logic;
        clear             : in std_logic;
        data_out          : out std_logic
    );
end piso;

```

```

    );
end piso;

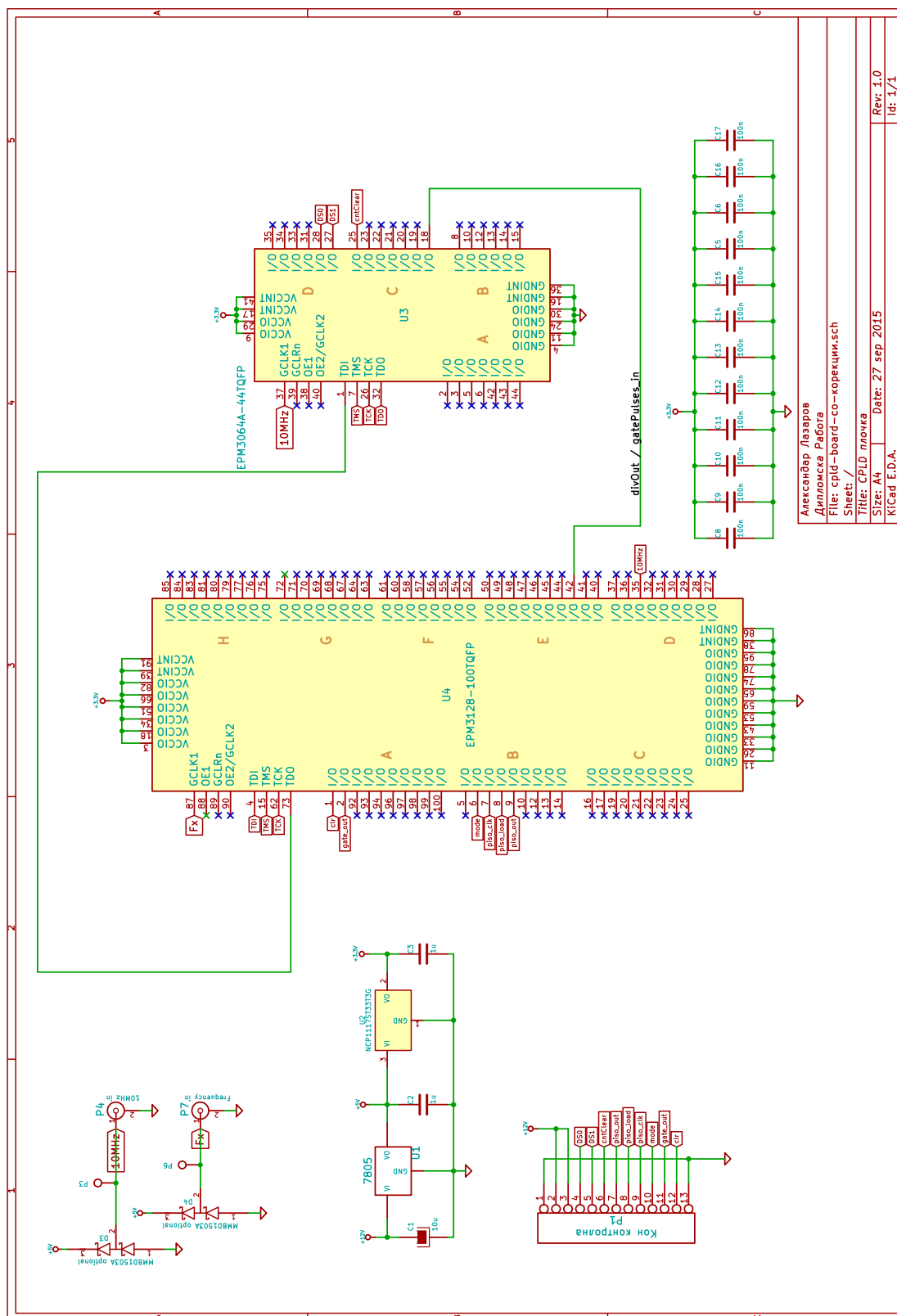
architecture Behavioral of piso is
    signal latch : std_logic_vector(N-1 downto 0);
begin

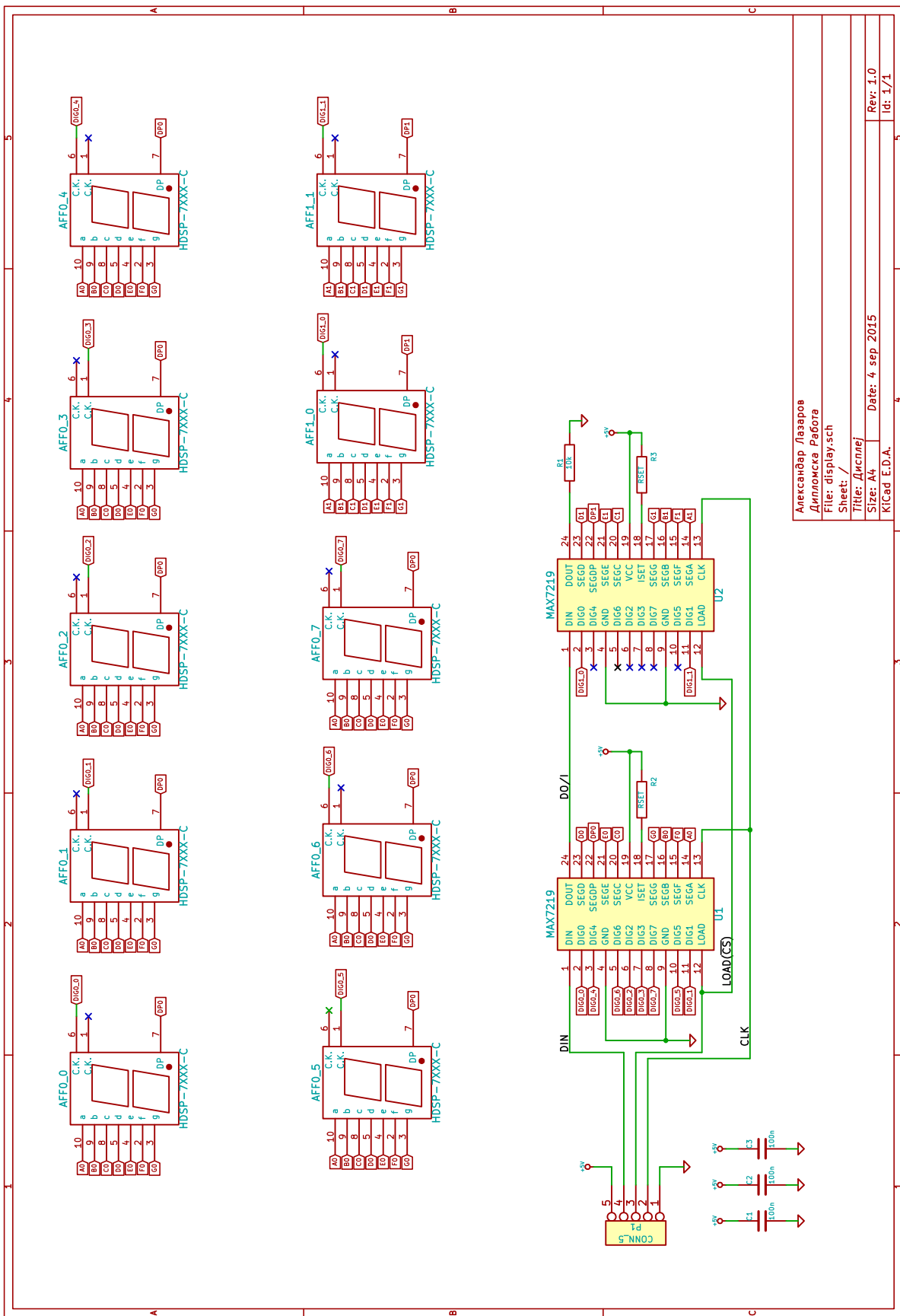
    pisoReg: process(clk, load, data_in, clear)
    begin
        if(clear = '1') then
            latch <= (others => '0');
        elsif(load = '1') then
            latch <= data_in;
        elsif(rising_edge(clk)) then
            data_out <= latch(0);
            latch <= '0' & latch(N-1 downto 1);
        end if;
    end process pisoReg;

end Behavioral;

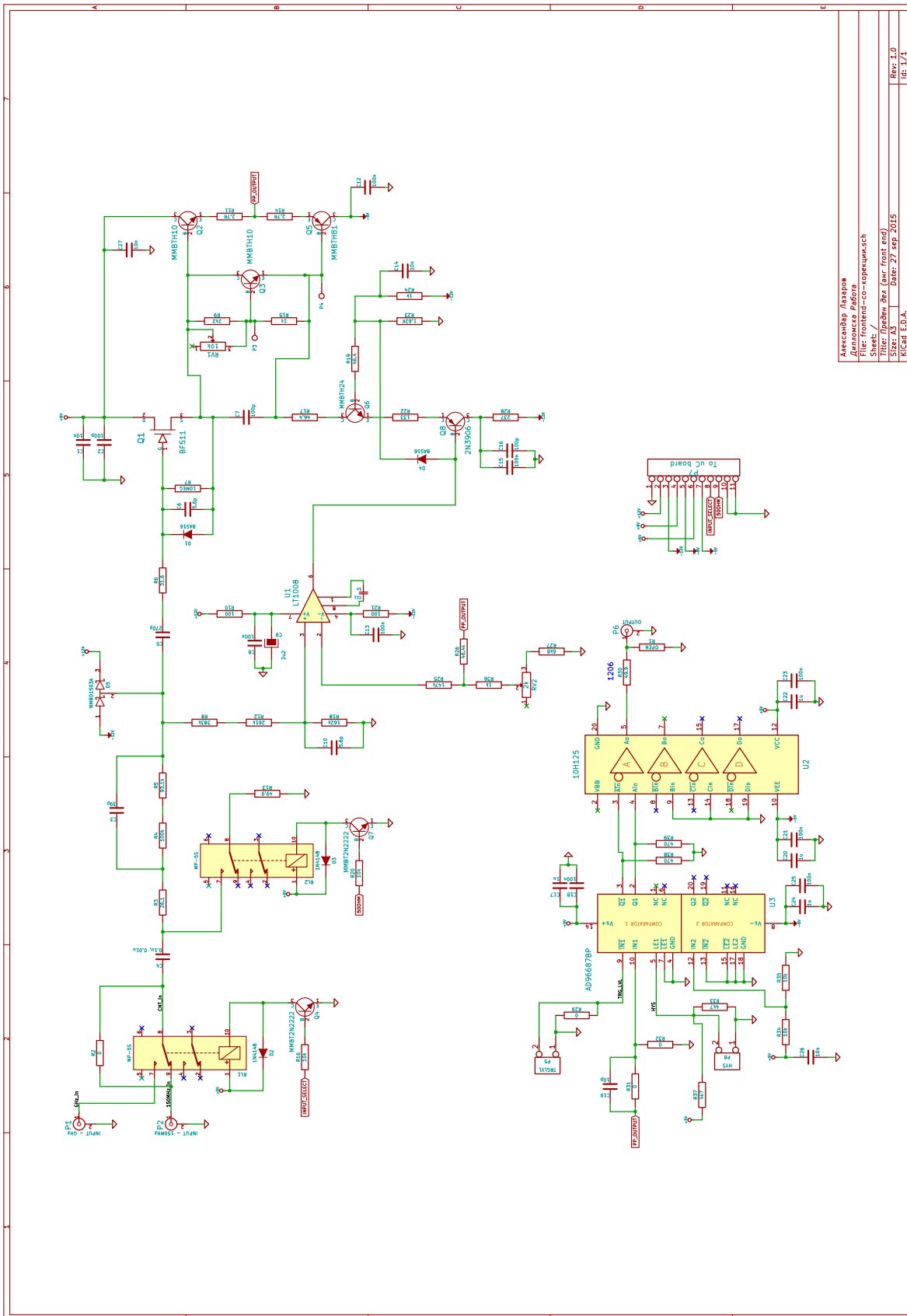
```

Додаток 3 – Електрични шеми од плочките





Александр Лазаров
Дипломная Работа
File: display.sch
Sheet: /
Title: Дисплей
Size: A4
Date: 4 sep 2015
Rev: 1.0
Id: 1/1



Alessandro Pagano
 File: front-end-co-copetium.sch
 Sheet: /
 Date: 27.09.2015
 Size: 1.0
 Rev: 1.0
 It: 1/1

