

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

по лабораторной работе № 2

Дисциплина: Архитектура ЭВМ

А. А. Зайцева
(И.О. Фамилия)

А. Ю. Попов

(И.О. Фамилия)

Москва, 2021

Цель работы – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A0, A1 задать в выходов Q0, Q1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

Схема линейного стробируемого дешифратора на элементах 3И-НЕ (рис. 1):

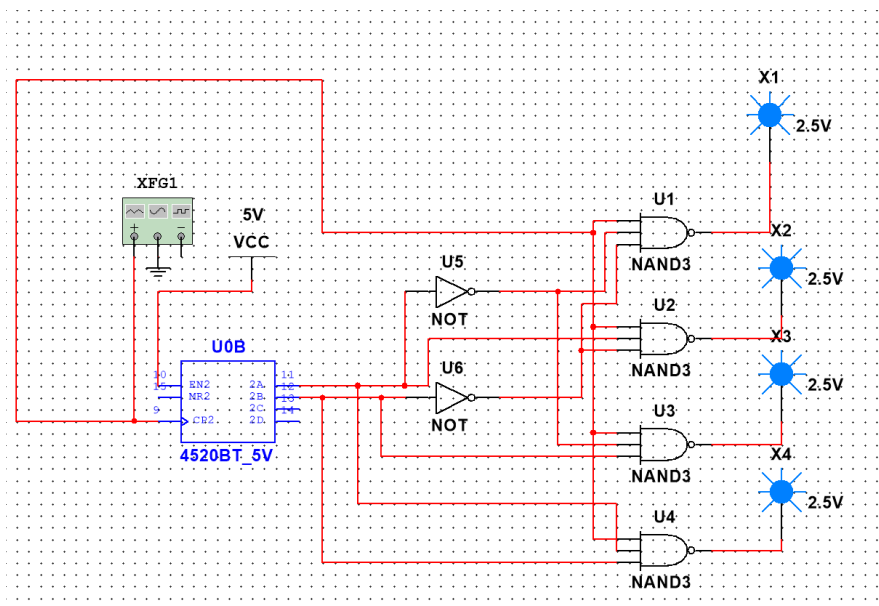


Рисунок 1

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при EN=1);

Таблица истинности линейного нестробируемого дешифратора (таб. 1)

Таблица 1

E	A1	A2	F1	F2	F3	F4
0	X	X	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

Схема линейного нестробируемого дешифратора с логическим анализатором (рис. 2):

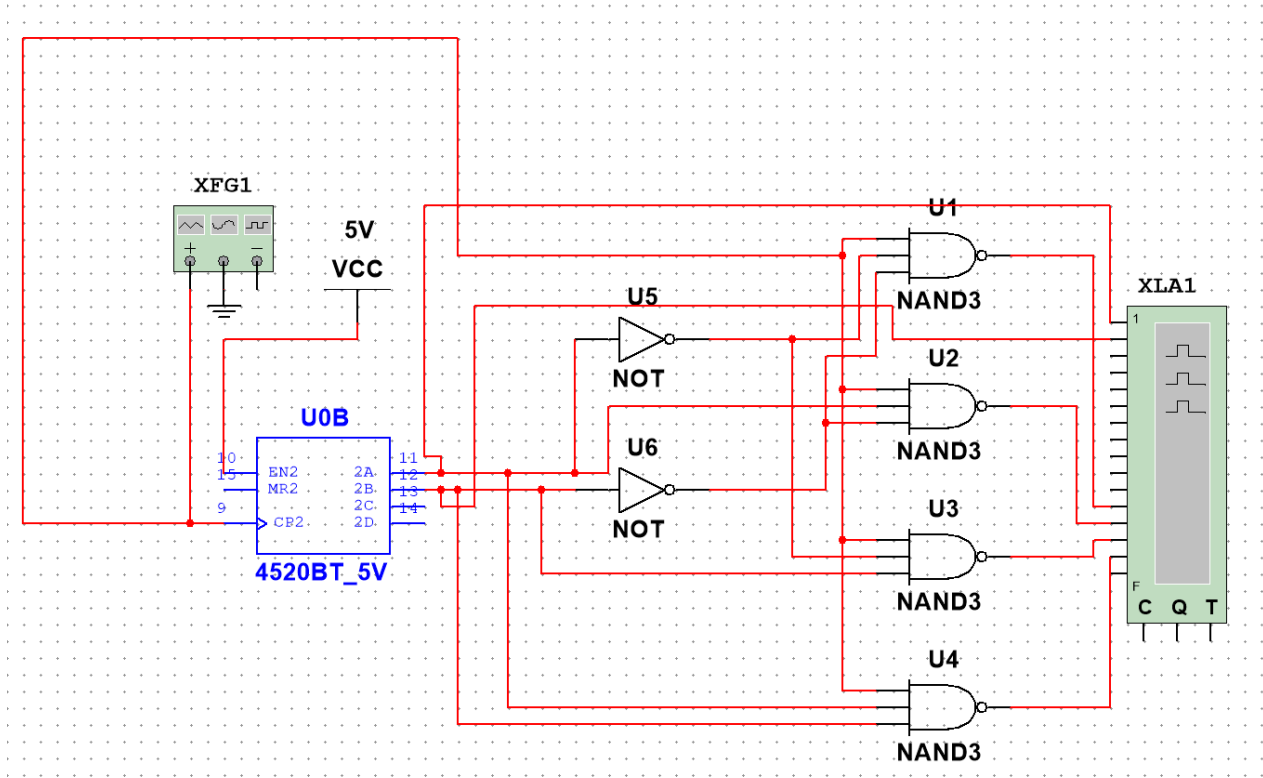


Рисунок 2

Временные диаграммы линейного нестробируемого дешифратора (рис. 3):

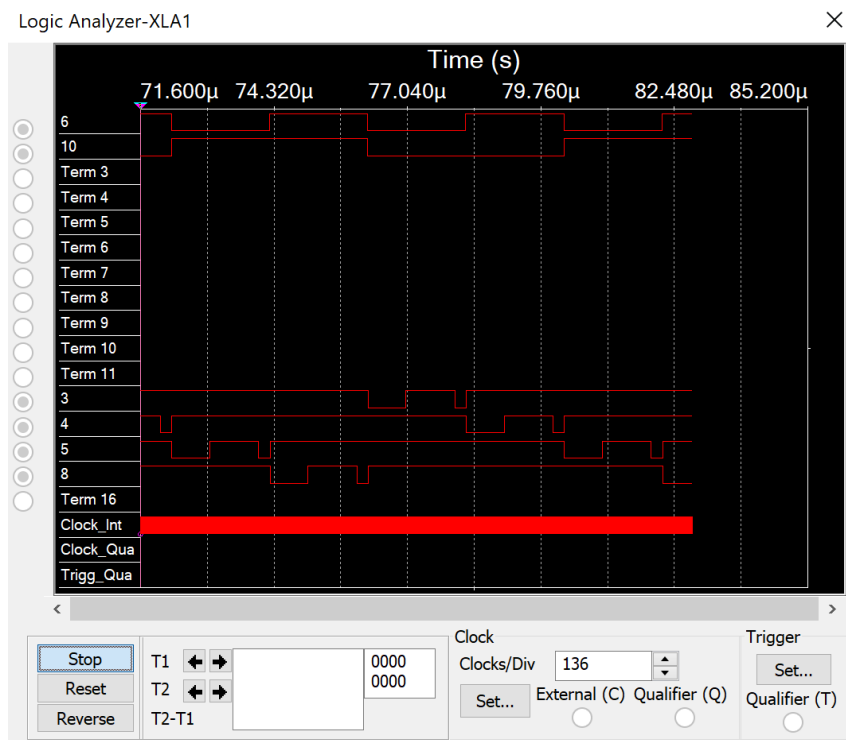


Рисунок 3

г) определить длительность помех, вызванных гонками, на выходах дешифратора;

Длительность помех, вызванных гонками на выходах дешифратора – 243.44 ns (рис. 4):

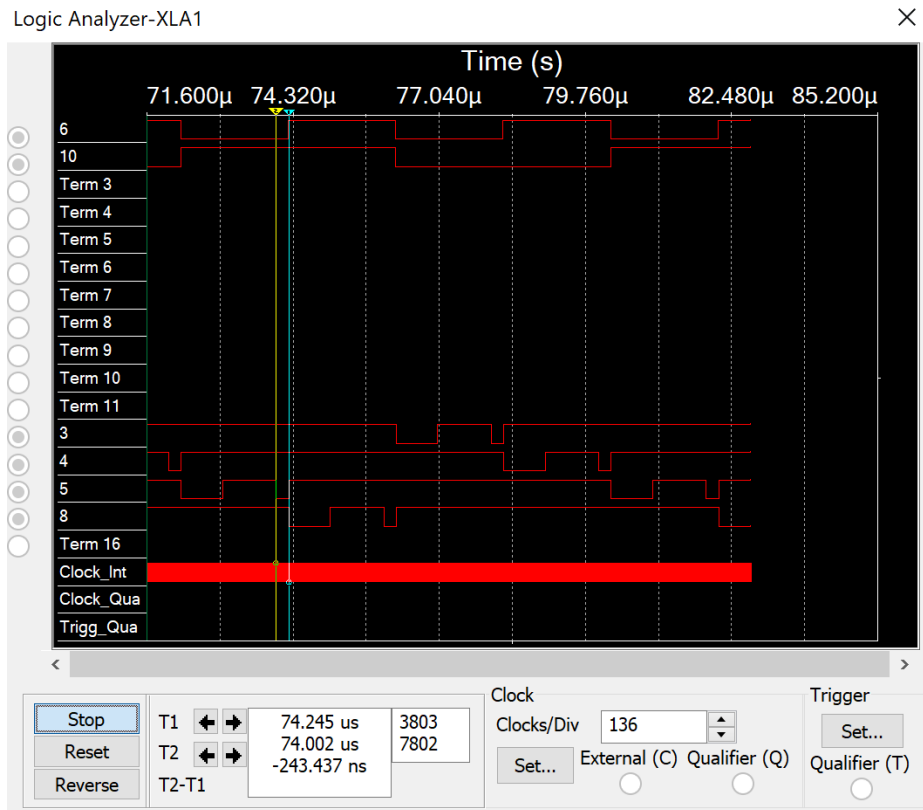


Рисунок 4

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

Схема стробируемого дешифратора (рис. 5):

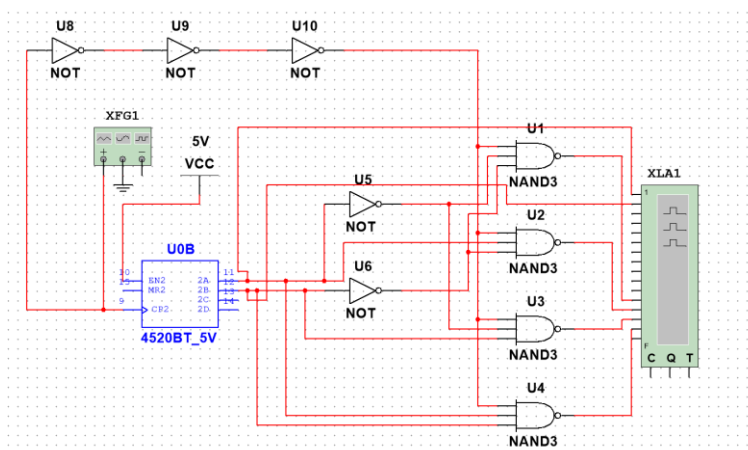


Рисунок 5

Временные диаграммы стробируемого дешифратора (рис. 6):

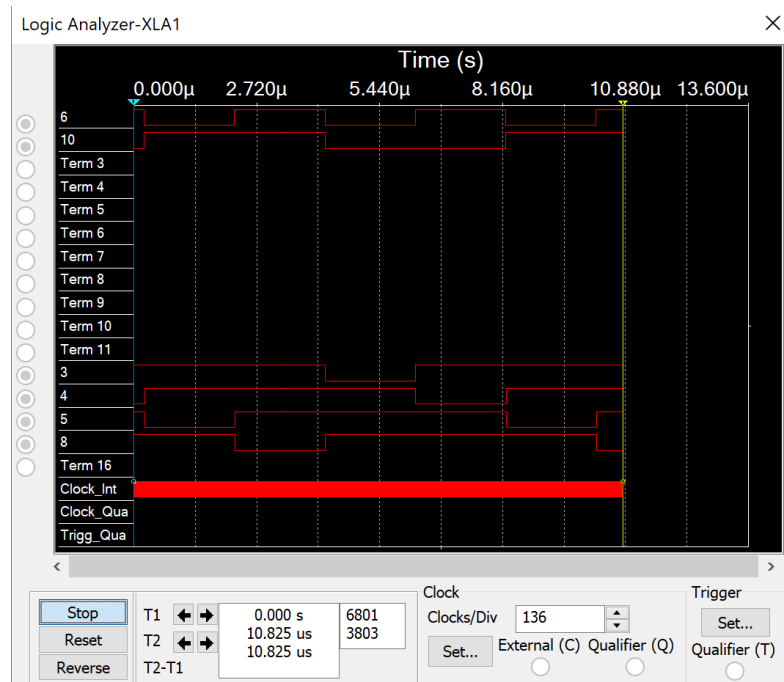


Рисунок 6

е) опередить время задержки, необходимое для
исключения помех на выходах дешифратора, вызванных гонками

Схема (рис. 7):

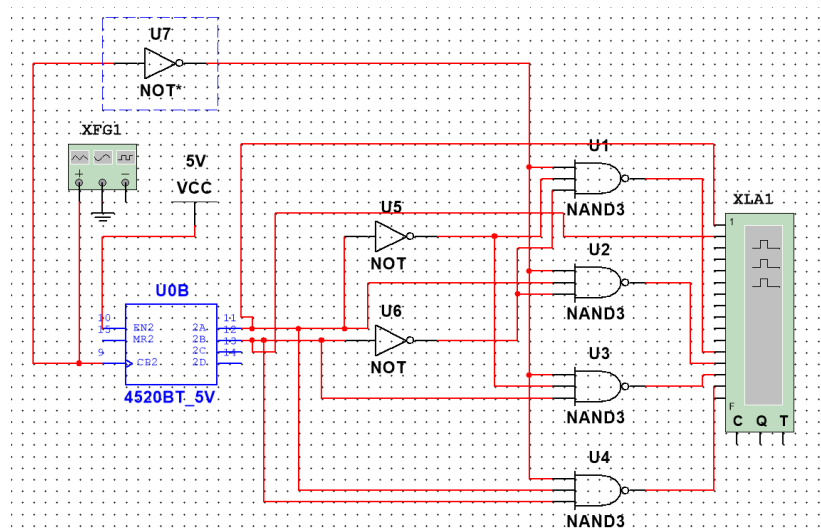


Рисунок 7

Установка задержки (рис. 8):

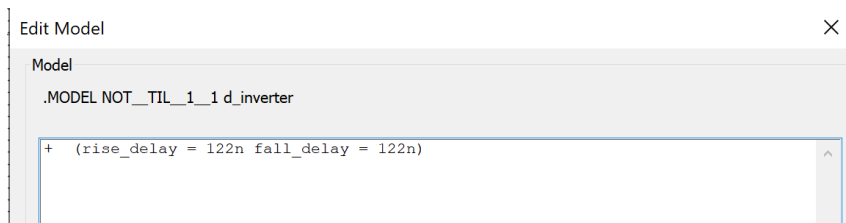


Рисунок 8

Полученная временная диаграмма (рис. 9):

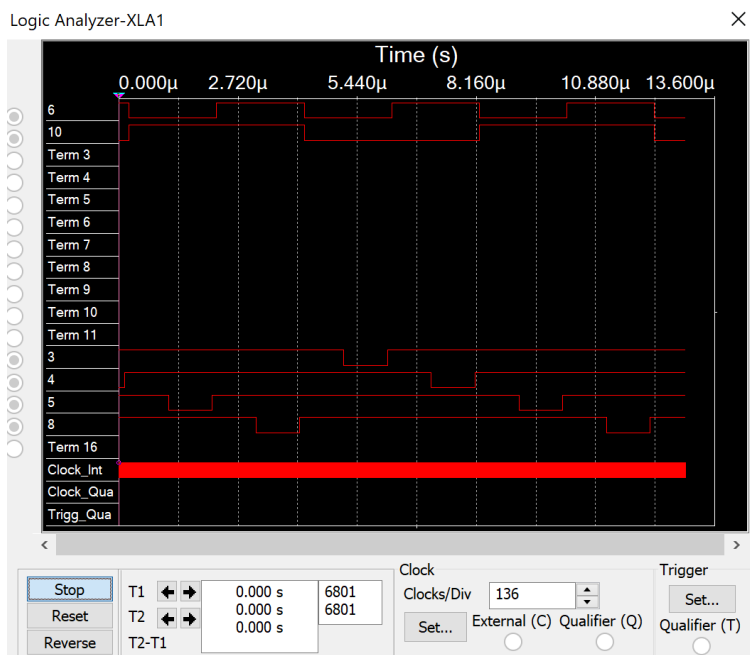


Рисунок 9

2. Исследование дешифраторов ИС К155ИД4 (74LS155), рис. 10:

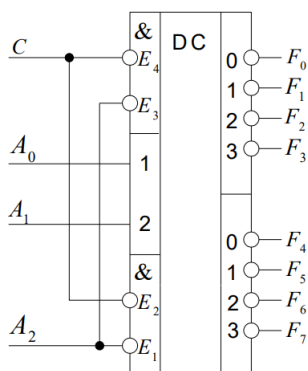


Рисунок 10

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы !E3 и !E4 – импульсы генератора, задержанные линией задержки;

Схема (рис. 11):

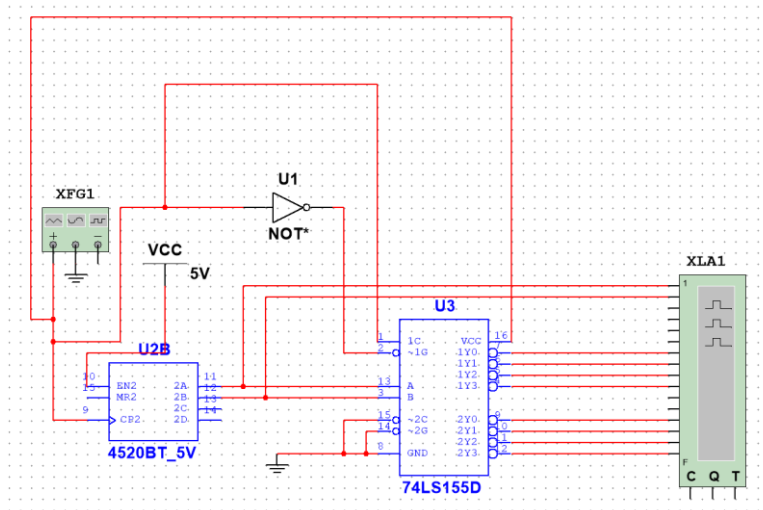


Рисунок 11

Временные диаграммы сигналов двухвходового дешифратора (рис. 12):

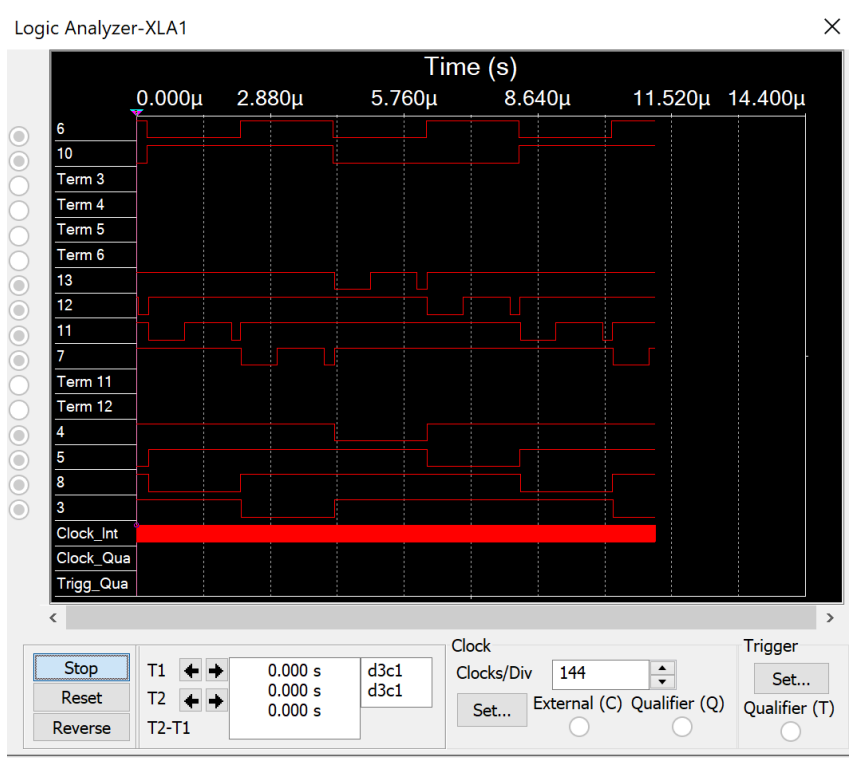


Рисунок 12

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Время задержки стробирующего сигнала – 206.2 ns (рис. 13):

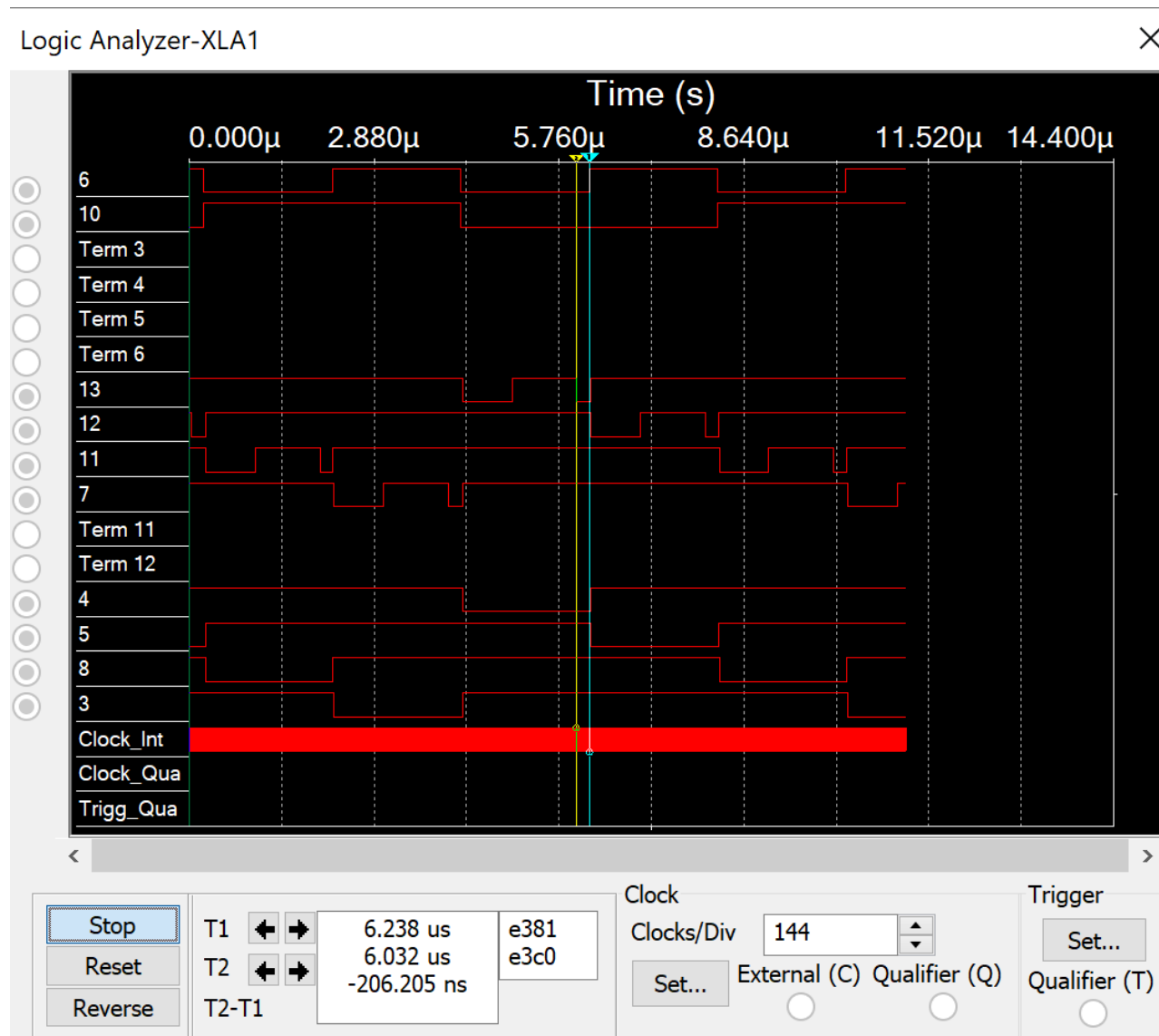


Рисунок 13

в) собрать схему трехвходового дешифратора на основе дешифратора K155ИД4 (см. рис. 8), задавая входные сигналы A0, A1, A2 с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Установка задержки (рис. 14):

```
Model
.MODEL NOT_TIL_1_1 d_inverter
+ (rise_delay = 103n fall_delay = 103n)
```

Рисунок 14

Схема (рис. 15):

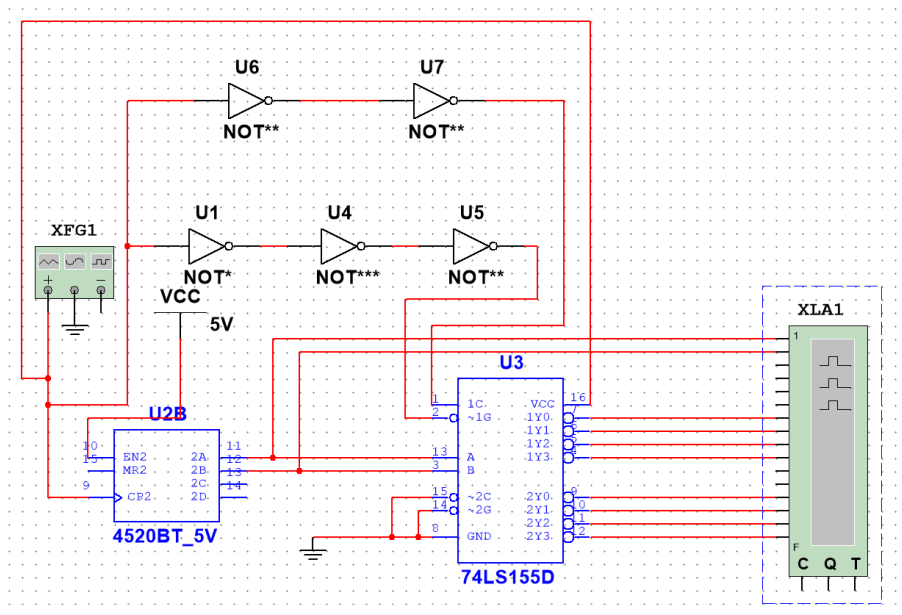


Рисунок 15

Временные диаграммы (рис. 16):

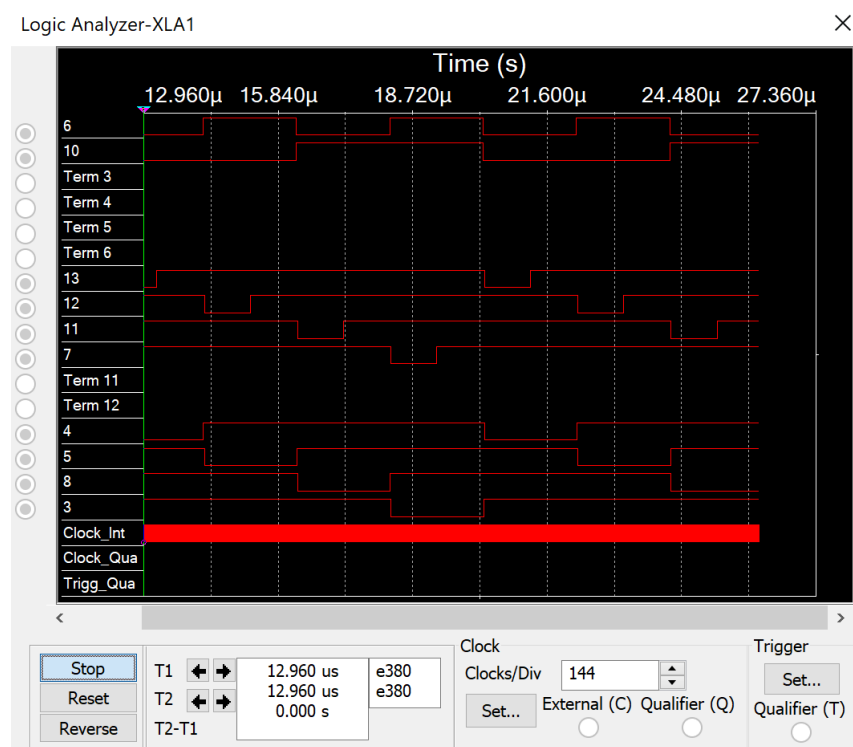


Рисунок 16

Можно обойтись без U4, U5 (рис. 17):

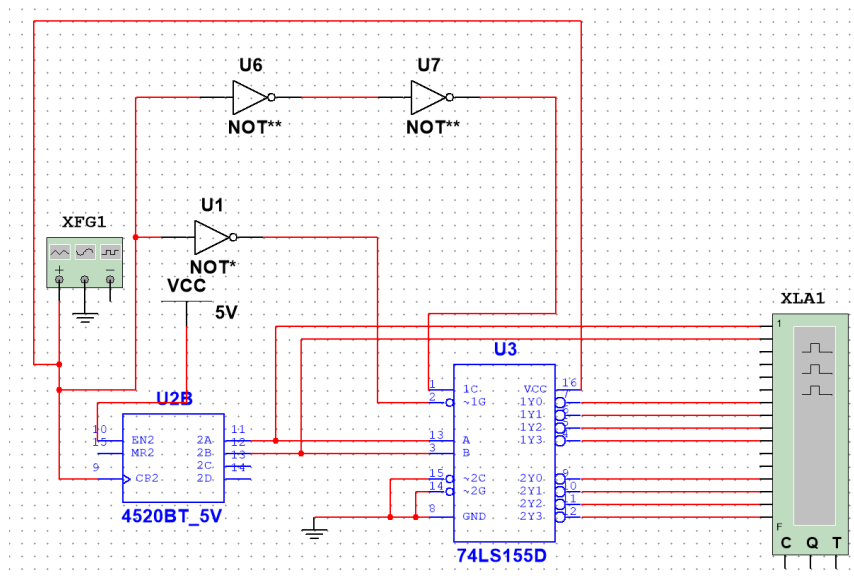


Рисунок 17

Временные диаграммы (рис. 18):

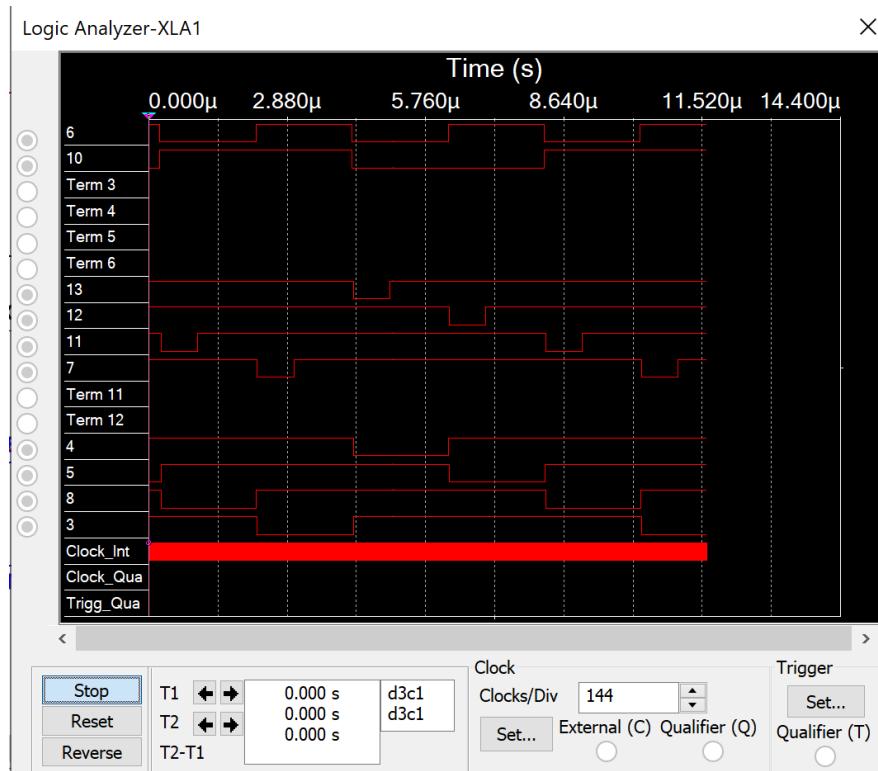


Рисунок 18

Таблица истинности (таб. 2)

Таблица 2

1	2	3	1	2	3	4	5	6	7	8
---	---	---	---	---	---	---	---	---	---	---

	0	0	0	0						
	0	0	1		0					
	0	1	0			0				
	0	1	1				0			
	1	0	0					0		
	1	0	1						0	
	1	1	0							0
	1	1	1							0

3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. 19) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения – инверсный. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\neg EN1 \cdot \neg EN2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

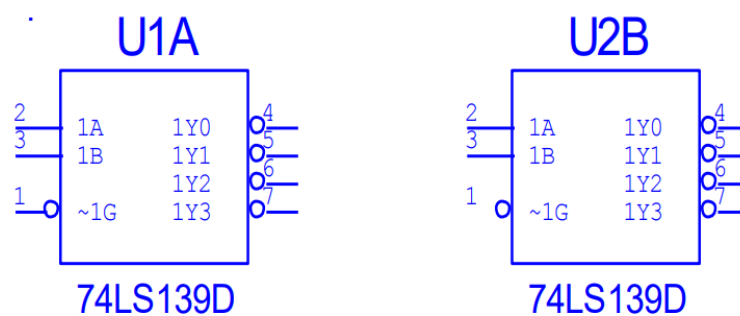


Рисунок 19

Схема (рис. 20):

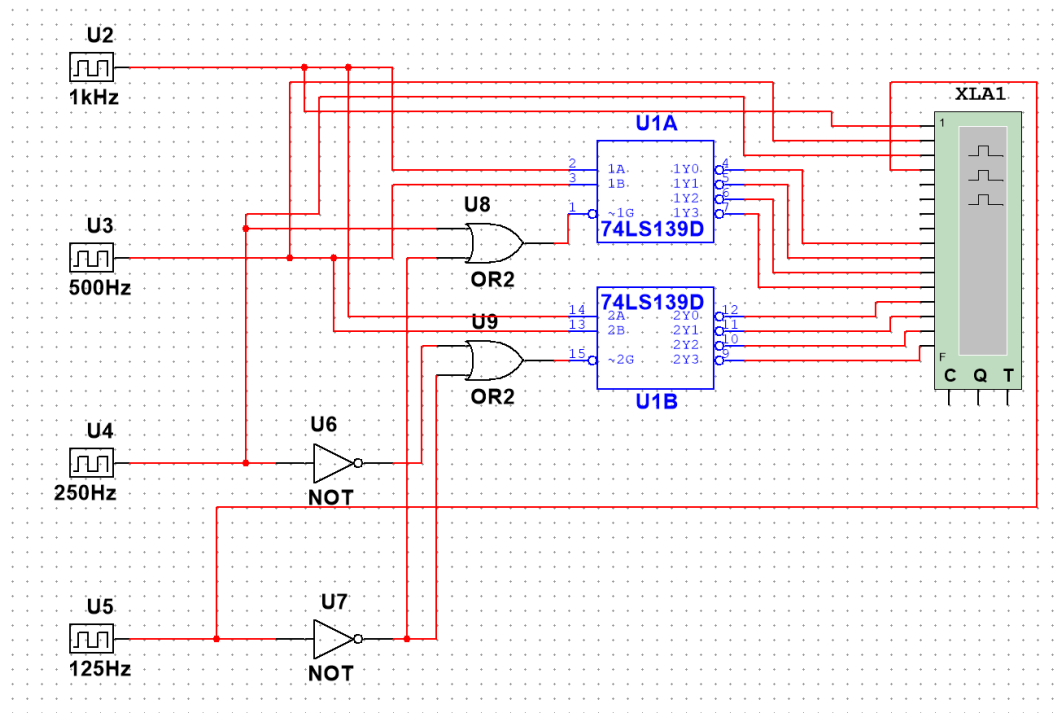


Рисунок 20

Временные диаграммы (рис. 21):

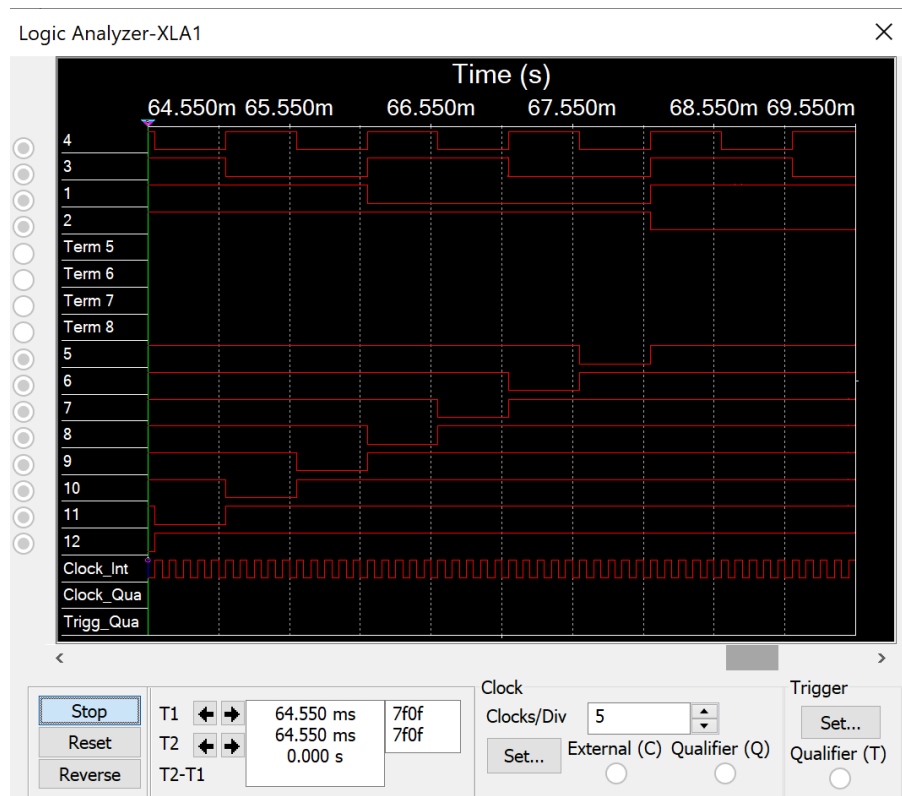


Рисунок 21

4. Исследовать работоспособность дешифраторов ИС 533ИД7.

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

Схема (рис. 22):

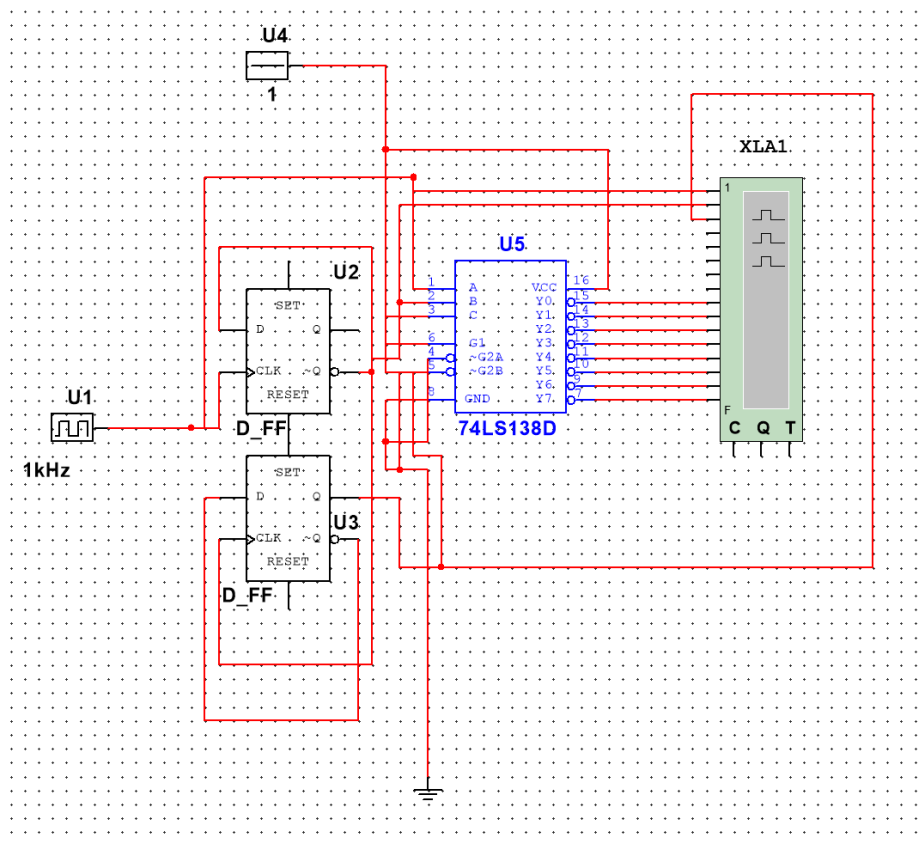


Рисунок 22

Временные диаграммы (рис. 23):

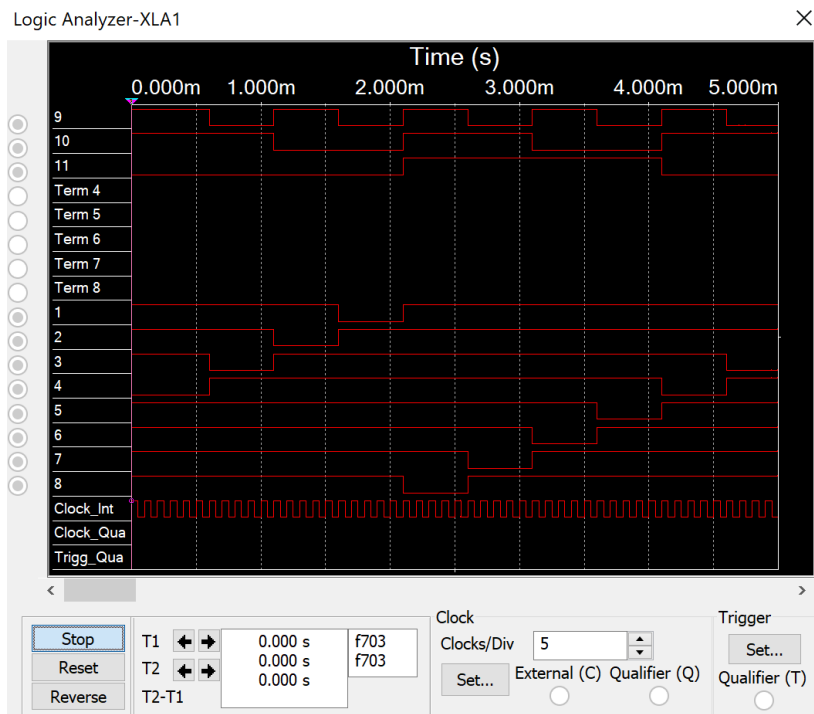


Рисунок 23

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

Схема (рис. 24):

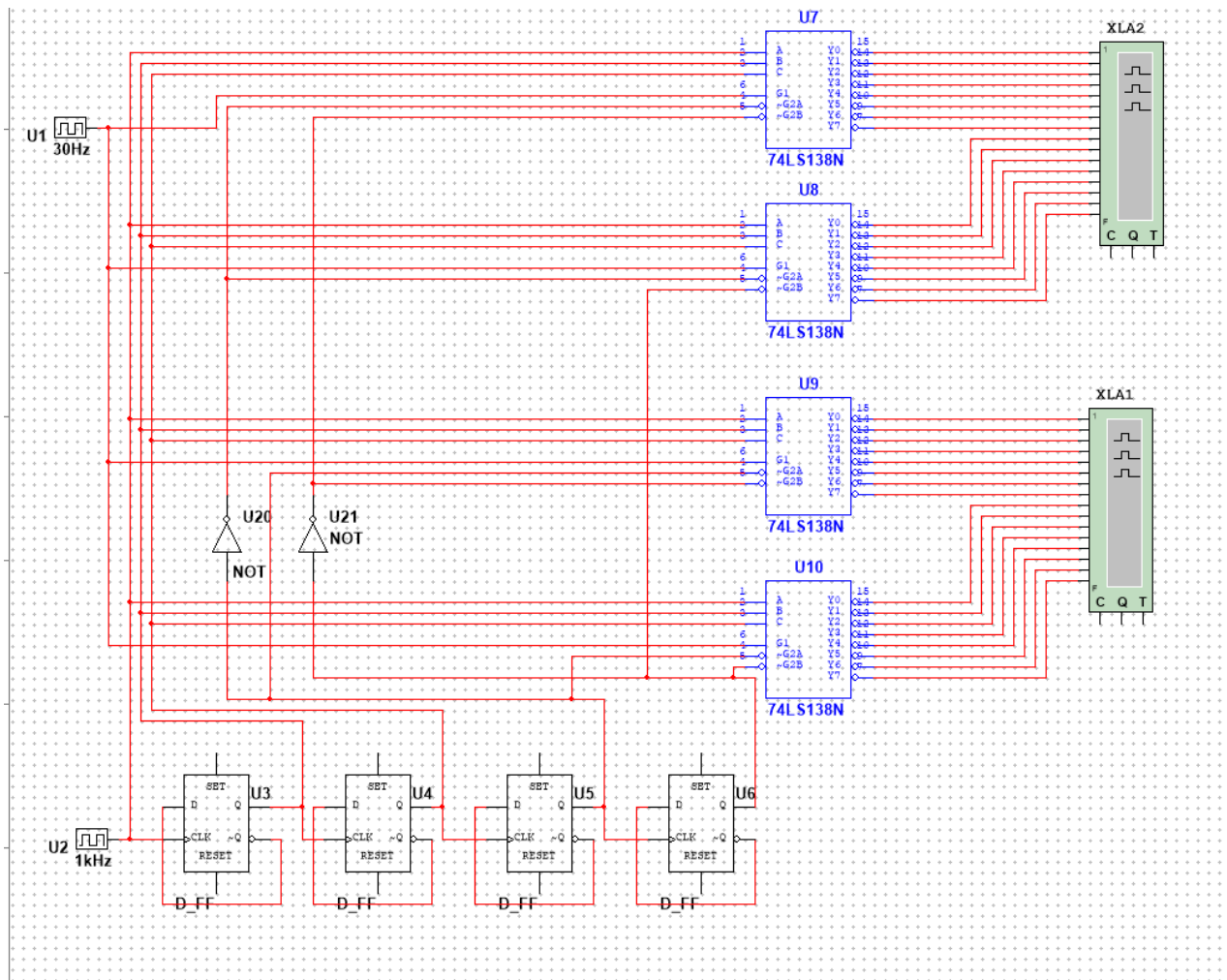


Рисунок 24

Временные диаграммы (рис. 25):

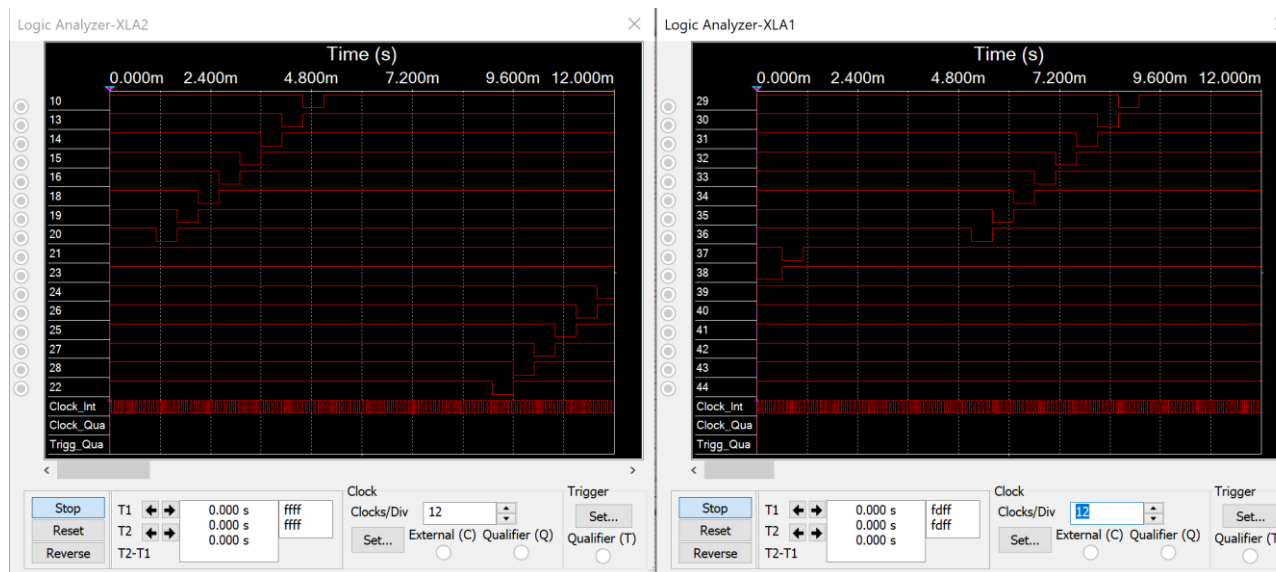


Рисунок 25

Вывод:

Изучены принципы построения и методы синтеза дешифраторов - комбинационных узлов с n входами и N выходами, преобразующих каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору. Дешифраторы ЭВМ применяются для преобразования кодов операций в управляющие сигналы в соответствующие цепи, для преобразования адресов ячеек памяти в сигналы выбора ячеек при записи и считывании информации из них и т.д. Проведены макетирование и экспериментальное исследование дешифраторов – получены временные диаграммы различных видов дешифраторов.