

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

по лабораторной работе № 1

Дисциплина: Архитектура ЭВМ

А. Ю. Попов

(И.О. Фамилия)

Москва, 2021

Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

1. Исследовать работу асинхронного RS-триггера с инверсными входами (см. рис. 3) в статическом режиме. Для этого необходимо:

- собрать схему RS-триггера на ЛЭ И-НЕ;
- к выходам Q и !Q триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах !S и !R триггера, составить таблицу переходов.

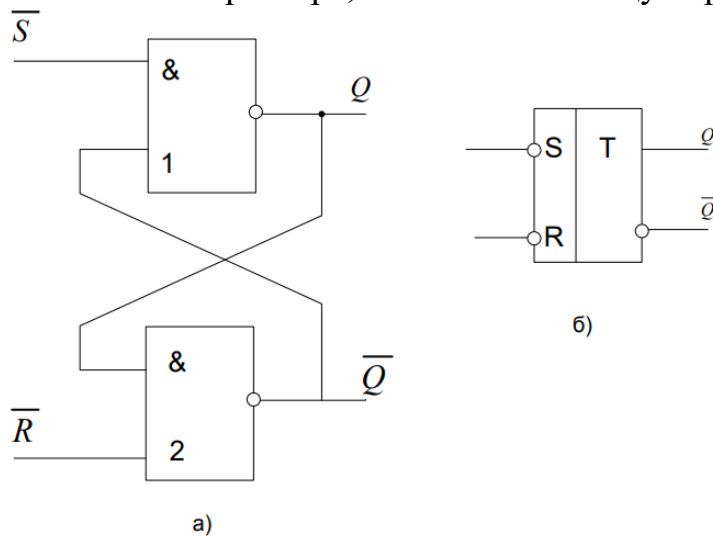
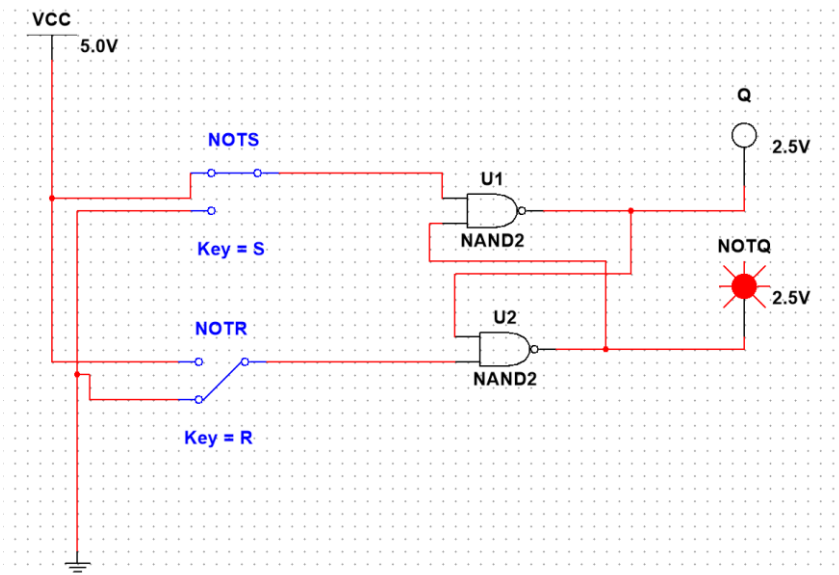


Рис. 3

RS-триггер с инверсными входами работает следующим образом. При !S=!R=1 триггер сохраняет прежнее внутреннее состояние. При !S=0 и !R=1 триггер переходит в состояние "1". При !S=1 и !R=0 триггер переходит в состояние "0". Комбинация сигналов !S=!R=0 является запрещенной, так как ЛЭ 1 и 2 выключаются, т.е. Q = 1 и !Q = 1, и схема не выполняет функцию триггера: он с равной вероятностью может перейти в состояние "0" или "1". Таким образом, состояние триггера после снятия сигналов будет неопределенным.

Схема асинхронного RS-триггера с инверсными входами на ЛЭ И-НЕ:



Соответствующая таблица переходов:

!S	!R	Q(t)	Q(t+1)	Пояснение
0	0	0	X	Запрещенная комбинация
0	0	1		
0	1	0	1	Установка 1
0	1	1		
1	0	0	0	Установка 0
1	0	1		
1	1	0	0	Сохранение прежнего внутреннего состояния
1	1	1	1	

2. Исследовать работу синхронного RS-триггера (см. рис. 4) в статическом режиме. Для этого необходимо:
 - собрать схему RS-триггера на ЛЭ И-НЕ (рис. 4);
 - к выходам Q и !Q триггера подключить световые индикаторы;
 - задавая через переключатели необходимые сигналы на входах S, R и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору S, R и Q будет соответствовать 3 строки: сначала задать C=0 (момент времени t(n)), затем при C=1 (момент времени t(n+1)) определяется Q(n+1) и снова при C=0 переход в режим хранения.

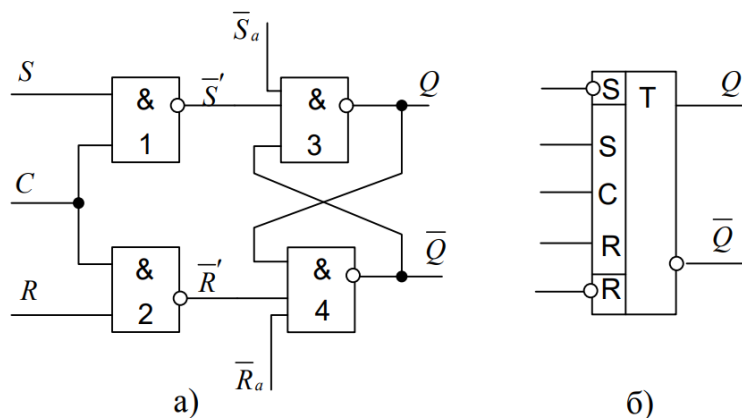
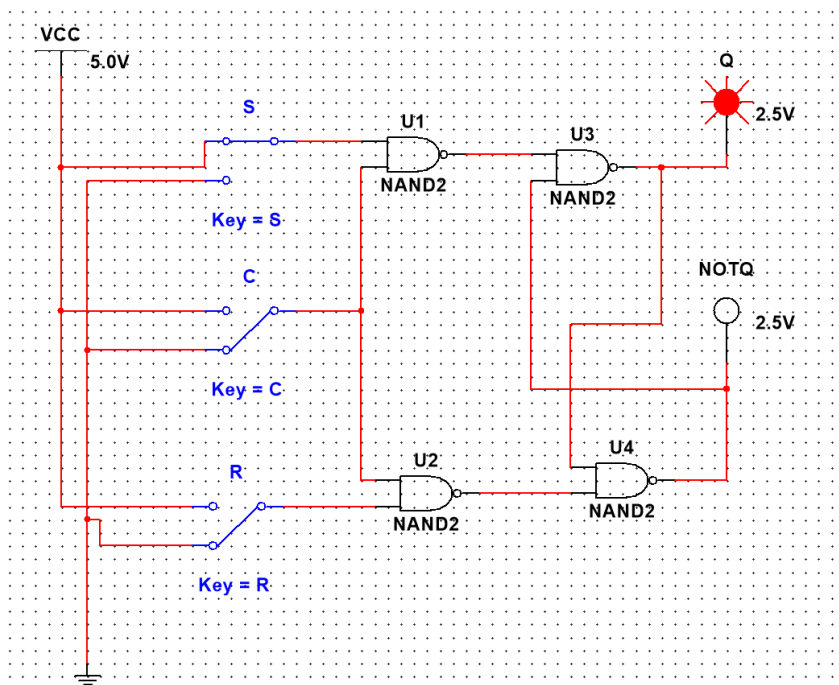


Рис.4

Синхронный RS-триггер имеет два информационных входа R и S и вход синхронизации C. ЛЭ 1 и 2 образуют схему управления, ЛЭ3 и 4 – асинхронный RS - триггер (запоминающую ячейку).

Синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние, т.е. $Q(n+1)=Q(n)$. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации C. При $C=1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $C=S=R=1$ запрещена. При $S=R=0$ триггер не изменяет своего состояния.

Схема синхронного RS-триггера на ЛЭ И-НЕ:



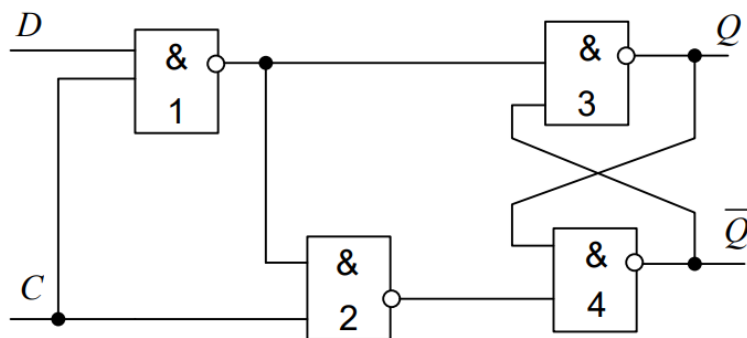
Соответствующая таблица переходов:

C	S	R	Q(t)	Q(t+1)	Пояснение
0	0	0	0	0	Сохранение прежнего внутреннего состояния
1				0	
0				0	
0	0	0	1	1	

1				1		
0				1		
0	0	1	0	0		Установка 0
1				0		
0				0		
0				1		
1	0	1	1	0		
0				0		
0				0		
0				0		
1	1	0	0	1	Установка 1	
0				1		
0				1		
0				1		
1	1	0	1	1		
0				1		
0				1		
0				1		
0	1	1	0	X	Запрещенная комбинация	
1						
0						
0						
0	1	1	1			
1						
0						
0						

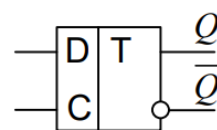
3. Исследовать работу синхронного D-триггера (см. рис. 5) в статическом режиме. Для этого необходимо:

- собрать схему D-триггера на ЛЭ И-НЕ; в приложении Multisim можно использовать макросхему D-триггера;
- к выходам Q и !Q триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору D и Q будет соответствовать 3 строки: сначала задать C=0 (момент времени t_n), затем при C=1 (момент времени t_{n+1}) определяется Q(n+1) и снова при C=0 происходит переход в режим хранения.



а)

Рис.5

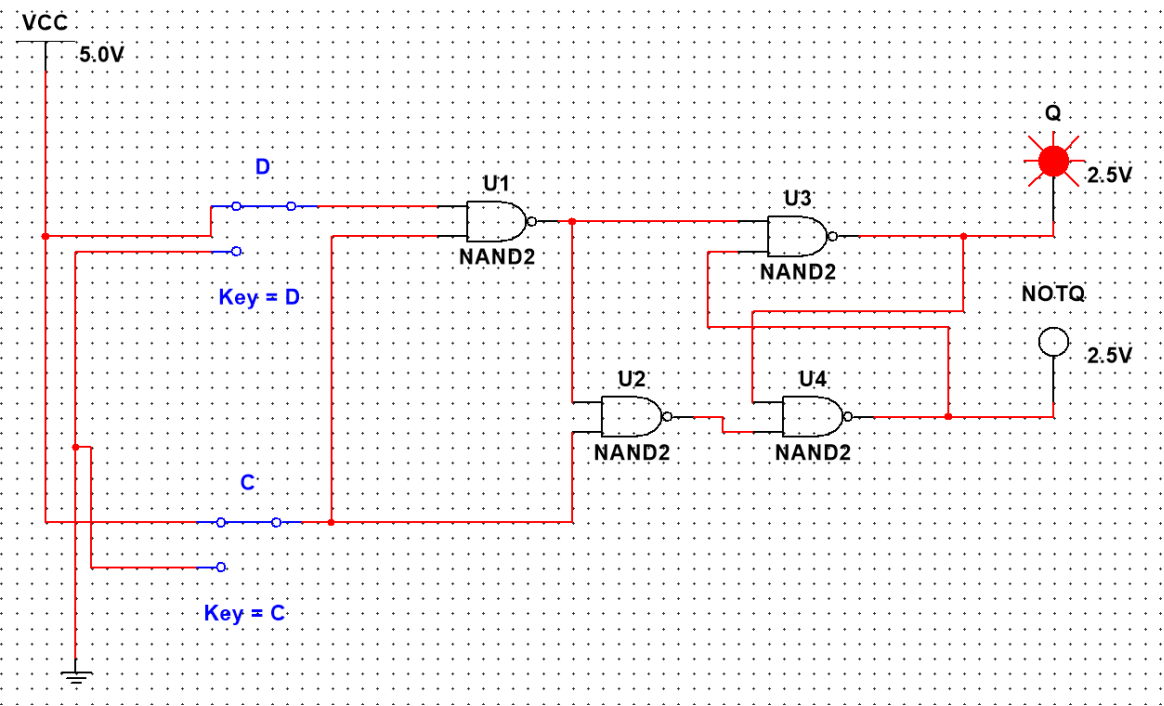


б)

Синхронный D -триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы. Поэтому D - триггер – элемент задержки (хранения) входных сигналов на один такт. Схему синхронного D -триггера можно получить из схемы синхронного RS – триггера, подавая сигнал D на вход S, а сигнал !D на вход R. В результате на входах RS-триггера возможны только наборы сигналов $SR = 01$ при $D=0$ или $SR = 10$ при $D=1$, что соответствует записи в триггер логического 0 или 1.

Путем логических преобразований инвертор можно исключить и получить схему синхронного D –триггера, показанную на рис.5,а.

Схема синхронного D-триггера на ЛЭ И-НЕ:



Соответствующая таблица переходов:

C	D	Q(t)	Q(t+1)	Пояснение
0	0	0	0	Сохранение прежнего внутреннего состояния
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	Установка 0
1	0	1		
1	1	0	1	Установка 1
1	1	1		

4. Исследовать схему синхронного D-триггера с динамическим управлением записью (рис. 6) в статическом режиме. В приложениях Electronics

Workbench и Multisim имеются макросхемы такого триггера. Для этого необходимо:

- к выходам Q и !Q триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста следует отметить реакцию триггера на изменения сигнала D при C=0 и при C=1, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала C.

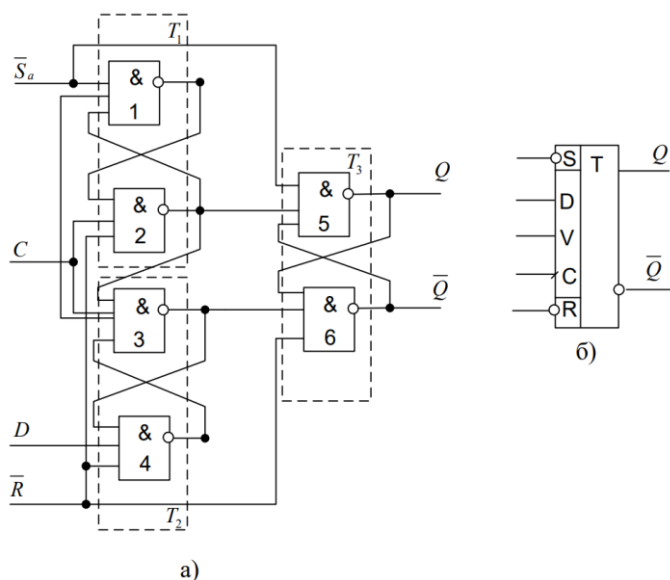


Рис.6

Характерной особенностью синхронных триггеров с динамическим управлением записью является то, что прием информационных сигналов и передача на выход принятой информации выполняются в момент изменения синхросигнала на C -входе из "0" в "1" или из "1" в "0", т.е. перепадом синхросигнала. Такой C -выход называется динамическим, причем в первом случае динамический C-вход - прямой, во втором - инверсный. Синхронный триггер с динамическим управлением записью принимает только те информационные сигналы, которые были на его информационных входах до прихода синхросигнала и после него в течение времени, необходимого для переключения триггера и определяемого переходными процессами в нем.

Практическая схема синхронного D-триггера с прямым динамическим входом на ЛЭ И-НЕ. Она состоит из трех триггеров: основного асинхронного RS-триггера ТЗ на ЛЭ 5 и 6, вспомогательного синхронного RS -триггера Т1 на ЛЭ 1 и 2, используемого для записи "1" в основной триггер, а также вспомогательного синхронного RS-триггера Т2 на ЛЭ 3 и 4 для записи "0" в основной триггер.

Когда синхросигнал изменяет свое значение на C = 0, ЛЭ 2 и 3 выключаются и триггер переходит в режим хранения. После окончания перехода синхросигнала из "0" в "1" синхронный D-триггер с динамическим управлением записью переходит в режим хранения. Таким образом в триггер записывается значение сигнала D, действующее в момент перепада 0/1 синхросигнала C.

После этого при $C = 1$ любые изменения информационного сигнала на входе D не вызывают изменения состояния основного триггера.

Схема синхронного D-триггера с динамическим управлением записью на ЛЭ И-НЕ:

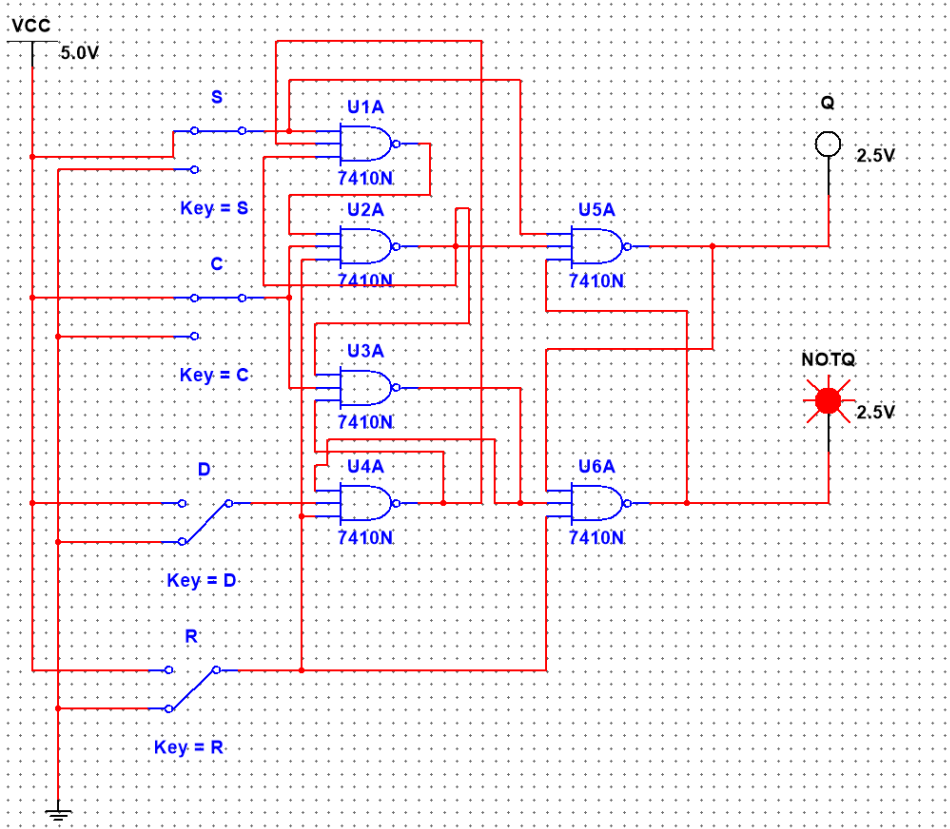
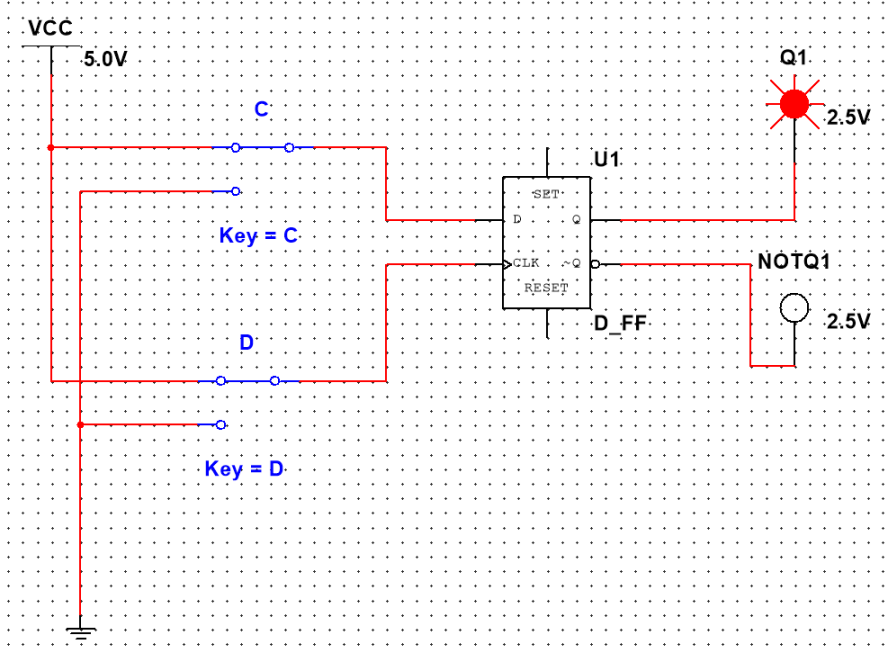


Схема синхронного D-триггера с динамическим управлением записью с помощью макросхемы:



Соответствующая таблица переходов:

C	D	Q(t)	Q(t+1)	Пояснение
0-1	0	0	0	Установка 0
0-1	0	1		

0-1	1	0	1	Установка 1
0-1	1	1		
другие	любые	0	0	Сохранение прежнего внутреннего состояния
другие	любые	1	1	

Если схему D -триггера дополнить входом V, то получим структуру DV-триггера. Временные диаграммы D -триггера соответствуют временным диаграммам DVтриггера при V= 1.

5. Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме. Для этого необходимо:
- построить схему синхронного DV-триггера на основе синхронного D-триггера и мультиплексора MS 2-1 (выход MS 2-1 соединить с D-входом триггера, вход 0 MS 2-1 соединить с выходом Q триггера. Тогда вход 1 MS 2-1 будет D-входом, адресный вход A MS 2-1 – входом V синхронного DV-триггера), вход C D-триггера – входом C DVтриггера;
 - подать сигнал генератора на вход счетчика и на C-вход DV-триггера;
 - подать на входы D и V триггера сигналы с выходов 2-го и 3-го разрядов счетчика;
 - снять временные диаграммы синхронного DV-триггера;
 - объяснить работу синхронного DV-триггера по временным диаграммам.

Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

При статическом управлении записью:

При C=0 DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_n = Q_{n-1}$.

При C=1 и при наличии сигнала V=1 разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер.

При C=1 и V=0 DV триггер сохраняет предыдущее внутреннее состояние, т.е. $Q_n = Q_{n-1}$.

Если схему D -триггера дополнить входом V, то получим структуру DV-триггера. Временные диаграммы D -триггера соответствуют временным диаграммам DV триггера при V= 1.

Схема синхронного DV-триггера с динамическим управлением записью:

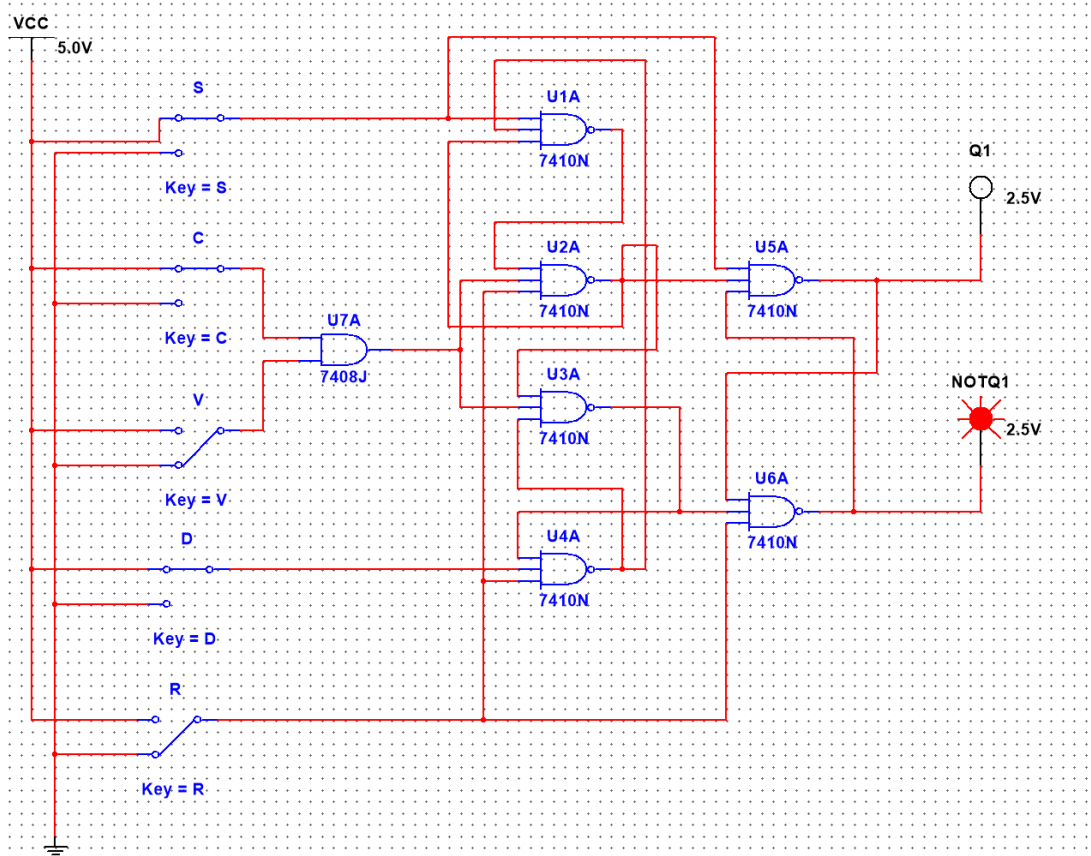
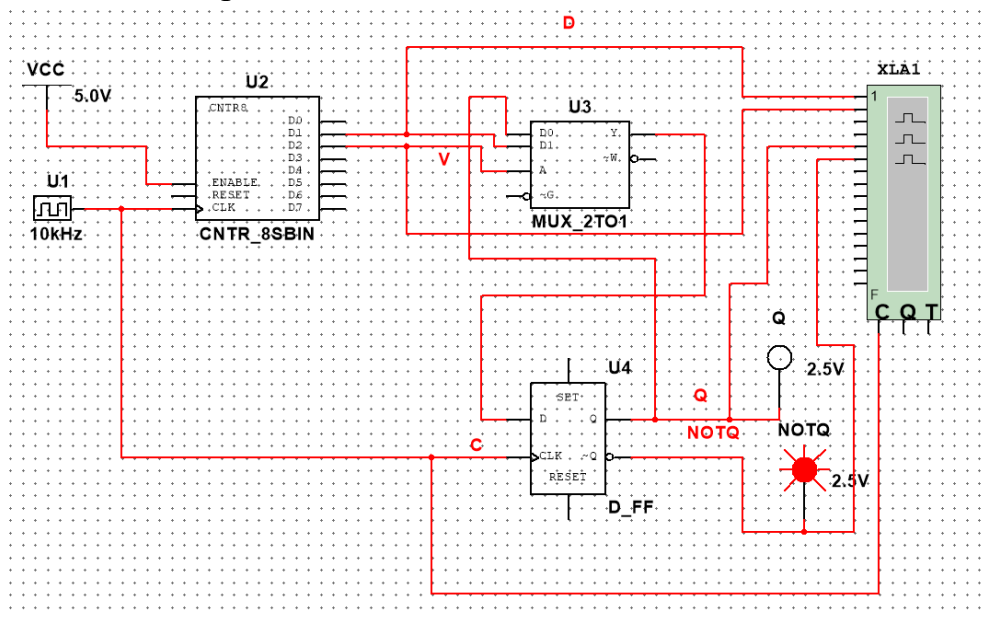
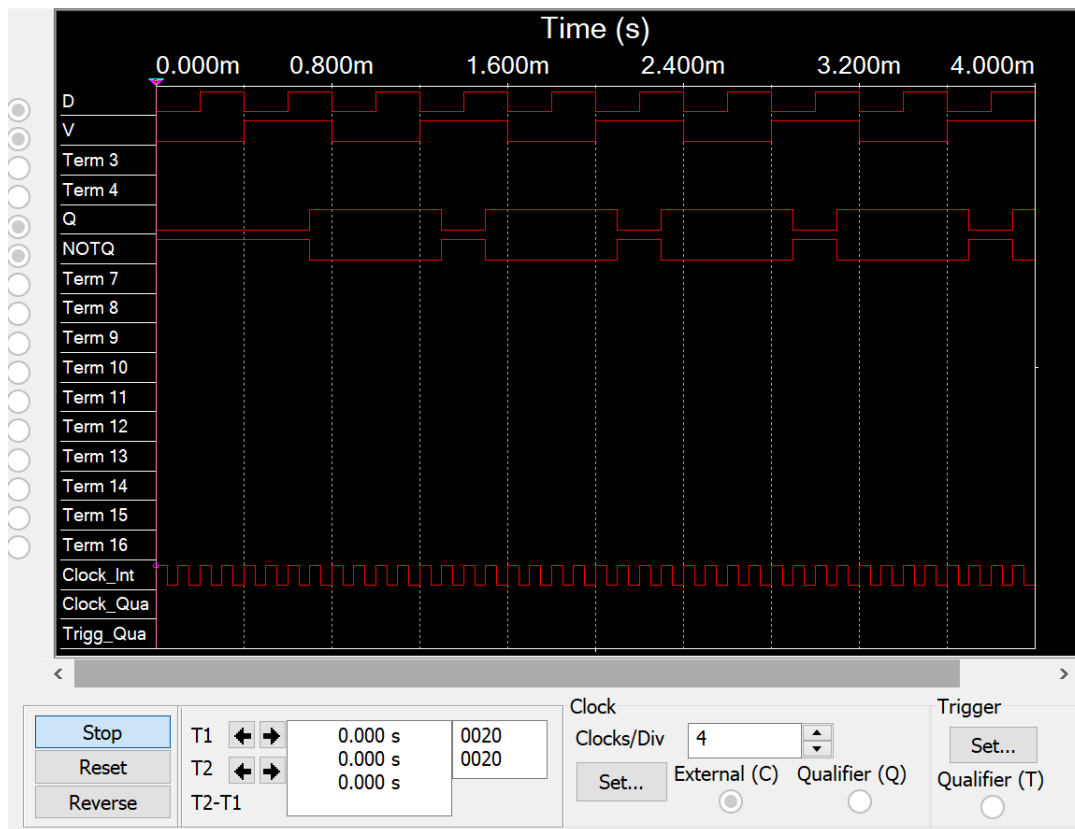


Схема синхронного DV-триггера с динамическим управлением записью с помощью макросхемы:



Временная диаграмма синхронного DV-триггера:



Соответствующая таблица переходов:

C	D	V	Q(t)	Q(t+1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Исследование подтвердило, что:

При C=0 DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_n = Q_{n+1}$.

При $C=1$ и при наличии сигнала $V=1$ разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер.
 При $C=1$ и $V=0$ DV триггер сохраняет предыдущее внутреннее состояние, т.е. $Q_n = Q_{n-1}$.

6. Исследовать работу DV-триггера, включенного по схеме TV-триггера (рис. 8). Для этого необходимо:

- на вход D подать сигнал $!Q$, на вход C подать сигналы генератора, а на вход V - с выхода 3-го разряда счетчика;
- снять временные диаграммы Т-триггера;
- объяснить работу синхронного Т-триггера по временным диаграммам.

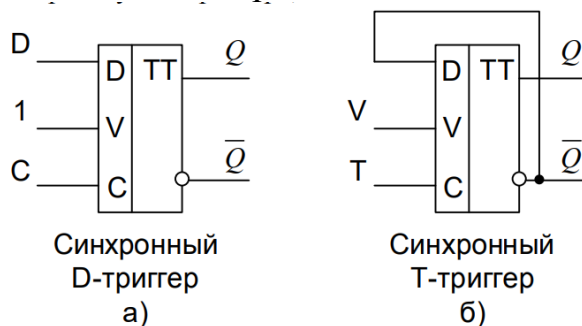
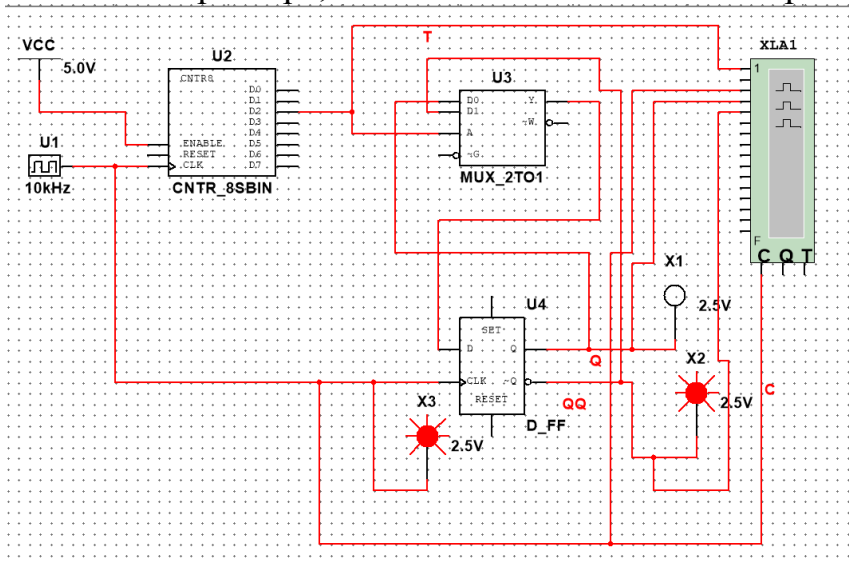


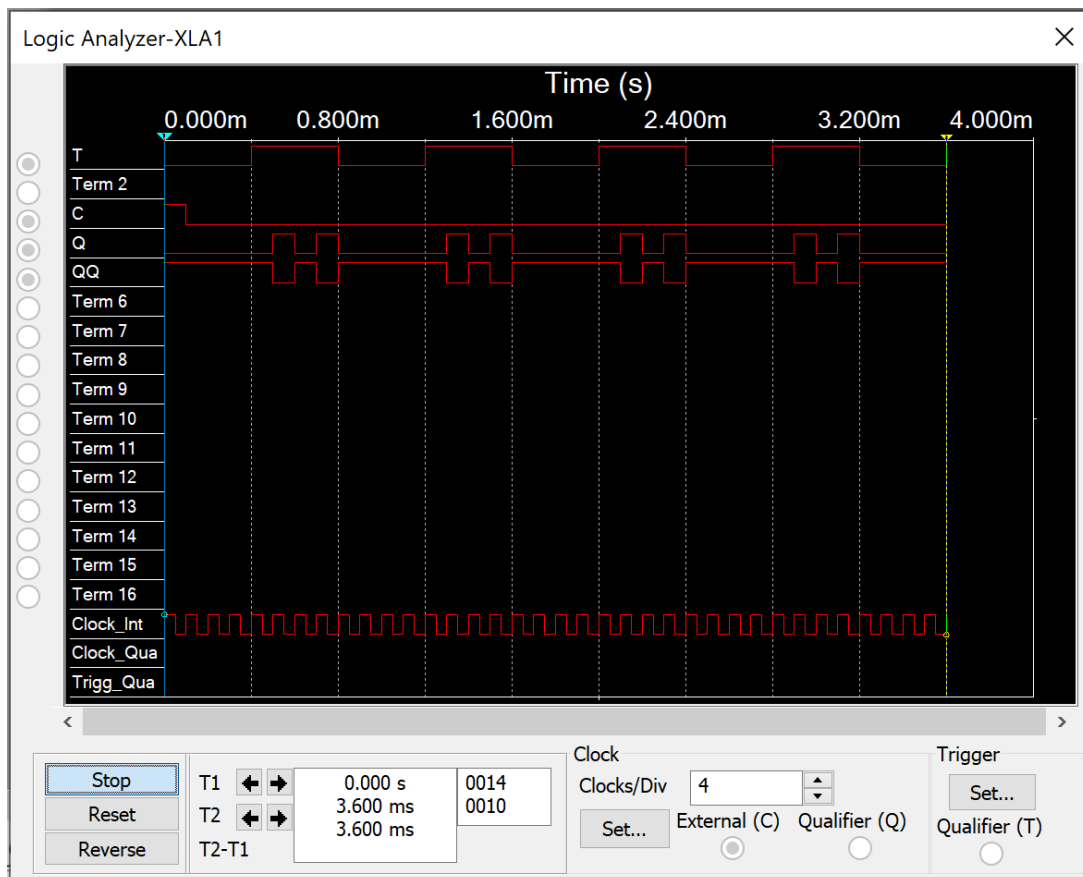
Рис.8

Т-триггер имеет один информационный вход Т, называемый счетным входом. Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2. Синхронный Т-триггер имеет вход С и вход Т. Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

Схема DV-триггера, включенного по схеме TV-триггера:



Временная диаграмма:



Когда $C=1$ и $V=1$ TV-триггер принимает информационный сигнал, действующий на входе T, и тогда Q и !Q меняют свои значения.

Вывод:

В целом, в цифровых вычислительных машинах триггеры выполняют функцию запоминания и временного хранения информации. Они все имеют два выхода: прямой Q и инверсный !Q, в общем случае несколько физических входов, на которые могут подаваться сигналы, закодированные цифрами 0 и 1, и в результате действия входных сигналов переключаются из одного устойчивого состояния в другое.

Но существует множество видов триггеров, которые отличаются друг от друга способом организации логических связей, способом запаса информации, способом синхронизации, способом передачи информации с входов на выход. Поэтому и применяться различные триггеры могут для разных вычислений и выполнения особых функций.