



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент	ИУ7-42Б (Группа)	17.05.2021 (Подпись, дата)	А. А. Зайцева (И.О. Фамилия)
Преподаватель		(Подпись, дата)	А. Ю. Попов (И.О. Фамилия)

Москва, 2021

Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

1) Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов (см. рис. 1).

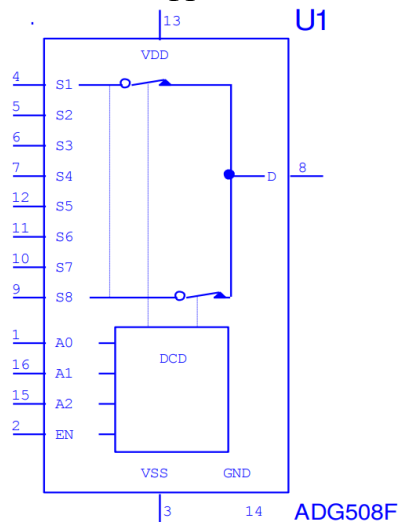


Рисунок 1

а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов по номеру варианта (6: 01011101). Логические уровни 0 и 1 задавать источниками напряжения $U=5$ В и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе

Схема (см. рис. 2)

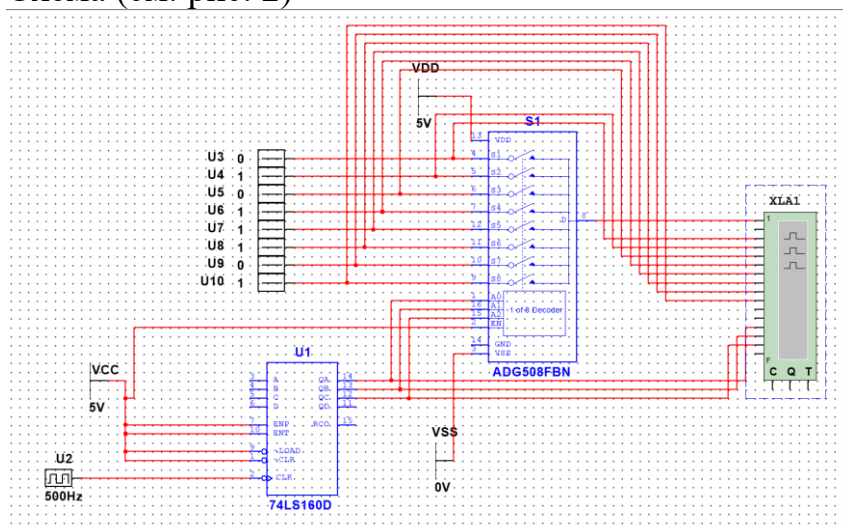


Рисунок 2

Временная диаграмма (см. рис. 3)

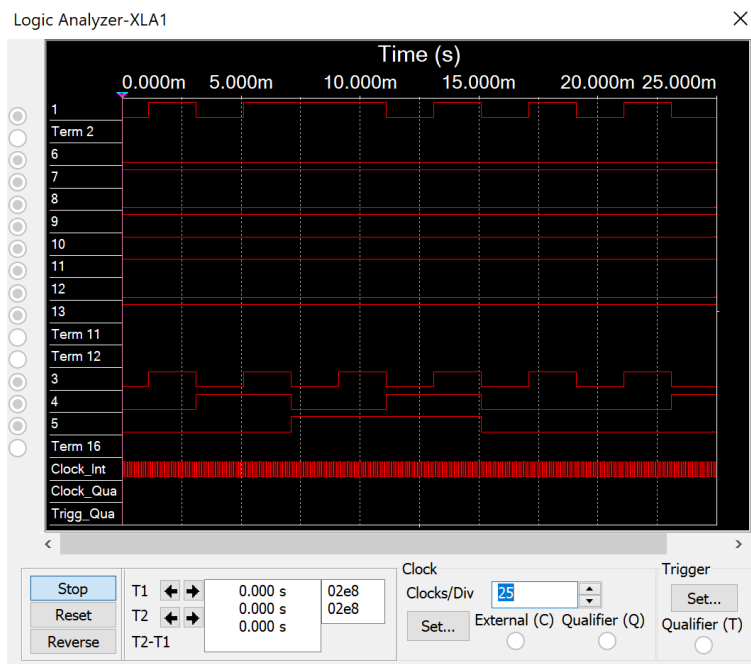


Рисунок 3

На данной диаграмме видно, что мультиплексор можно использовать как адресный коммутатор: он передает на выход информационный сигнал, адрес которого установлен на адресных входах.

2) Исследование ИС ADG408 или ADG508 (см. рис. 1) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Схема (см. рис. 4):

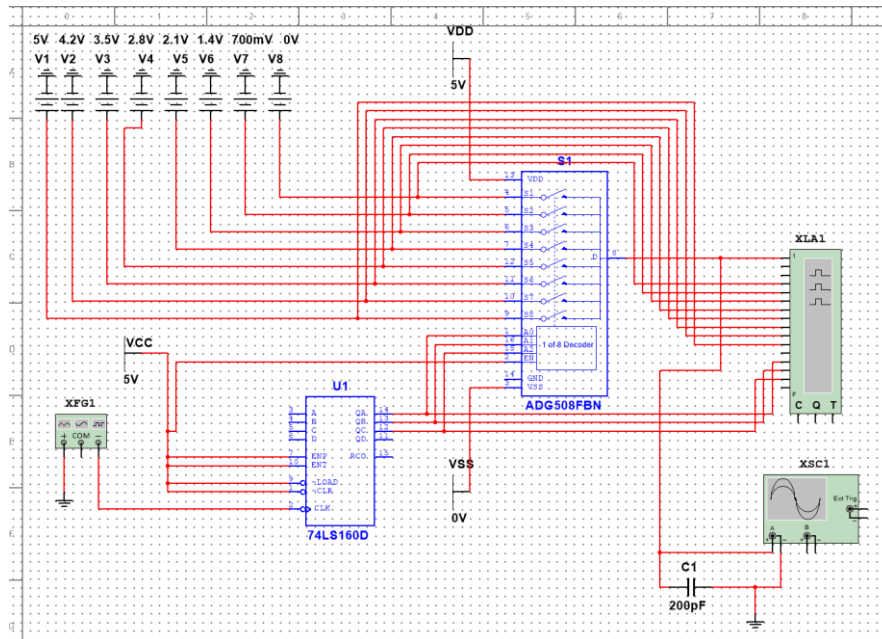


Рисунок 4

По данным с логического анализатора (см. рис. 5) можно заметить, что выходной сигнал получается с задержкой. Это происходит из-за переходных процессов внутри мультиплексора,

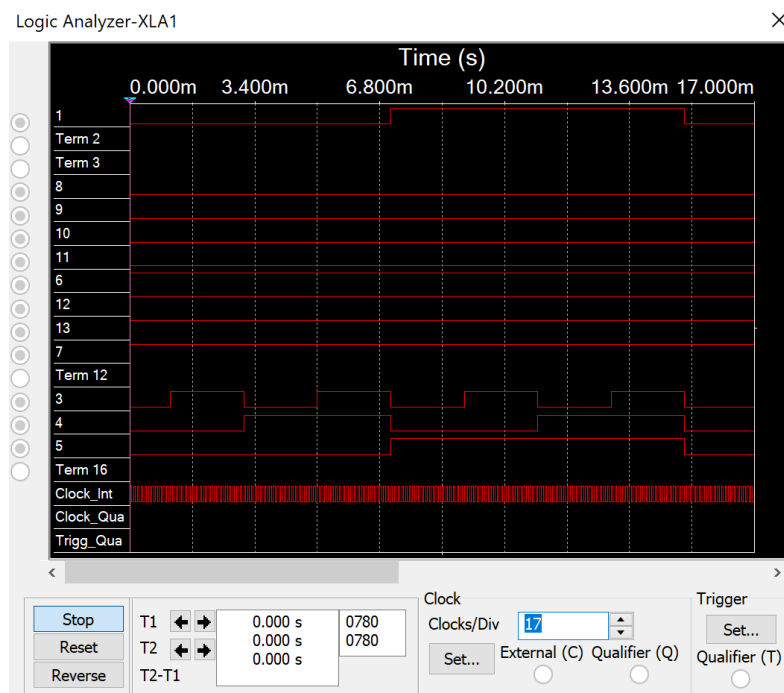


Рисунок 5

По данным с осциллографа (см. рис. 6) можно сделать вывод, что выходной сигнал – это функция, а не дискретные значения. В дискретные значения он переводится по следующему правилу: если сигнал ≥ 0.5 , то он

интерпретируется как 1, иначе – как 0.

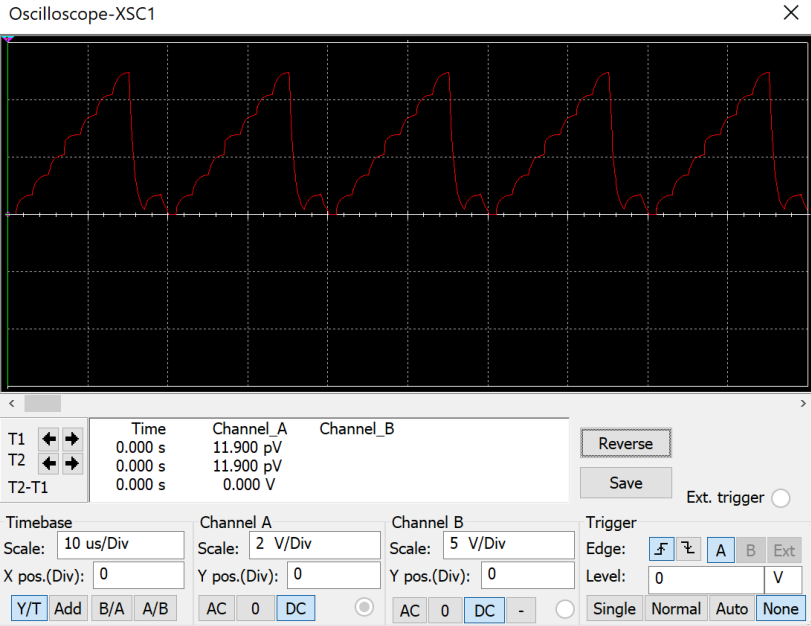


Рисунок 6

3) Исследование ИС ADG408 или ADG508 (рис.1) как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных по варианту (6: 1, 2, 3, 6, 8, 9, 10, 12, 13).

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вспомогательная таблица (см. таб. 1):

Таблица 1

№ набора	A2	A1	A0	x	f	Di
0	0	0	0	0	0	x
1	0	0	0	1	1	
2	0	0	1	0	1	1
3	0	0	1	1	1	
4	0	1	0	0	0	0
5	0	1	0	1	0	
6	0	1	1	0	1	!x
7	0	1	1	1	0	
8	1	0	0	0	1	1
9	1	0	0	1	1	
10	1	0	1	0	1	!x
11	1	0	1	1	0	
12	1	1	0	0	1	1
13	1	1	0	1	1	
14	1	1	1	0	0	0
15	1	1	1	1	0	

Схема (см. рис. 7):

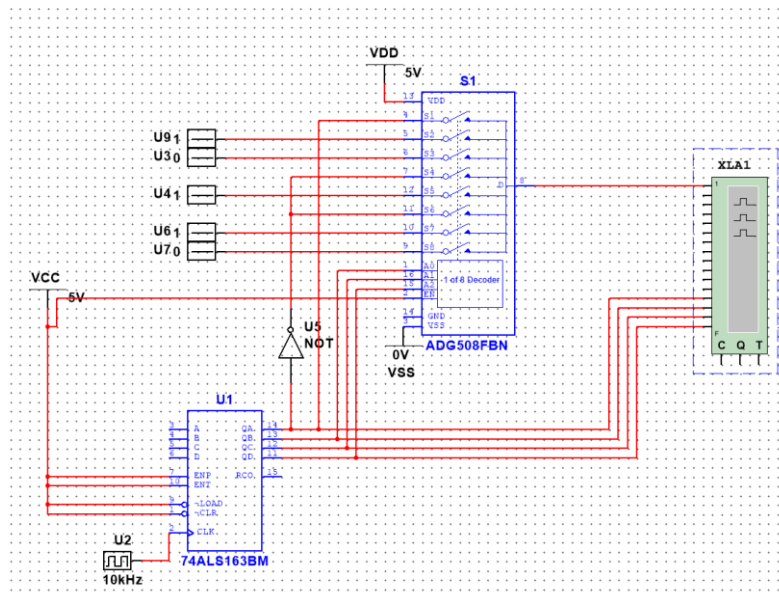


Рисунок 7

Временная диаграмма (см. рис. 8) показывает, что мультиплексор в качестве формирователя ФАЛ четырех переменных собран верно.

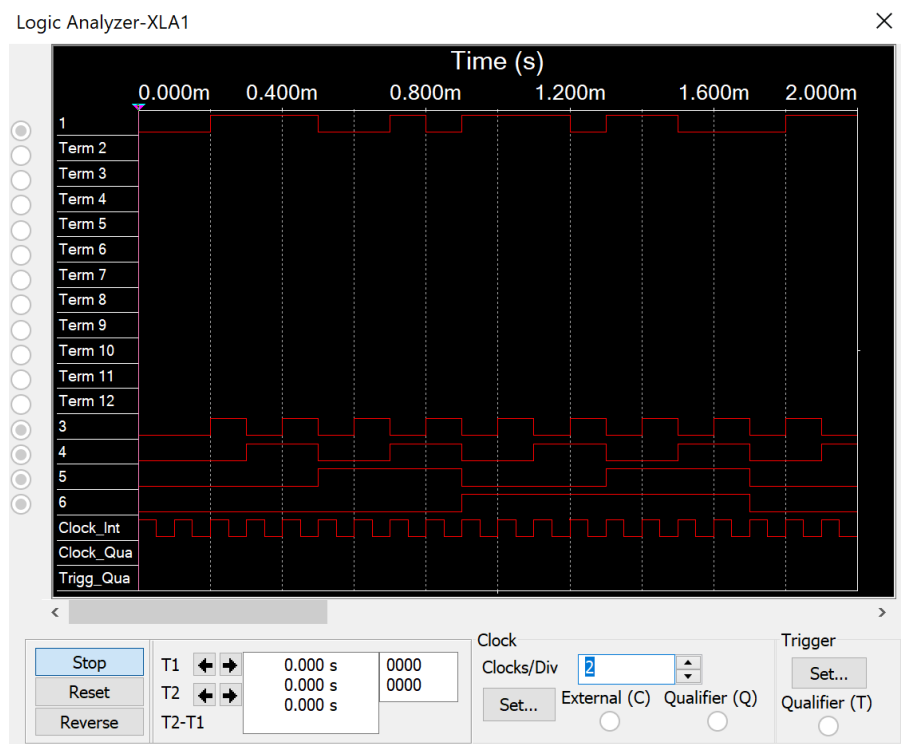


Рисунок 8

Наращивание мультиплексора. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (рис. 9). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – по варианту (6: 1, 2, 3, 6, 8, 9, 10, 12, 13 = 0111 0010 1110 1100). Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

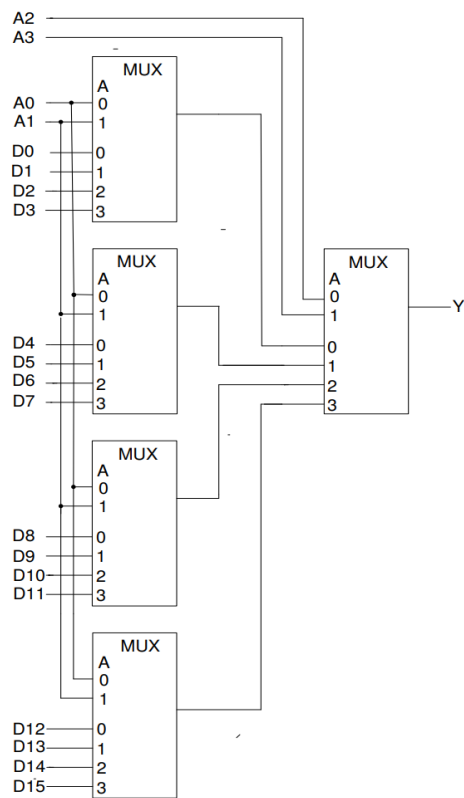


Рисунок 9

Схема (см. рис. 10):

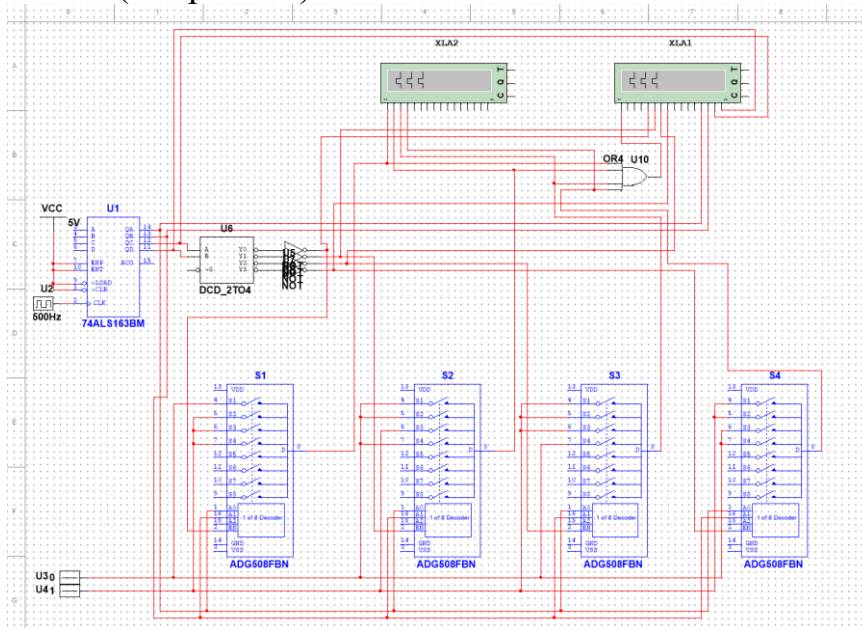


Рисунок 10

Временные диаграммы (см. рис. 11, 12):

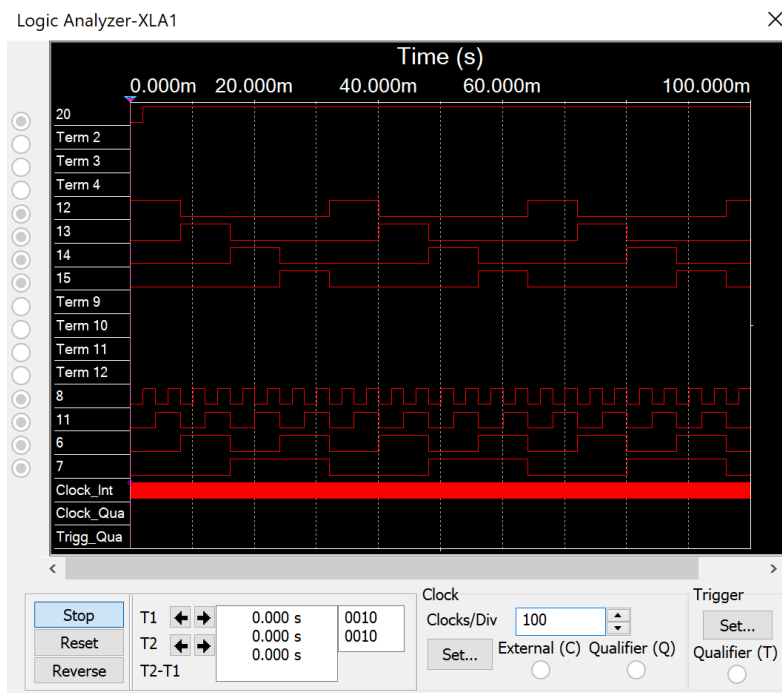


Рисунок 11

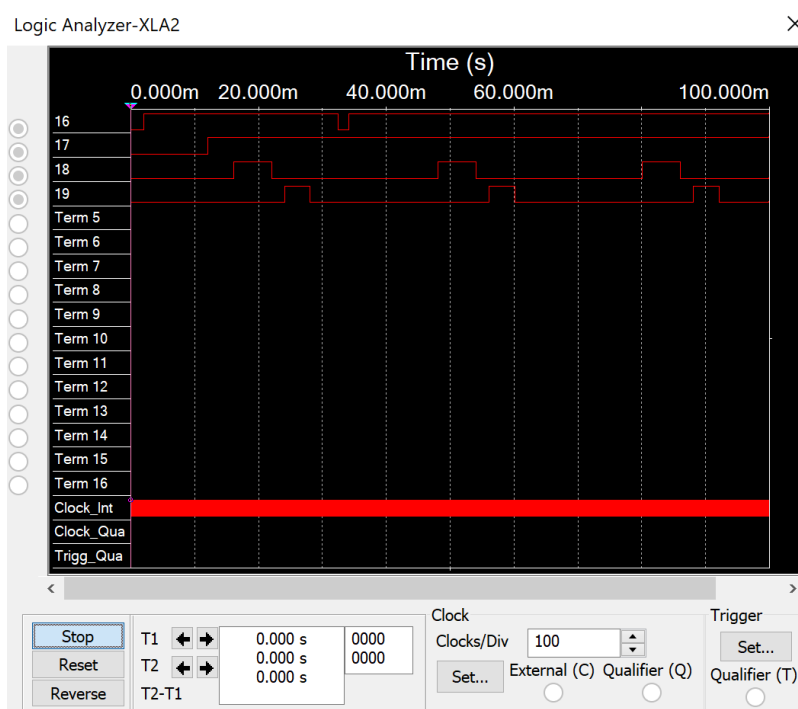


Рисунок 12

Временные диаграммы показывают ожидаемые результаты, схема построена верно, и с помощью такого метода наращивания можно реализовать мультиплексор любой сложности.

Вывод: изучены принципы построения, наращивания и способы практического применения мультиплексоров.