**Folded Cascode CMOS con ingresso n**

*Report Preliminare*

Immagine che contiene diagramma, Piano, Disegno tecnico, schematico

Descrizione generata automaticamenteSi riporta il circuito da progettare

Immagine che contiene diagramma, testo, linea, Piano

Descrizione generata automaticamenteDi seguito si riporta lo schematico su LTSpice

Le condizioni per il progetto sono:

Vdd=2.5 V

Ib =11 A , I0= 22 A, I1=22 A, ID12= Ib, ID13=3 Ib

Immagine che contiene testo, diagramma, linea, Carattere

Descrizione generata automaticamenteFacendo riferimento al seguente test-bench

Si effettua una preliminare analisi del punto di riposo (.op) e si verifica che i transistori siano in saturazione e che le VGS-Vt siano vicine a quelle richieste.

Tramite lo “Spice Error Log” si ottiene

Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamenteImmagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamente

Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamenteImmagine che contiene testo, Carattere, schermata, tipografia

Descrizione generata automaticamente

Si può notare che le VGS-Vt dei transistor rientrano nel range richiesto 200mV ±20mV, mentre per quanto riguarda il transistor M15, che dovrebbe avere VGS-Vt = 500mV, si ottiene un valore di 434mV.

Immagine che contiene testo, diagramma, schermata, Carattere

Descrizione generata automaticamenteLa seconda simulazione da effettuare è stata realizzata con la stessa test-bench, ma realizzando un dc sweep della tensione Vd tra 10mV e +10mV con un passo di 10 V mantenendo VC a 1.25 V (.dc Vd -10m 10m 10u)

Di seguito riporta il grafico della corrispondente tensione di uscita

Immagine che contiene schermata

Descrizione generata automaticamente

Immagine che contiene schermata, Software per la grafica

Descrizione generata automaticamentePer una stima dell’amplificazione si riporta il grafico di d(V(out))/d(Vd)

Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamente

Grazie al cursore si ha un guadagno Ad ≈ 1768, valore che rientra nelle specifiche (>1000).

La seconda stima da effettuare è quella relativa alla tensione di offset sistematica dello stadio, un secondo cursore fornisce

Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamente

Si ha un offset sistematico pari a 120 V, valore che non rientra nelle specifiche richieste (<100 V). Tale risultato è frutto di alcuni tentativi di dimensionamento per cercare di avvicinarsi alle specifiche richieste e rappresenta il miglior risultato che si è riusciti ad ottenere.

Come simulazione finale si chiede si collegare l’amplificatore operazionale a formare un buffer ed effettuare un dc sweep della tensione da 0 a Vdd con step 0.01V (.dc V2 0 2.5 0.01).

Immagine che contiene testo, diagramma, schermata, Carattere

Descrizione generata automaticamenteSi riporta la test-bench utilizzata

Immagine che contiene schermata, Diagramma

Descrizione generata automaticamenteIl risultato della simulazione è il seguente

Immagine che contiene testo, schermata, Carattere, numero

Descrizione generata automaticamente

Il range di linearità misurato risulta pari a:

600 mV < Vin < 2.29 V