

LM – Ingegneria Elettronica Microelectronics a.a. 2016/2017 TSPC Full Adder

Obiettivi e requisiti del progetto

L'obiettivo del progetto è quello di realizzare un circuito in grado di eseguire la somma tra due bit di segnale A e B, tenendo conto del possibile resto della somma precedente riportato dal bit di segnale C. La tecnica di realizzazione del circuito adottata è quella TSPC (true-single-phase-clock), per la quale non è possibile connettere uno stadio di precarica N direttamente ad uno stadio di precarica P senza uno stadio di latch nel mezzo.

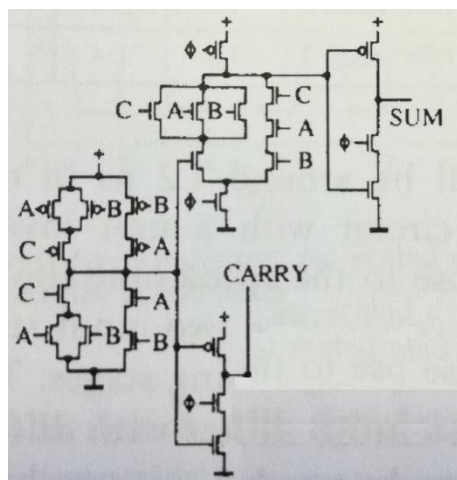
Per la realizzazione di questo circuito sono stati impiegati i due tool software: Microwind 2.6 e LT Spice IV. La tecnologia adottata è la 0,12 μm con alimentazione pari ad 1,2 V.

I requisiti del progetto prevedono l'utilizzo di un carico sulle due uscite C_{load} pari a 100 fF ad una frequenza di lavoro minima f_{min} di 2 GHz.

I tre bit di segnale A, B e C sono generatori di tensione ideali di periodo 500 ps e di τ_r e τ_f pari a 25 ps.

Progetto

A questo punto bisogna dimensionare i diversi transistor appartenenti al circuito per fare in modo che le prestazioni attese vengano soddisfatte. Il modello da implementare è il seguente:



Come si può osservare in figura, il numero di transistor da realizzare è 25 e devono essere opportunamente dimensionati dal punto di vista del rapporto W/L .

Partendo dall'ultimo stadio (analogamente per entrambe le uscite SUM e CARRY) si applica la seguente formula per il calcolo della W che corrisponde alla larghezza del canale:

$$W_n = \frac{2CV_{DD}L}{\tau\mu_n C_{OX}(V_{DD} - V_{TH})^2} = 2,01 \cdot 10^{-7} \text{ m}$$

dove tutti i parametri coinvolti sono quelli associati alla tecnologia impiegata, fatta eccezione per τ che dipende direttamente dalla frequenza di lavoro. In particolare, corrisponde all'intervallo temporale massimo entro cui il segnale di uscita deve stabilizzarsi a seguito della transizione. Per cui, dato che la frequenza di lavoro deve essere di 2 GHz, il valore di τ_{max} sarà pari a 250 ps, derivante dalla divisione per 2 del periodo di clock.

La tecnologia adottata è la $0,12\text{ }\mu\text{m}$, quindi bisogna approssimare per eccesso il risultato ottenuto in modo tale da poterlo implementare fisicamente e si ottiene un'ampiezza del parametro W_n pari a:

$$W_n = 2,40 \cdot 10^{-7} \text{ m}$$

Quanto si è appena calcolato è il valore della larghezza di canale di un transistor N nel caso in cui questo sia non in serie, ma, nel caso specifico, l'ultimo stadio è caratterizzato da due transistor N in serie. Dunque, la W_n dell'ultimo stadio dovrà essere moltiplicata per un fattore 2 e risulterà pari a $4,02 \cdot 10^{-7} \text{ m}$, che approssimato per le ragioni viste sopra diventerà pari a:

$$W_{n,serie} = 4,80 \cdot 10^{-7} \text{ m}$$

In generale, i portatori di carica di un transistor P hanno mobilità ridotta rispetto a quella dei portatori del transistor N, quindi, nel dimensionamento del transistor P appartenente al ramo dell'ultimo stadio, bisogna moltiplicare la larghezza di canale del transistor N non in serie, già approssimata per eccesso, per un fattore 3. In questo modo la corrente erogata dai due dispositivi sarà circa la stessa. Per cui:

$$W_p = 3W_n = 3 \cdot 2,40 \cdot 10^{-7} = 7,20 \cdot 10^{-7} \text{ m}$$

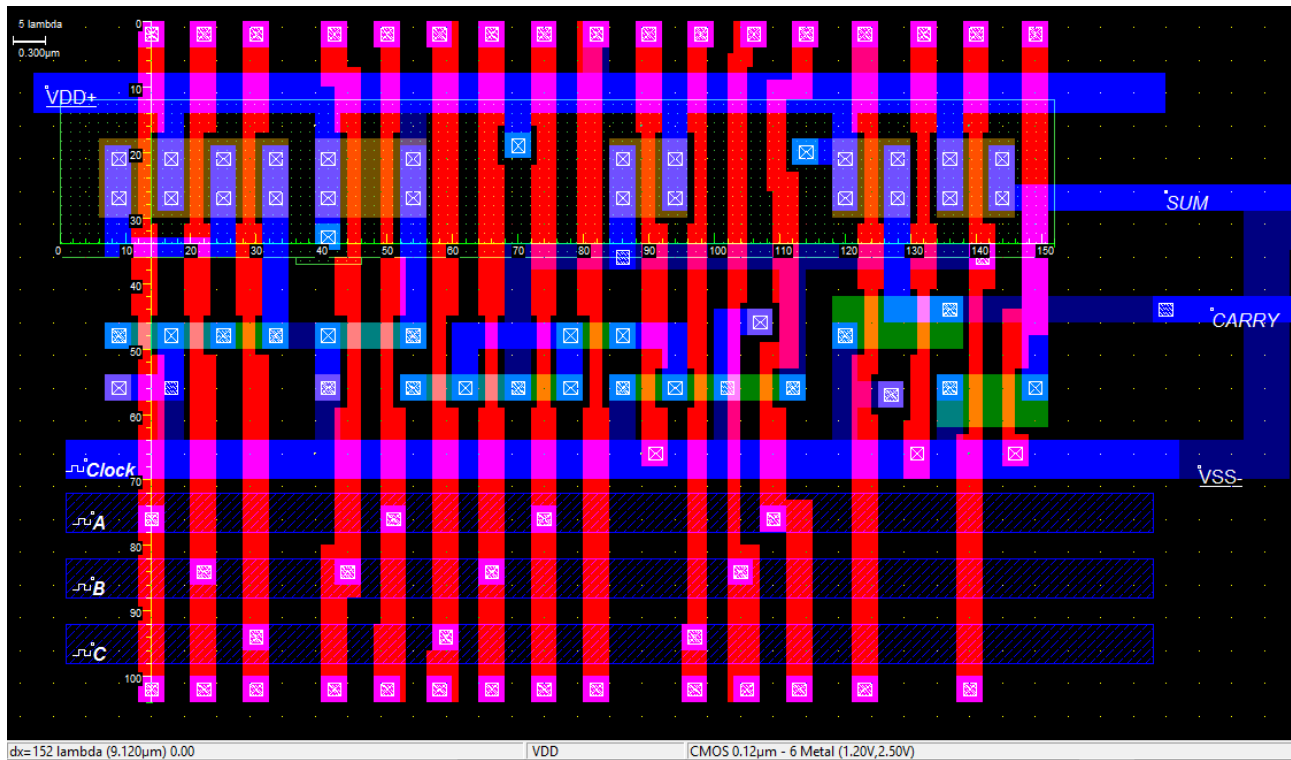
Per il dimensionamento degli stadi precedenti è necessario calcolare la capacità d'ingresso dello stadio successivo, che corrisponderà alla capacità di carico dello stadio in esame. A partire da questo valore si procederà nel calcolo secondo le modalità appena illustrate.

Prendendo in considerazione lo stadio precedente all'ultimo del circuito in esame, la capacità di carico corrisponde alla somma delle capacità di gate dei due transistor collegati al terminale d'uscita, perché in parallelo tra loro.

$$C_G = (C_{ox}W_nL_n) + (C_{ox}W_pL_p) = 2,45 \text{ fF}$$

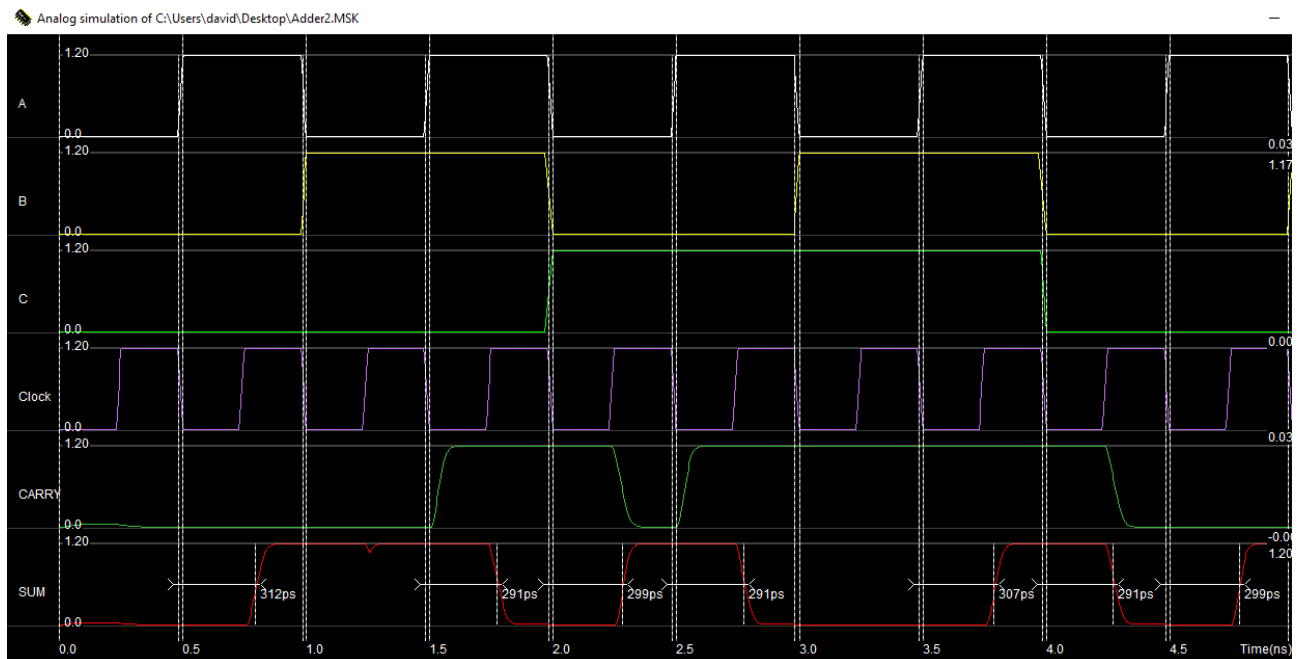
Dato che questo risultato è inferiore al condensatore C_{load} di un fattore pari a 40 si conclude che i transistor precedenti all'ultimo stadio avranno dimensione minima, quindi pari a quella della tecnologia impiegata.

Il circuito realizzato secondo le dimensioni calcolate è il seguente:



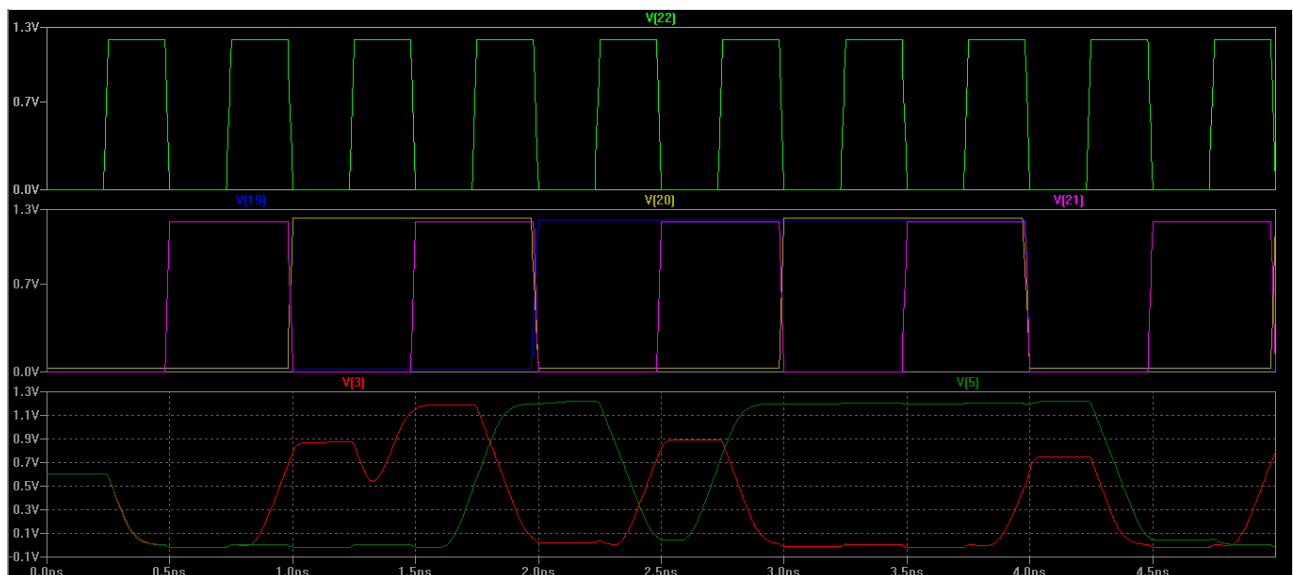
Le dimensioni del circuito sono $106 \times 152 \lambda$.

Di seguito viene riportata la relativa simulazione su Microwind:



Come è possibile osservare analizzando la simulazione, il circuito funziona in maniera corretta. Per un'analisi più approfondita si preferisce ripetere la stessa simulazione con LT Spice IV, il quale garantisce una maggior affidabilità dal punto di vista del funzionamento del circuito. Per farlo è sufficiente esportare la netlist generata in automatico da Microwind e darla in pasto ad LT Spice, in seguito alle opportune modifiche relative al dimensionamento delle capacità di carico coinvolte (modificate durante la generazione della netlist).

La simulazione è la seguente:



dove V[3] (traccia rossa) corrisponde al terminale di SUM, V[5] (traccia verde scuro) al terminale di CARRY, V[22] (traccia verde chiaro) al segnale di clock, V[19] (traccia blu) al segnale C, V[20] (traccia gialla) al segnale B e V[21] (traccia viola) al segnale A.

È facile accorgersi del fatto che le uscite del circuito non sono abbastanza veloci nella commutazione. Il motivo per il quale ciò accade è dovuto all'eccessivo effetto resistivo dei transistor, dunque bisogna

procedere con il graduale aumento della larghezza dei transistor coinvolti, partendo da quelli dello stadio finale.

Dopo una serie di prove successive, si è giunti a fissare le seguenti dimensioni per l'ultimo stadio:

$$W_p = 54 \lambda = 3,24 \cdot 10^{-6} m$$

$$W_n = 36 \lambda = 2,16 \cdot 10^{-6} m$$

A causa dell'aumento della capacità di gate dell'ultimo stadio, si sono dovute modificare anche le dimensioni dei transistor N dello stadio precedente a quello del terminale di SUM (riquadro rosso):

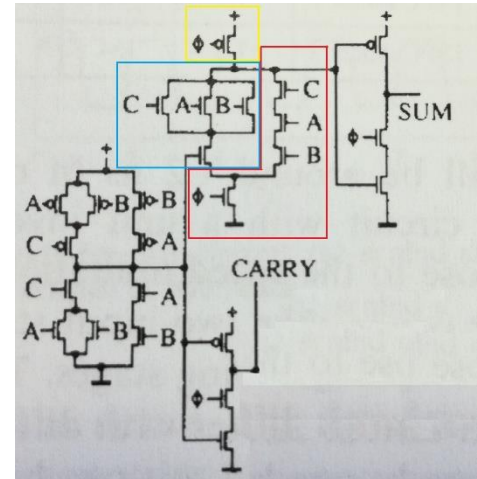
$$W_n = 10 \lambda = 0,60 \cdot 10^{-6} m$$

Ed anche le dimensioni dei transistor N compresi nel riquadro azzurro:

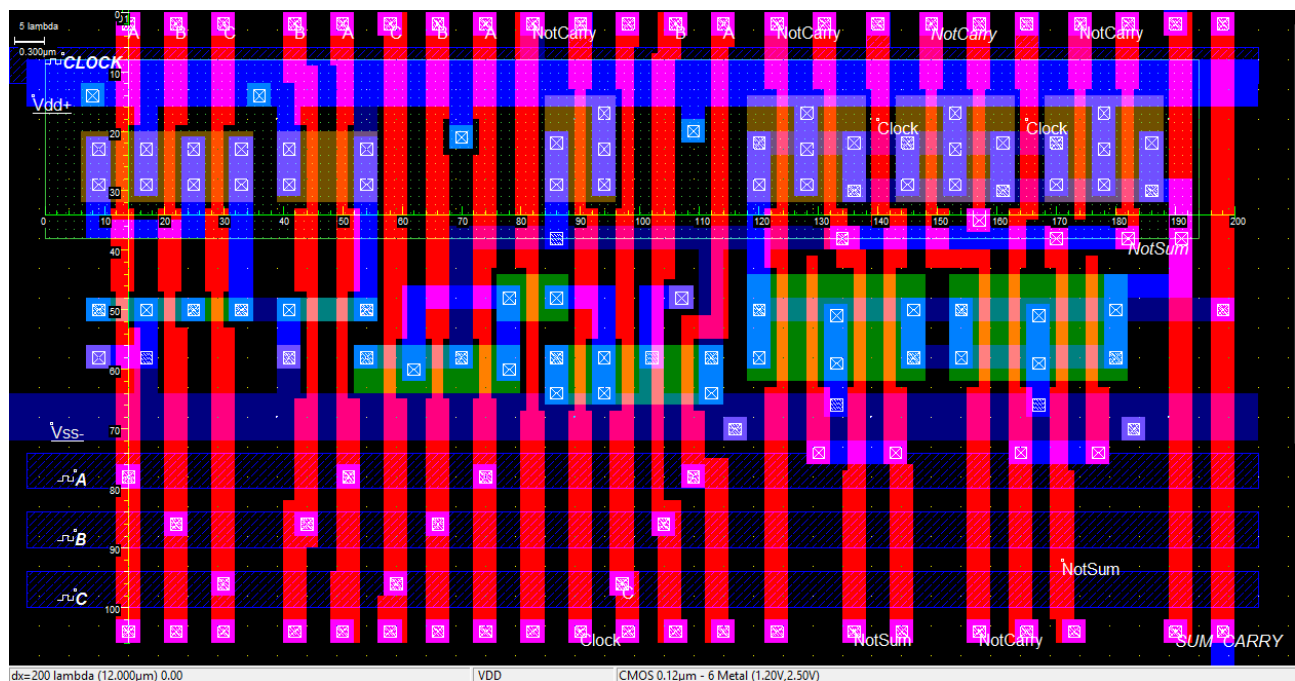
$$W_n = 8 \lambda = 0,48 \cdot 10^{-6} m$$

Analogamente il transistor P compreso nel riquadro giallo:

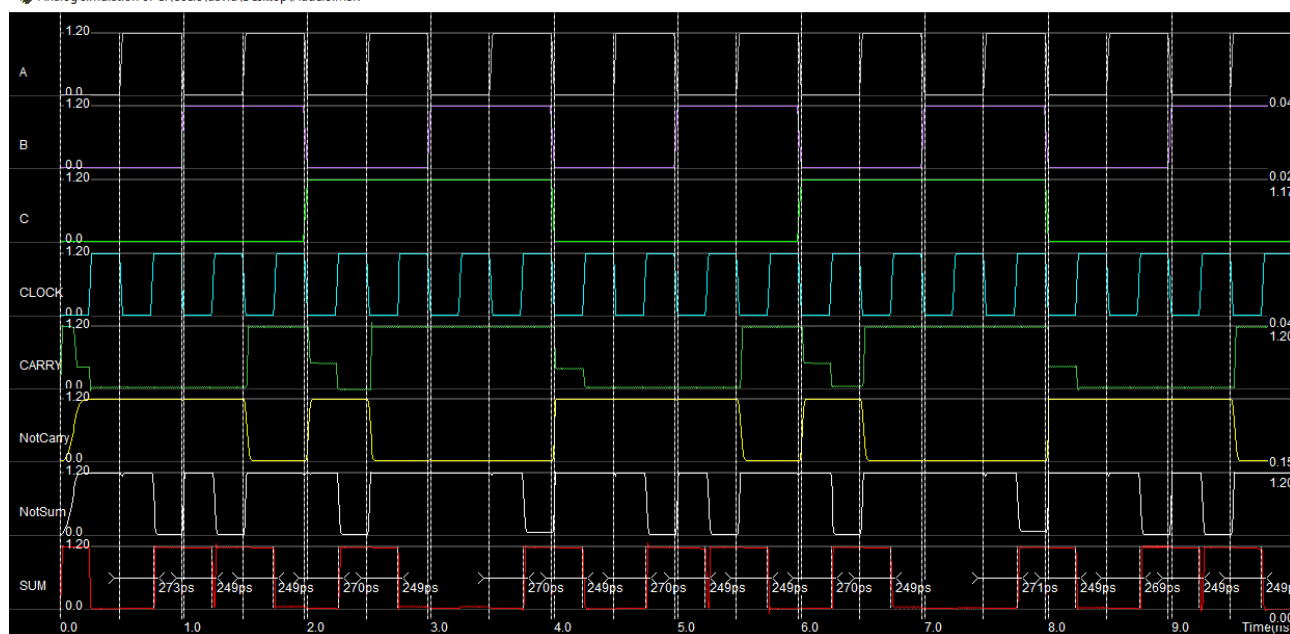
$$W_p = 18 \lambda = 1,08 \cdot 10^{-6} m$$



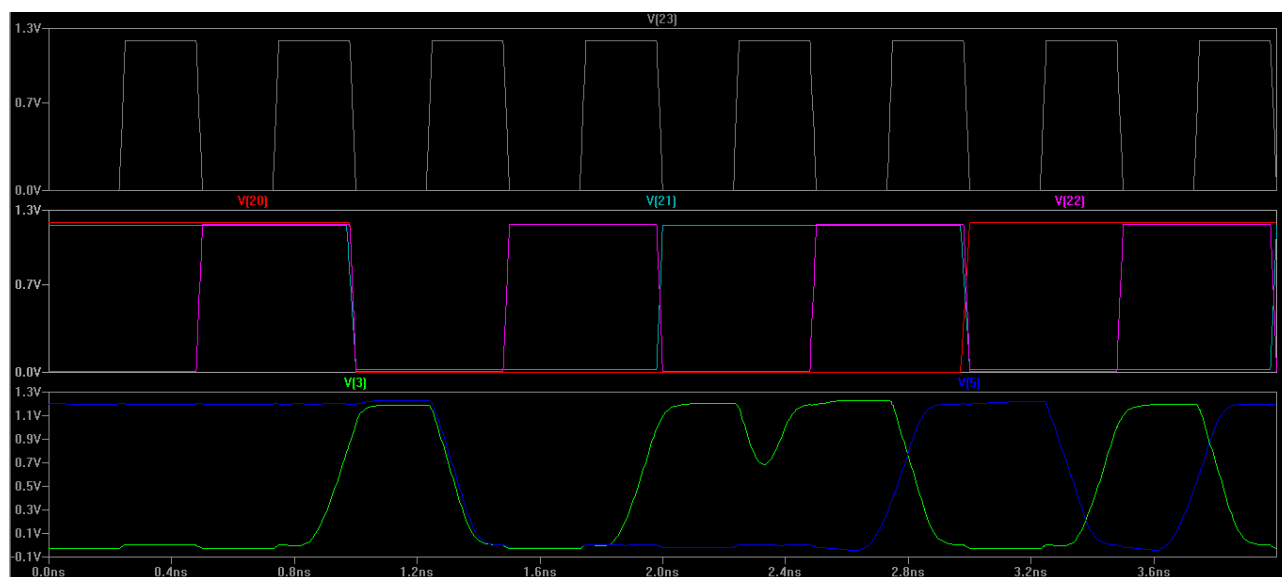
Di seguito sono riportate l'immagine del circuito modificato e la simulazione dello stesso su Microwind:



Le dimensioni del circuito sono 106 x 200 λ .



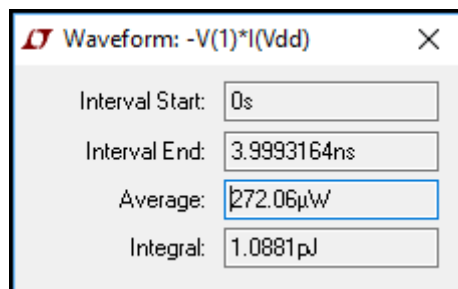
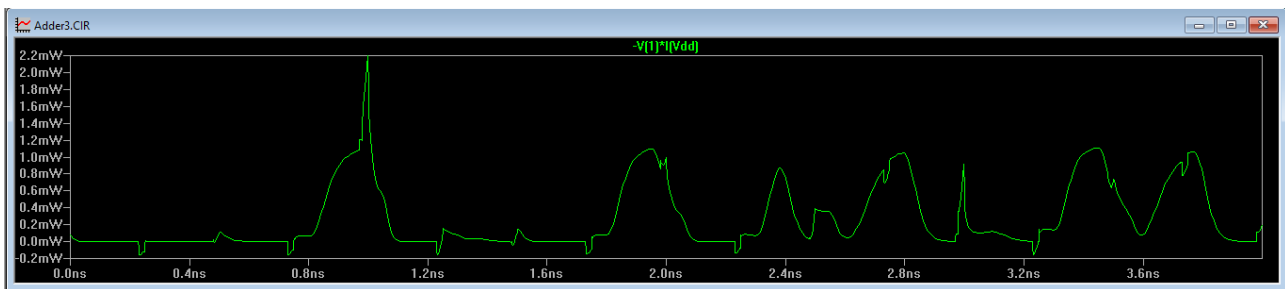
Realizzata la netlist ed esportato il circuito su LT Spice, la simulazione conseguente è:



dove V[3] (traccia verde) corrisponde al terminale di SUM, V[5] (tracci blu) al terminale di CARRY, V[23] (traccia grigia) al segnale di clock, V[20] (traccia rossa) al segnale C, V[21] (traccia azzurra) al segnale B e V[22] (traccia viola) al segnale A.

Dalla simulazione si può constatare il comportamento corretto del circuito.

A questo punto, un parametro utile dal punto di vista dell'analisi prestazionale del circuito è la quantità di potenza dissipata dallo stesso. In particolare, si deve andare a calcolare la potenza dissipata dal generatore V_{DD} perché predominante rispetto al contributo degli altri generatori coinvolti nel circuito. Si può procedere nel calcolo in questo modo:



Come si può osservare dalla finestra, il valore della potenza dissipata associato al generatore ideale V_{DD} è pari a:

$$P_{diss} = 2,72 \cdot 10^{-4} \text{ W}$$

Bibliografia

- N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*. Reading, MA: Addison-Wesley, 1985, ch. 5.
- N. Goncalves and H. J. De Man, "NORA: A racefree dynamic CMOS technique for pipelined logic structures." *IEEE J. Solid-State Circuits*, vol. SC-18, pp 261-266, 1983.
- Y. Ji-ren, I. Karlsson, and C. Svensson, "A true single phase clock dynamic CMOS circuit technique." *IEEE J. Solid-State Circuits*, vol. SC-22, pp 899-901, 1987.
- G. De Micheli, "Performance-oriented synthesis of large-scale domino CMOS circuits." *IEEE Trans. Computer-Aided Des*, vol. CAD-6, pp 751-756, 1987.