

Università degli studi di Genova



Scuola Politecnica

Corso di Laurea Magistrale in Ingegneria Elettronica

Progetto di Microelettronica

**“Progettazione di un full adder a 1 bit in tecnologia
TSPC CMOS 0.12 μ m”**

Docente: Chiar.mo Prof. Ing. Daniele Caviglia

Studente: Emanuele Tavanti

Indice

Cap. 1	Introduzione	pag. 3
Cap. 2	Progetto logico	pag. 4
Cap. 3	Pre-layout	pag. 6
3.1	Schematico elettrico	pag. 6
3.2	Dimensionamento	pag. 6
3.3	Simulazione PSPICE	pag. 8
Cap. 4	Layout fisico in Microwind	pag. 10
4.1	Layout	pag. 10
4.2	Simulazione	pag. 10
Cap. 5	Post-layout	pag. 12
5.1	Integrazione del layout in uno schematico PSPICE	pag. 12
5.2	Simulazione PSPICE	pag. 12
Cap. 6	Considerazioni finali	pag. 14
	Modelli	pag. 15
	Bibliografia	pag. 20

1. Introduzione

Nel presente elaborato verrà affrontata la progettazione di un full adder a 1 bit in tecnologia TSPC (True Single Phase Clock) CMOS 0.12um. Dapprima sarà presentata la definizione del dispositivo a livello logico. Successivamente si affronterà la stesura dello schematico elettrico, con relativo dimensionamento dei transistori e simulazione in ambiente PSPICE. Il passo successivo consisterà nel disegno del layout fisico in ambiente Microwind, con relativa simulazione. Per concludere, il layout verrà integrato in uno schematico PSPICE per una simulazione finale.

2. Progetto logico

2.1 Tavola di verità

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A	B Cin			
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

2.2 Mappa di Karnaugh della funzione S(A,B,Cin)

A	B Cin			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

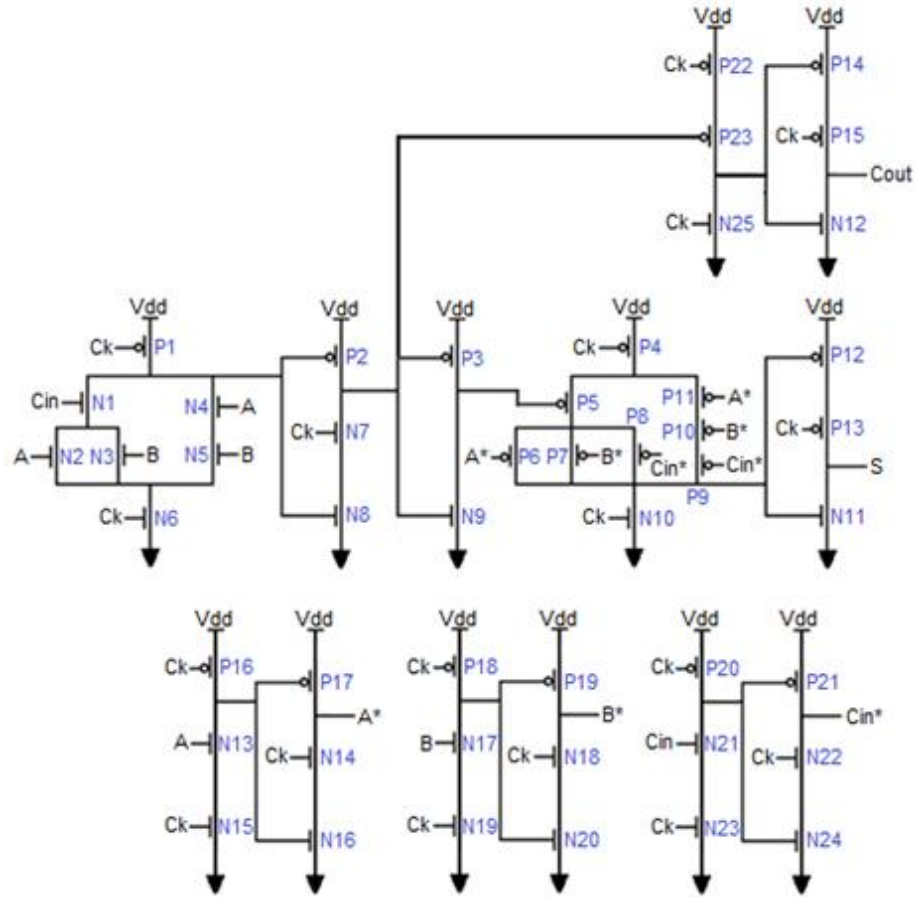
2.3 Mappa di Karnaugh della funzione Cout(A,B,Cin)

Funzioni booleane:

$$\begin{aligned} S &= A \oplus B \oplus Cin \\ Cout &= B \cdot Cin + A \cdot Cin + A \cdot B = Cin \cdot (A + B) + A \cdot B \Rightarrow \\ \Rightarrow S &= \overline{Cout} \cdot (A + B + Cin) + ABCin \\ Cout &= Cin \cdot (A + B) + A \cdot B \end{aligned}$$

3. Pre-layout

3.1 Schematico elettrico



3.1.1 Schematico elettrico

I dispositivi realizzati con i transistori P16 – P21 e N13 – N24 sono latch atti a sincronizzare gli ingressi degli stadi N-Logic e P-Logic, mentre i transistori P14, P15, P22, P23, N12 e N25 realizzano un latch per la sincronizzazione di S e Cout. La funzione S realizzata nel blocco P-logic è stata rielaborata al fine di diminuire il numero di transistori in totem pole e quindi la necessità di incremento di W_p .

3.2 Dimensionamento

Consideriamo un inverter CMOS statico con le seguenti caratteristiche:

$$V_{DD} = 1.2 \text{ V} \quad C_{out} = 10 \text{ fF} \quad V_{TON} = 0.45 \text{ V} \quad V_{TOP} = -0.45 \text{ V} \quad \mu_n = 0.06 \frac{m^2}{Vs}$$

$$\mu_p = 0.02 \frac{m^2}{Vs} \quad C_{ox} = \frac{\epsilon_0 \epsilon_{r, SiO_2}}{t_{ox}} = 172.575 \cdot 10^{-4} \frac{F}{m^2} \quad L_{min} = 0.12 \mu m$$

$$W_{min} = 0.24 \mu m \quad f_{input} = 1 \text{ Ghz}$$

Imponiamo un fall time $\tau_f = \frac{1}{4f_{input}} = 0.25 \text{ ns}$. La carica accumulata nella capacità d'uscita, quando quest'ultima è al livello logico 1, è $Q = C_{out} V_{DD} = 1.2 \cdot 10^{-14} \text{ C}$. La corrente necessaria per eliminare tale carica dalla capacità d'uscita è $I = \frac{Q}{\tau_f} = 48 \text{ uA}$.

All'inizio della transizione $1 \rightarrow 0$ il transistor NMOS è in saturazione per poi concludere tale fase in zona lineare; consideriamo il transistor in saturazione durante tutta la scarica, andando poi eventualmente ad effettuare un sovradimensionamento del transistor per compensare la diminuzione della sua capacità di pilotaggio in zona lineare. Considerando $L = L_{min}$, in quanto intendiamo impiegare i transistori come interruttori e non come amplificatori (trascuriamo quindi gli effetti di canale corto), calcoliamo la larghezza W_n necessaria per adempiere al summenzionato vincolo temporale:

$$I = \frac{\mu_n C_{ox} W_n}{2} \frac{V_{IN} - V_{Ton}}{L} \Rightarrow W_n = \frac{2IL}{\mu_n C_{ox} (V_{IN} - V_{Ton})^2} = 19 \text{ nm}$$

La larghezza W_n ottenuta è molto minore di quella minima consentita $W_{min} = 0.24 \mu m$ quindi, utilizzando quest'ultima, abbiamo un ampio margine di soddisfacimento del vincolo. Dato il summenzionato impiego dei transistori trascuriamo gli effetti di canale stretto. Per ottenere un rise time uguale al fall time, il transistor PMOS avrà $W_p = 3W_{min}$ così da compensare la minore mobilità dei portatori ($\mu_p \cong \frac{\mu_n}{3}$).

Di seguito è presente il dimensionamento dei transistori indicati nello schematico elettrico:

$$L_p = L_n = 0.12 \mu m$$

$$W_{N9} - W_{N12}, W_{N25} = 0.24 \mu m$$

$$W_{N7}, W_{N8} = 0.48 \mu m$$

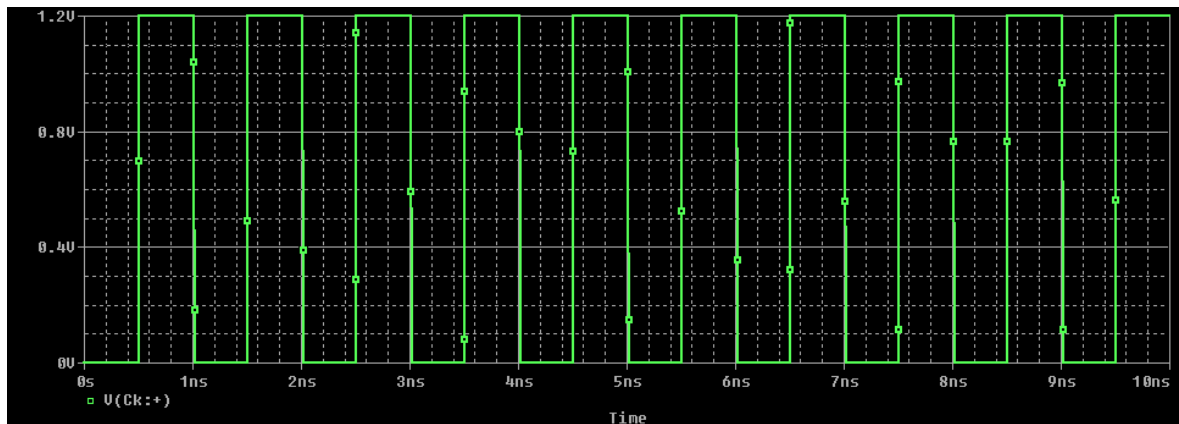
$$W_{N1} - W_{N6}, W_{P1} - W_{P3}, W_{P16} - W_{P21} = 0.72 \mu m$$

$$W_{P12} - W_{P15}, W_{P22}, W_{P23}, W_{N13} - W_{N24} = 1.44 \mu m$$

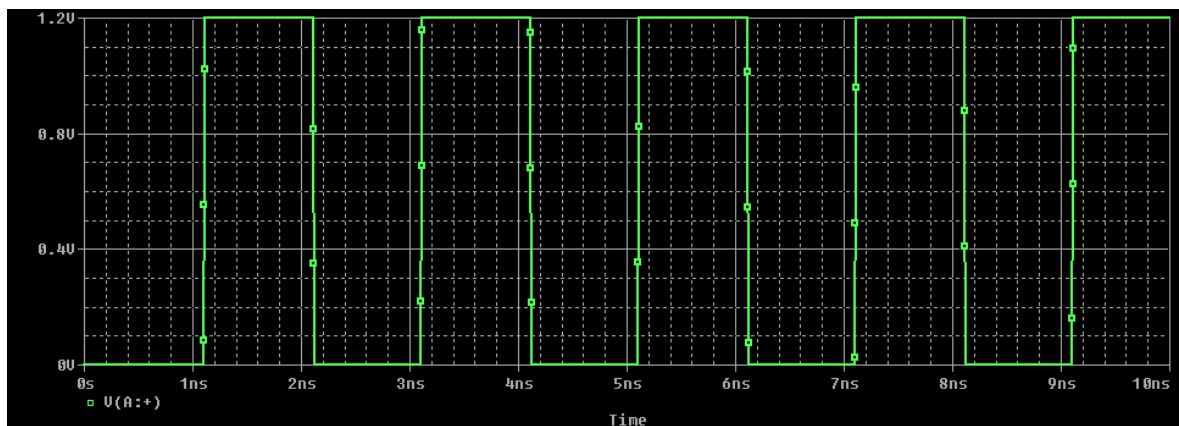
$$W_{P4} - W_{P11} = 2.88 \text{ } \mu m$$

3.3 Simulazione PSPICE

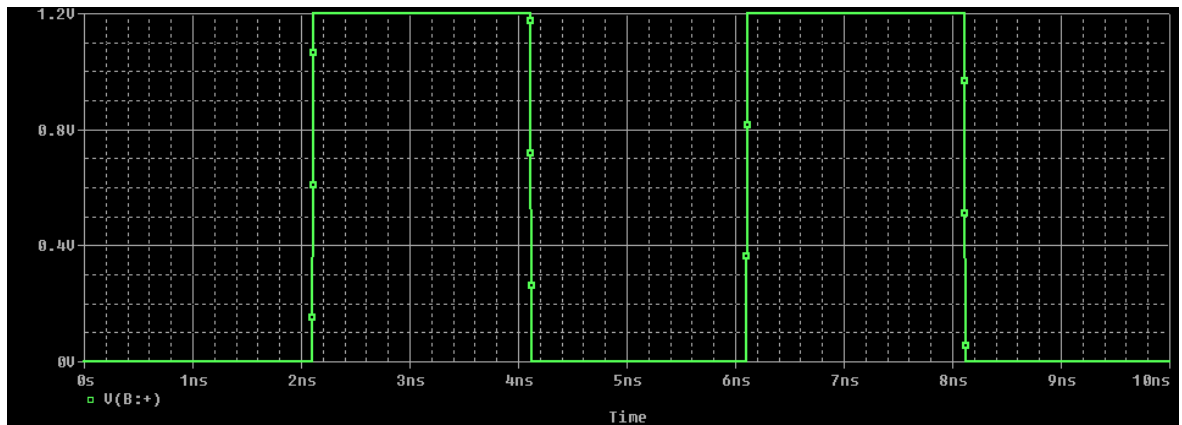
Di seguito sono riportate le simulazioni pre-layout; gli operandi sono stati ritardati di 0.1 ns rispetto al clock per non incorrere in problematiche relative all'incrocio fra i fronti dei segnali.



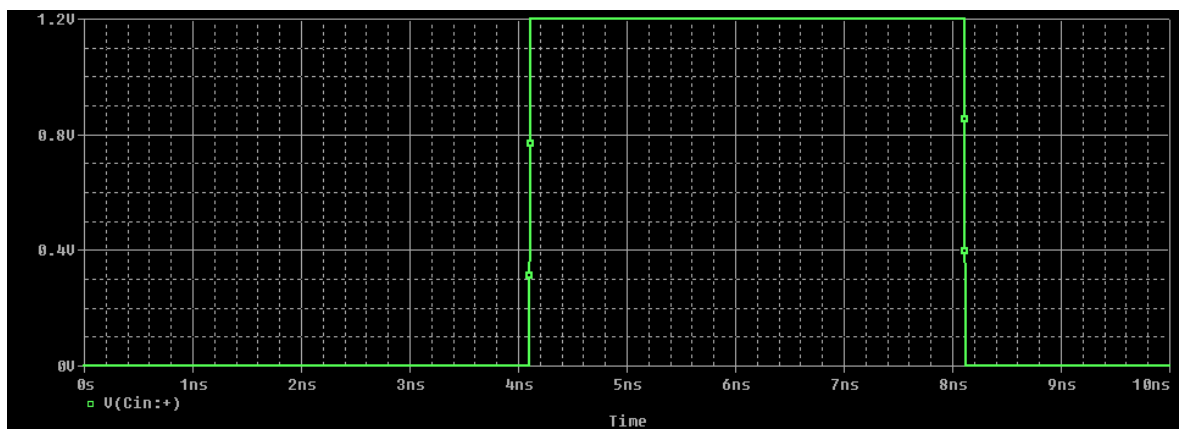
3.3.1 Clock (1 Ghz)



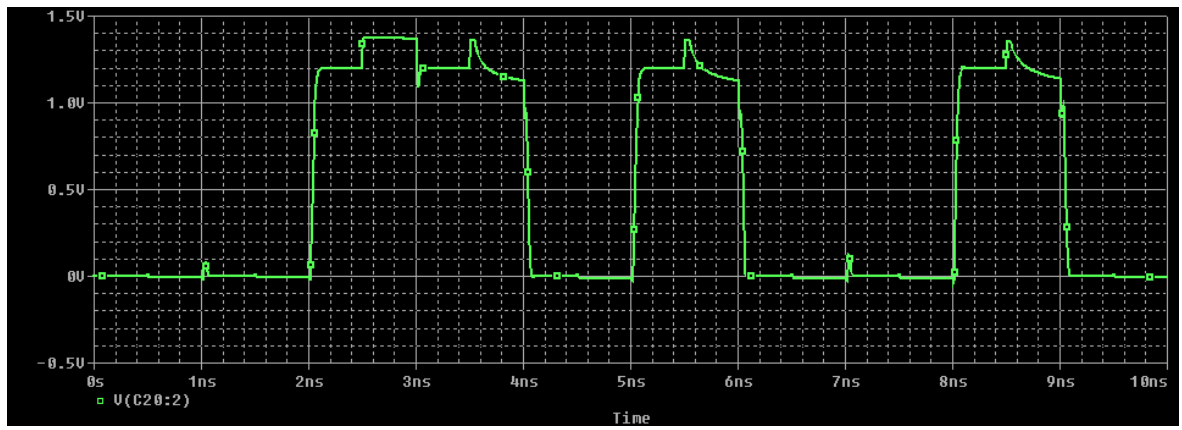
3.3.2 Addendo A



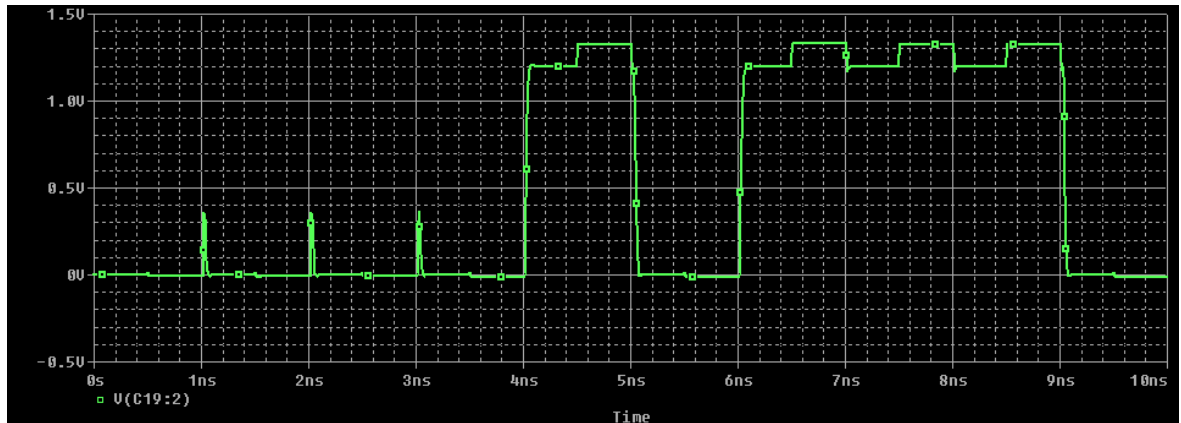
3.3.3 Addendo B



3.3.4 Carry in (Cin)



3.3.5 Somma (S)



3.3.6 Carry out (Cout)

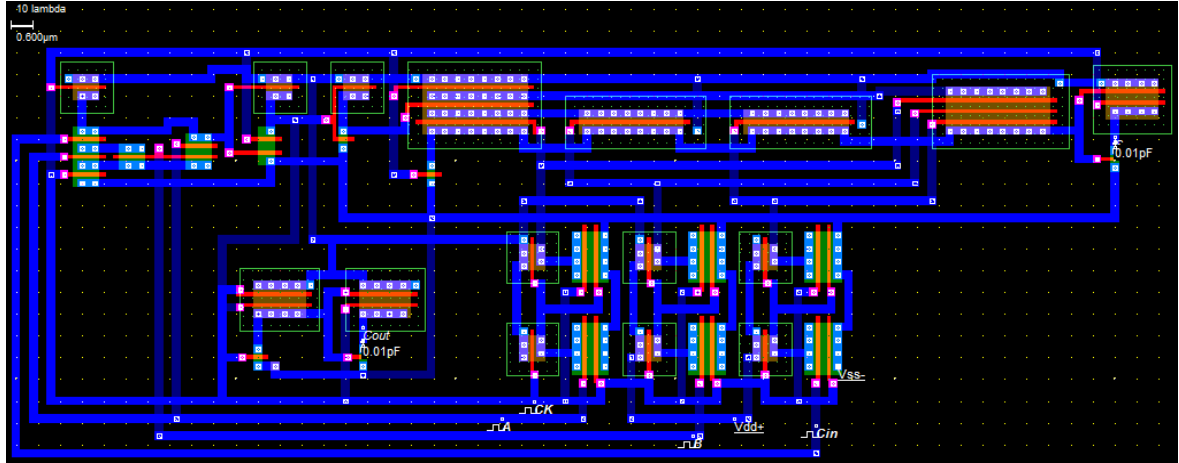
Corrente media erogata dall'alimentazione: $AVG[I(Vdd)] @ 10ns \cong -40 \mu A$

Potenza media erogata dall'alimentazione: $AVG[W(Vdd)] @ 10ns \cong -47 \mu W$

Nel file \Progetto I\pre-layout\Schematic1.lib e nell'appendice sono presenti i modelli di transistori utilizzati nello schematico elettrico; questi sono stati prelevati da Microwind.

4. Layout fisico in Microwind

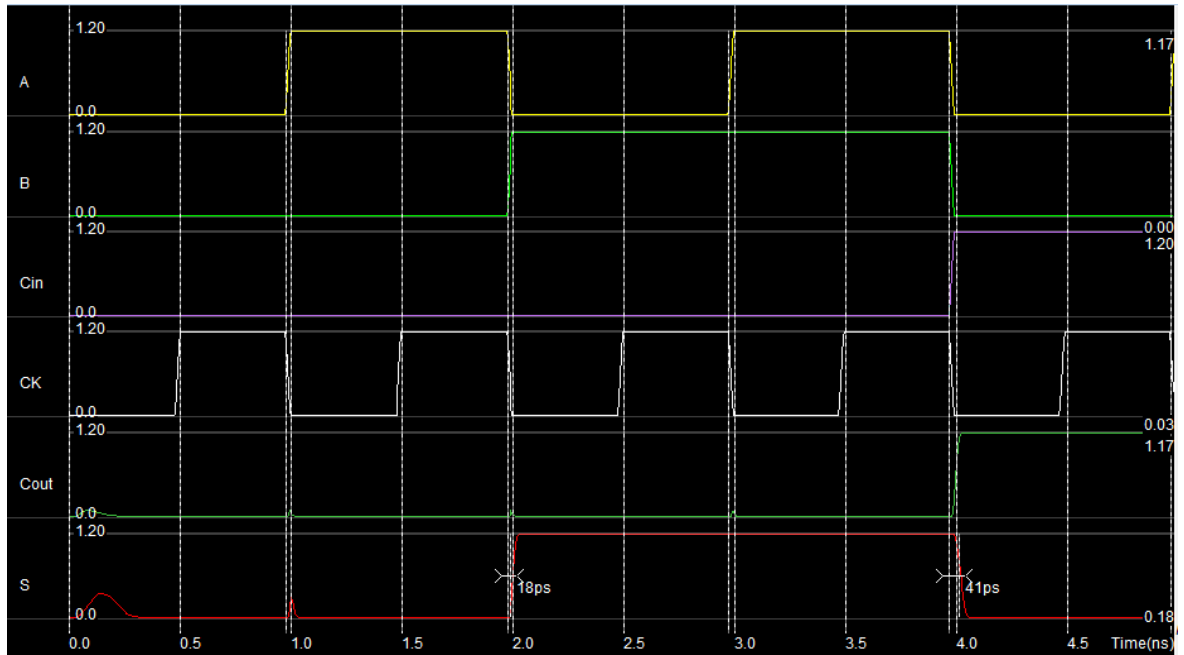
4.1 Layout



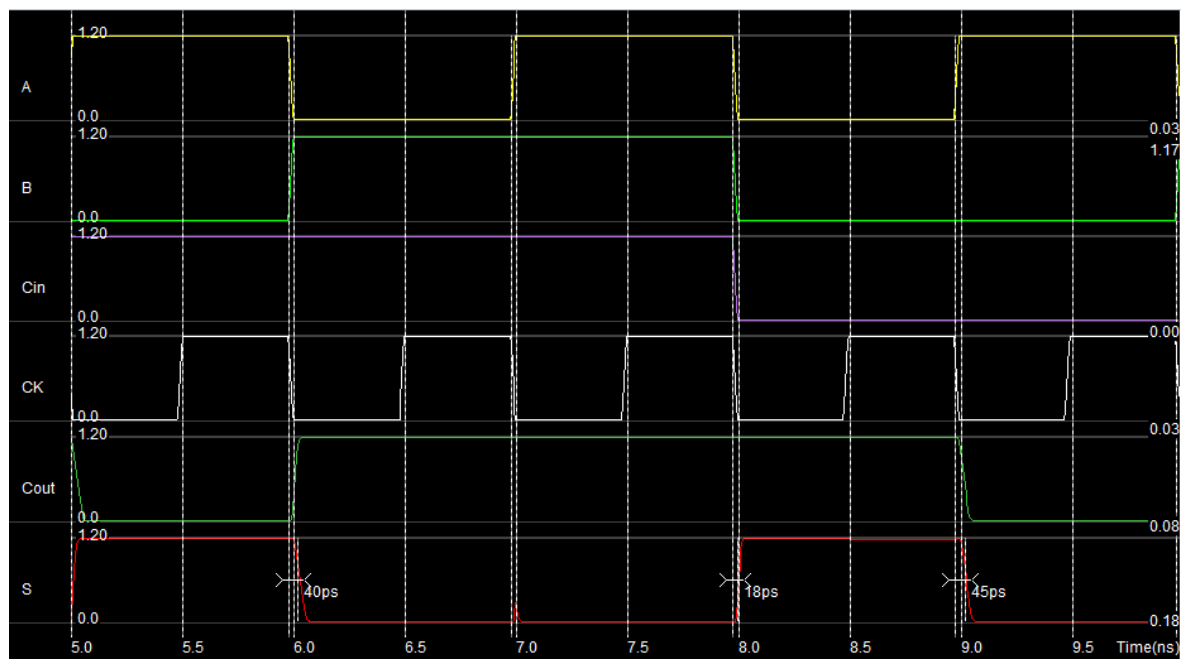
4.1.1 Layout fisico in Microwind

Area occupata: $\sim 364 \text{ } \mu\text{m}^2$.

4.2 Simulazione



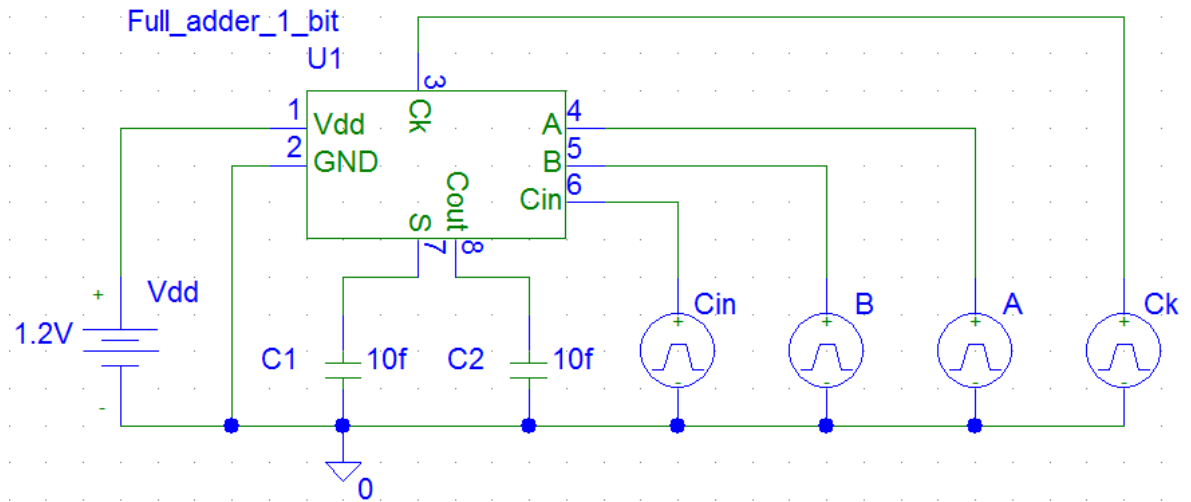
4.2.1 Simulazione Microwind (0 ns – 5 ns)



4.2.2 Simulazione Microwind (5 ns – 10 ns)

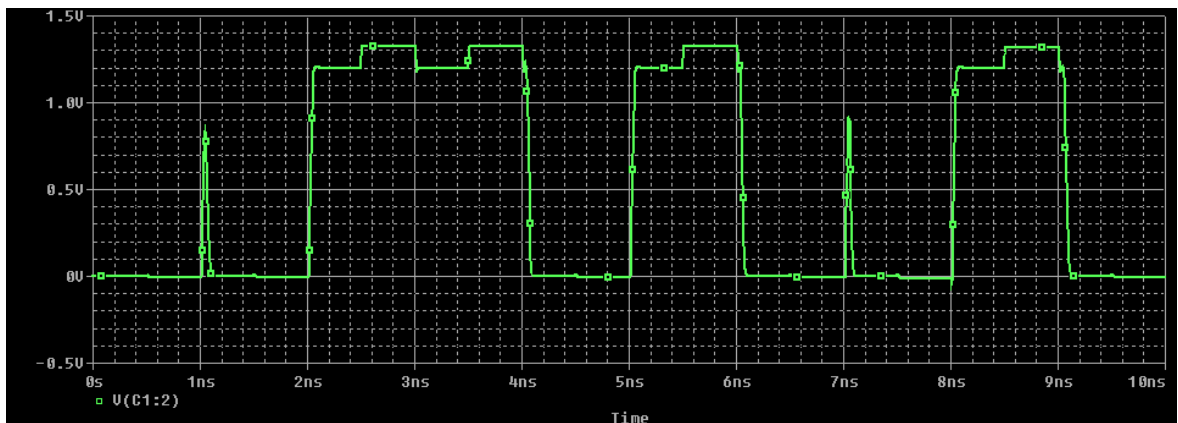
5. Post-layout

5.1 Integrazione del layout in uno schematico PSPICE

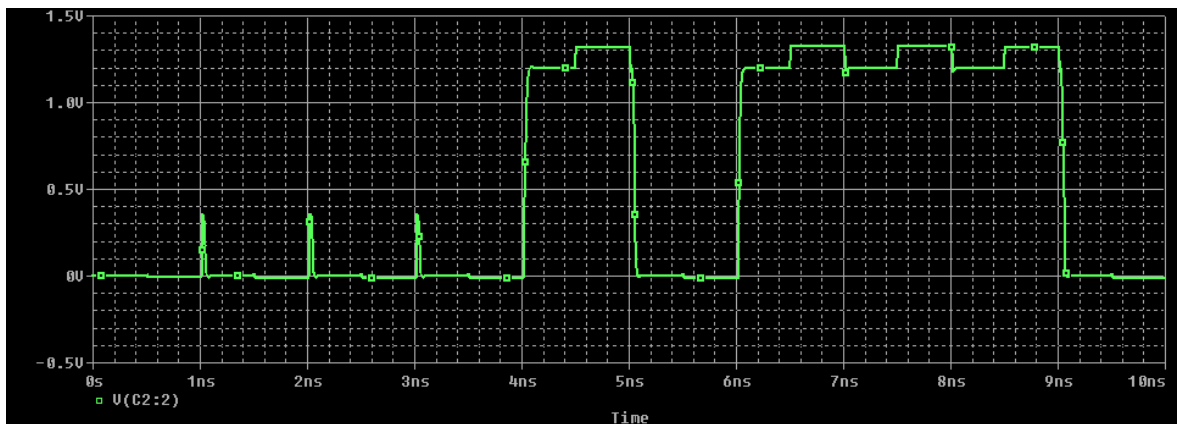


5.1.1 Schematico PSPICE con alimentazione, segnali d'ingresso, capacità di carico e circuito integrato full adder a 1 bit

5.2 Simulazione PSPICE



5.2.1 Somma (S)



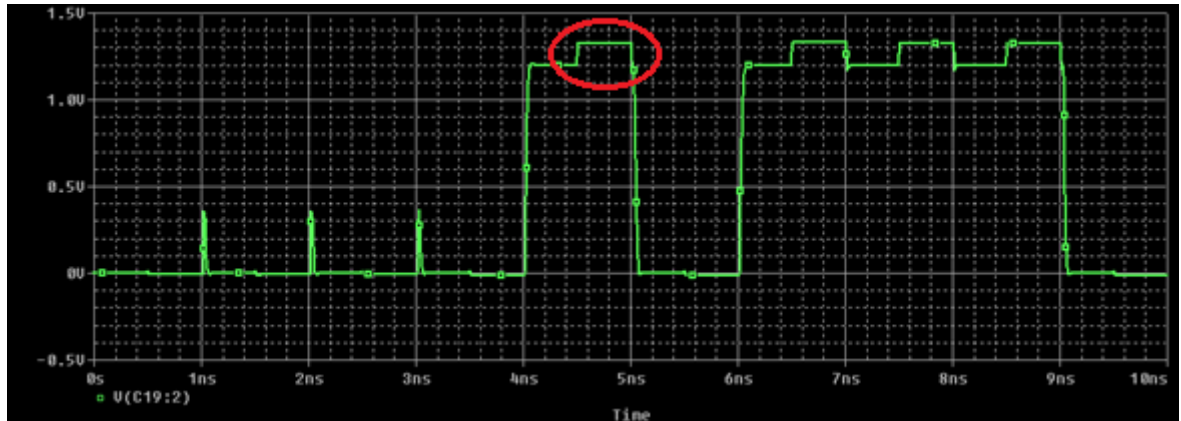
5.2.2 Carry out (Cout)

Corrente media erogata dall'alimentazione: $AVG[I(Vdd)] @ 10ns \cong -60 \mu A$

Potenza media erogata dall'alimentazione: $AVG[W(Vdd)] @ 10ns \cong -72 \mu W$

6. Considerazioni finali

Dalle simulazioni degli schematici di pre-layout e di post-layout notiamo la presenza del fenomeno di charge sharing.



6.1 Esempio di manifestazione del fenomeno di charge sharing

Inoltre dai valori medi indicati precedentemente si nota che il consumo di corrente/potenza è decisamente maggiore nel post-layout: ciò è dovuto alla presenza di numerose capacità identificabili fra i nodi del circuito ed il substrato.

Modelli

Schematic1.lib:

```
.model MbreakN-X NMOS LEVEL=1 VTO=0.45 UO=600.000 TOX= 2.0E-9  
GAMMA=0.400
```

```
+ PHI=0.200 CGSO=100.0p CGDO=100.0p CGBO= 60.0p CJSW=240.0p
```

```
*$
```

```
.model MbreakP-X PMOS LEVEL=1 VTO=-0.45 UO=200.000 TOX= 2.0E-9  
GAMMA=0.400
```

```
+ PHI=0.200 CGSO=100.0p CGDO=100.0p CGBO= 60.0p CJSW=240.0p
```

```
*$
```

Full_adder_1_bit.lib:

```
.SUBCKT Full_adder_1_bit 1 2 34 35 36 37 4 17
```

```
MN1 24 10 2 2 N1 W= 1.44U L= 0.12U
```

```
MN2 2 8 4 2 N1 W= 0.24U L= 0.12U
```

```
MN3 25 34 2 2 N1 W= 1.44U L= 0.12U
```

```
MN4 9 34 24 2 N1 W= 1.44U L= 0.12U
```

```
MN5 10 37 25 2 N1 W= 1.44U L= 0.12U
```

```
MN6 26 13 2 2 N1 W= 1.44U L= 0.12U
```

```
MN7 27 34 2 2 N1 W= 1.44U L= 0.12U
```

```
MN8 12 34 26 2 N1 W= 1.44U L= 0.12U
```

```
MN9 13 36 27 2 N1 W= 1.44U L= 0.12U
```

```
MN10 28 15 2 2 N1 W= 1.44U L= 0.12U
```


MN11 29 34 2 2 N1 W= 1.44U L= 0.12U
MN12 14 34 28 2 N1 W= 1.44U L= 0.12U
MN13 15 35 29 2 N1 W= 1.44U L= 0.12U
MN14 2 34 8 2 N1 W= 0.24U L= 0.12U
MN15 2 22 17 2 N1 W= 0.24U L= 0.12U
MN16 2 20 18 2 N1 W= 0.24U L= 0.12U
MN17 30 34 20 2 N1 W= 0.48U L= 0.12U
MN18 2 23 30 2 N1 W= 0.48U L= 0.12U
MN19 2 34 22 2 N1 W= 0.24U L= 0.12U
MN20 31 35 23 2 N1 W= 0.72U L= 0.12U
MN21 32 36 31 2 N1 W= 0.72U L= 0.12U
MN22 32 36 33 2 N1 W= 0.72U L= 0.12U
MN23 33 37 23 2 N1 W= 0.72U L= 0.12U
MN24 32 35 33 2 N1 W= 0.72U L= 0.12U
MN25 2 34 32 2 N1 W= 0.72U L= 0.12U
MP1 3 8 1 1 P1 W= 1.44U L= 0.12U
MP2 4 34 3 1 P1 W= 1.44U L= 0.12U
MP3 6 14 5 1 P1 W= 2.88U L= 0.12U
MP4 7 12 6 1 P1 W= 2.88U L= 0.12U
MP5 8 9 7 1 P1 W= 2.88U L= 0.12U
MP6 1 10 9 1 P1 W= 0.72U L= 0.12U
MP7 1 34 10 1 P1 W= 0.72U L= 0.12U

MP8 8 9 11 1 P1 W= 2.88U L= 0.12U

MP9 1 13 12 1 P1 W= 0.72U L= 0.12U

MP10 1 34 13 1 P1 W= 0.72U L= 0.12U

MP11 8 12 11 1 P1 W= 2.88U L= 0.12U

MP12 1 15 14 1 P1 W= 0.72U L= 0.12U

MP13 1 34 15 1 P1 W= 0.72U L= 0.12U

MP14 5 34 1 1 P1 W= 2.88U L= 0.12U

MP15 11 18 5 1 P1 W= 2.88U L= 0.12U

MP16 8 14 11 1 P1 W= 2.88U L= 0.12U

MP17 16 22 1 1 P1 W= 1.44U L= 0.12U

MP18 17 34 16 1 P1 W= 1.44U L= 0.12U

MP19 18 20 1 1 P1 W= 0.72U L= 0.12U

MP20 20 23 1 1 P1 W= 0.72U L= 0.12U

MP21 21 34 1 1 P1 W= 1.44U L= 0.12U

MP22 22 20 21 1 P1 W= 1.44U L= 0.12U

MP23 23 34 1 1 P1 W= 0.72U L= 0.12U

C2 1 2 22.067fF

C3 3 2 0.240fF

C4 4 2 0.562fF

C5 5 2 2.042fF

C6 6 2 0.462fF

C7 7 2 0.462fF

C8 8 2 3.710fF

C9 9 2 1.540fF

C10 10 2 0.984fF

C11 11 2 2.342fF

C12 12 2 1.748fF

C13 13 2 0.984fF

C14 14 2 1.780fF

C15 15 2 0.984fF

C16 16 2 0.240fF

C17 17 2 0.492fF

C18 18 2 0.632fF

C20 20 2 1.090fF

C21 21 2 0.240fF

C22 22 2 0.832fF

C23 23 2 1.104fF

C24 24 2 0.253fF

C25 25 2 0.253fF

C26 26 2 0.253fF

C27 27 2 0.253fF

C28 28 2 0.253fF

C29 29 2 0.253fF

C30 30 2 0.112fF

C31 31 2 0.135fF

C32 32 2 0.730fF

C33 33 2 0.466fF

C34 34 2 6.093fF

C35 35 2 1.780fF

C36 36 2 1.442fF

C37 37 2 1.821fF

.MODEL N1 NMOS LEVEL=1 VTO=0.45 UO=600.000 TOX= 2.0E-9

+GAMMA=0.400 PHI=0.200

+CGSO=100.0p CGDO=100.0p

+CGBO= 60.0p CJSW=240.0p

.MODEL P1 PMOS LEVEL=1 VTO=-0.45 UO=200.000 TOX= 2.0E-9

+GAMMA=0.400 PHI=0.200

+CGSO=100.0p CGDO=100.0p

+CGBO= 60.0p CJSW=240.0p

.ENDS

Bibliografia

- [1] Reza Faghih Mirzaee, Mohammad Hossein Moaiyeri, Keivan Navi, "High Speed NP-CMOS and Multi-Output Dynamic Full Adder Cells", International Journal of Electrical and Electronics Engineering, 2010.
- [2] J. M. Rabaey, A. Chandrakasan, B. Nikolic, "Digital Integrated Circuits: A Design Perspective", 2nd edition, Prentice-Hall, 2003.
- [3] R. W. Knepper, SC571, people.bu.edu/rknepper/sc571/chapter5_ckts_C.ppt .