

TSPC Full Adder

Francesco Morgillo
3810105

June 12, 2020

1 Obiettivi del progetto

Si presenta il progetto di design di un full-adder a 4 bit con tecnologia MOS $0.12\ \mu m$ e logica TSPC (true single phase clock). Il Full Adder presenta quattro ingressi: due word a 4 bit di cui eseguire la somma (a_0, b_0), un *CARRYIN* (c_0) e un ingresso dedicato al clock (ϕ). Le uscite del circuito sono i segnali di *SUM* e *CARRY*. Lo schema del circuito di una cella a 1 bit del full-adder è riportato in Figura 1

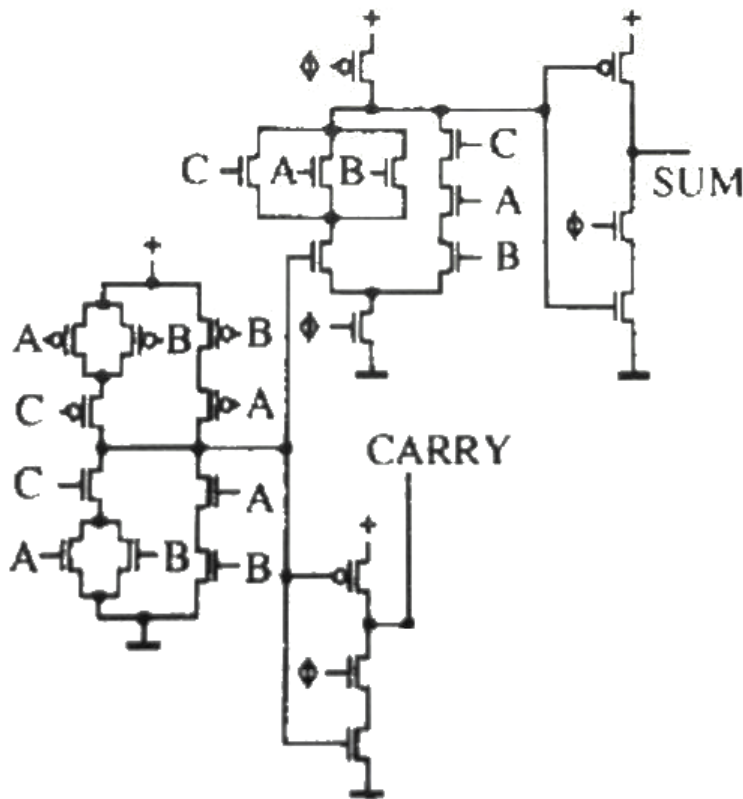


Figure 1: Circuito full-adder TSPC, 1 bit

1.1 Specifiche del Progetto

Per la realizzazione del circuito sono richieste l'utilizzo di tecnologia MOS a $0.12 \mu m$, un'alimentazione a $1.2V$, frequenza di lavoro $2GHz$, carico capacitivo di $100fF$ e una dimensione della cella con altezza massima di 68λ .

2 Logica TSPC

La logica TSPC prevede l'utilizzo di un blocco di logica statica e di un segnale di clock che temporizza uno stadio latch. Si hanno due fasi differenti: una di precarica (quando $\phi = 0$) ed una di valutazione (quando $\phi = 1$). Il segnale di uscita va considerato in fase di valutazione.

3 Dimensionamento

Sono state considerate le specifiche relative alla frequenza di funzionamento e al carico per ottenere le dimensioni dei transistor, nei vari stadi. E' necessario innanzitutto calcolare le dimensioni di W_n dello stadio finale. Calcolando il carico equivalente di ogni stadio, si ottiene a ritroso il valore di W_n di ogni stadio. Le dimensioni W_n si ottengono con la formula seguente:

$$\frac{W_n}{L} = \frac{2CV_{dd}}{\tau\mu_n C_{ox}(V_{gs} - V_{th})^2} \quad (1)$$

Dove:

V_{gs}	$1.20V$
C	$100fF$
τ	$250ps$
μ_n	$0.06 \frac{fF}{m^2}$
C_{ox}	$0.01725 \frac{m^2}{Vs}$
$V_{gs} - V_{th}$	$0.8V$

Partendo dal terzo stadio si applica la formula e considerando il vincolo di tecnologia $L = 120nm$ si ottiene un rapporto $\frac{W_n}{L} = 1.4486$. Si approssima all'intero successivo visto che larghezza W_n non può che essere un multiplo intero di L : $W_n = 2L = 240nm$. Per un transistor p si dovrà triplicare questo valore per via della minor mobilità degli elettroni nel substrato P , quindi $W_p = 3W_n = 720nm$.

Per quanto riguarda il secondo stadio è necessario considerare la capacità equivalente che esso vede sul terzo stadio. La capacità equivalente viene calcolata come segue :

$$C_G = C_{ox}W_nL + C_{ox}W_pL = 2.93fF \quad (2)$$

Il valore del carico da pilotare è abbastanza piccolo per poter utilizzare dei transistor a dimensione minima ($W_n = 120nm$, $W_p = 3W_n = 360nm$) Lo stesso ragionamento porta a scegliere dei transistor a dimensione minima anche nel primo stadio.

4 Realizzazione e simulazione

Il circuito è stato quindi realizzato con *Microwind* e in Figura 2 ne è riportato il layout. L'area compresa fra le rail di alimentazione è di $66\lambda \times 167\lambda$.

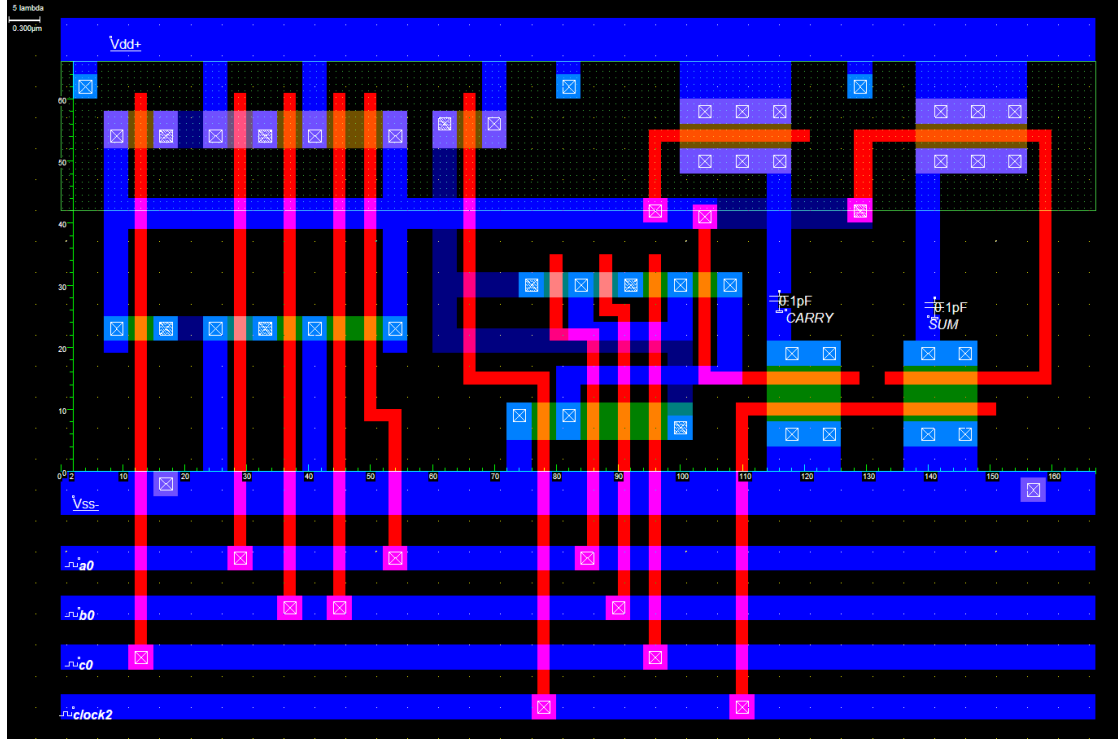


Figure 2: Layout Full-Adder

Dalla simulazione del circuito, svolta in ambiente *Microwind*, si nota che le uscite del circuito non sono abbastanza veloci nella commutazione oppure non raggiungono valori di tensione adeguati.

Importando la netlist del layout su *LT Spice* si può osservare più nel dettaglio tali ritardi (Figura 4).

Osservando per esempio la prima transizione del segnale *SUM*, si nota che la tensione non raggiunge, nel tempo necessario la tensione sufficiente per ottenere un valore logico alto. Oppure nel caso del segnale di *CARRY*, sempre seguendone la prima transizione, si nota il ritardo di salita ma anche la difficoltà nel raggiungere lo zero prima che sopraggiunga una nuova variazione.

I segnali della Figura 4 sono riportati nella tabella 1.

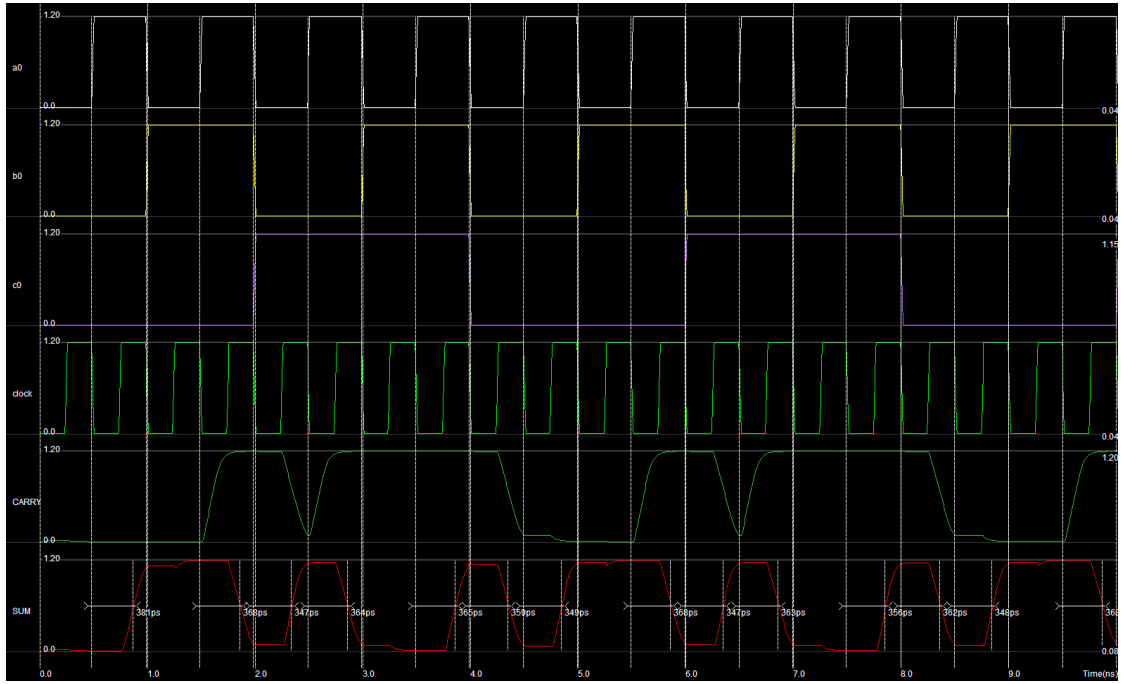


Figure 3: Simulazione in Microwind

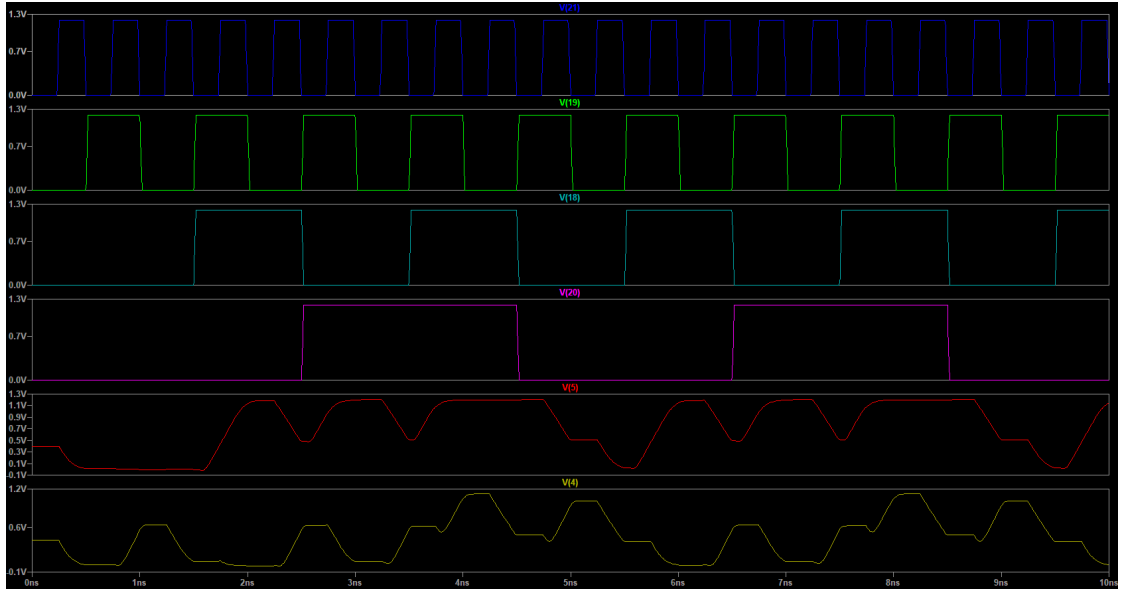


Figure 4: Simulazione in LTSpice

Questo comportamento indesiderato viene corretto effettuando un nuovo dimensionamento, procedendo con il graduale aumento della larghezza dei transistor coinvolti,

<i>Clock</i> ϕ	$V(19)$
<i>A0</i>	$V(20)$
<i>B0</i>	$V(21)$
<i>C0</i>	$V(18)$
<i>CARRY</i>	$V(5)$
<i>SUM</i>	$V(4)$

Table 1: Tabella dei segnali di Figura 4

partendo da quelli dello stadio finale.

Di fatto aumentando la dimensione dei transistor dell'ultimo stadio, si aumenta la corrente per caricare le capacità di carico. Seguendo lo stesso ragionamento gli stadi precedenti vedono una capacità di carico dovuta al gate dello stadio che pilotano: si ridimensioneranno anche questi stadi di conseguenza.

5 Ridimensionamento

Il layout del circuito è stato quindi ridimensionato ed è riportato in Figura 5.

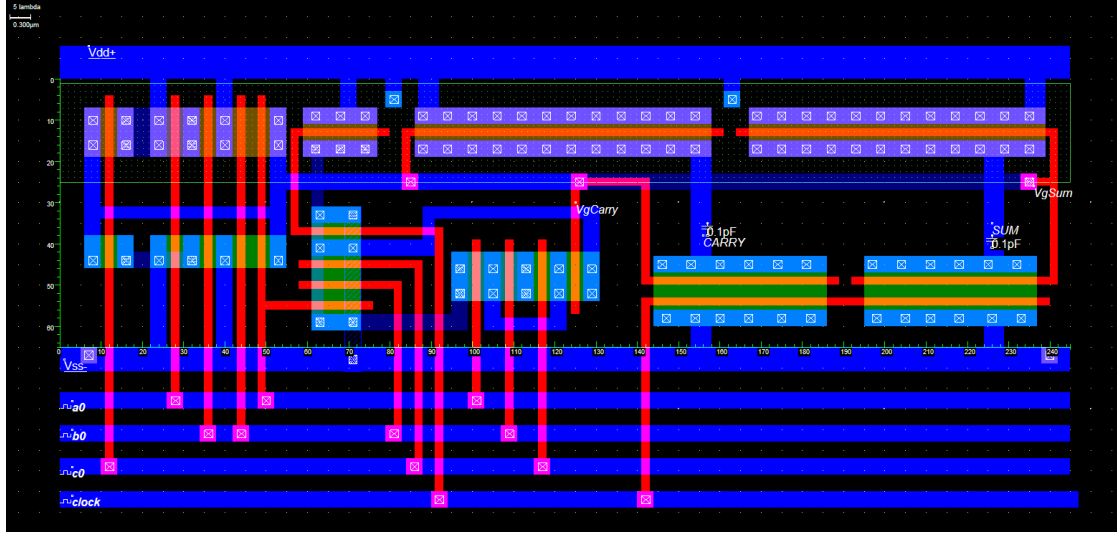


Figure 5: Layout Full-Adder modificato

I MOS dell'ultimo stadio sono stati notevolmente ingranditi e di conseguenza anche quelli degli stadi precedenti. L'area compresa fra le rail di alimentazione è di $65\lambda \times 245\lambda$. Dai risultati della simulazione su *LT Spice* si nota come i segnali siano ora notevolmente più definiti e con un timing migliorato. In particolare, il segnale *SUM* questa volta raggiunge un valore di tensione adeguato per essere considerato "HIGH" rispettando i tempi di valutazione e pre-carica imposti dal clock.

Allo stesso modo il segnale *CARRY* raggiunge il valore basso con una pendenza maggiore, quindi anch'esso in tempo per una nuova transizione.

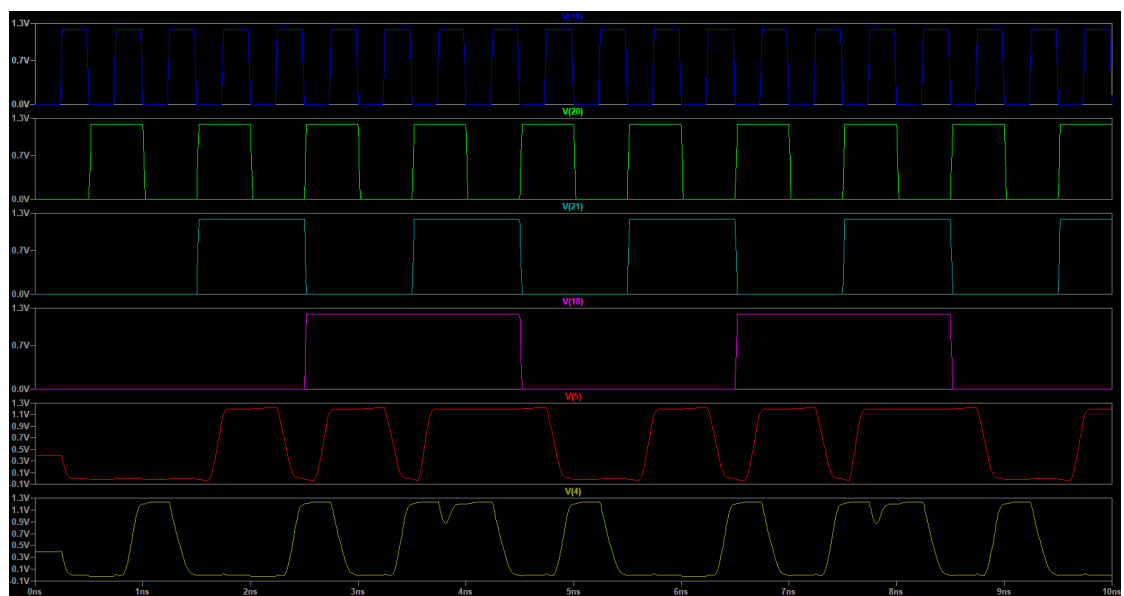


Figure 6: Simulazione in LT SPice del layout corretto

6 Potenza assorbita

Sempre utilizzando *LT Spice* si è ottenuta la traccia del prodotto $V_{dd} * I$ a rappresentare la Potenza istantanea assorbita dal circuito (riportata in Figura 7).

Sempre tramite *LT Spice* si è ottenuto una misura del valor medio pari a $305.18 \mu W$

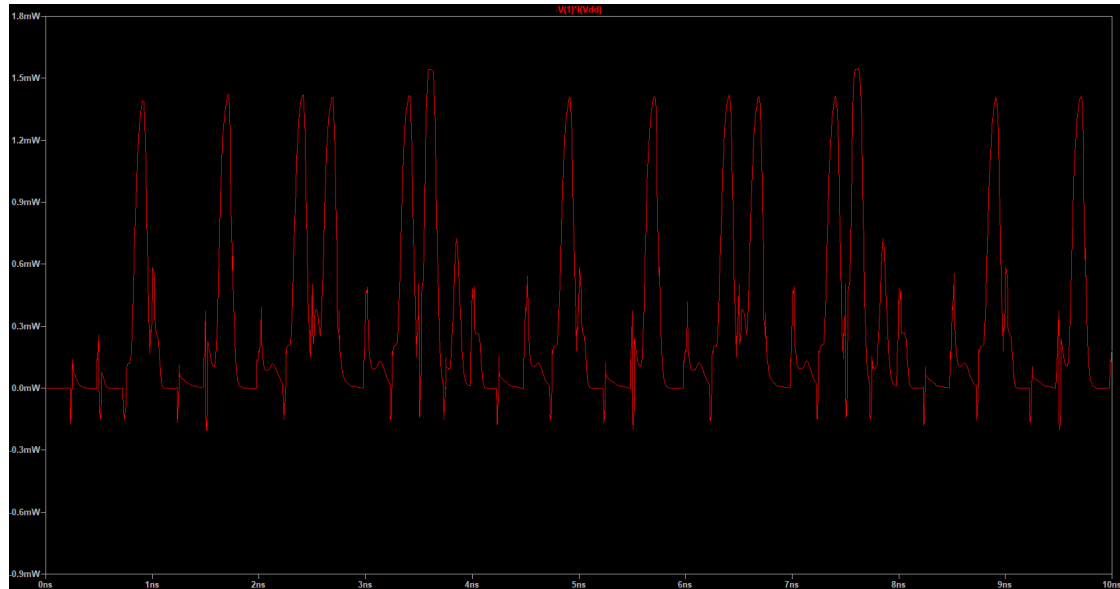


Figure 7: Potenza istantanea

7 Conclusioni

Si è realizzato il layout di un Full Adder a 1 bit in logica TSPC con tecnologia MOS a $0.12 \mu m$.

Si è partiti con le dimensioni dei transistor ottenute dalla teoria, fino a ottenere un circuito finale le cui dimensioni sono aumentate in base alle considerazioni riguardanti timing e capacità di carica dei singoli stadi.

Non si è realizzato il circuito a 4 bit perchè la propagazione del ritardo del segnale *CARRY* dovuta alla configurazione a cascata di 4 stadi ad 1 bit, potrebbe generare dei risultati senza significato.

Le dimensioni finali del layout sono di $65\lambda \times 245\lambda$.

Il circuito assorbe mediamente $305.18 \mu W$.

8 Bibliografia

- Jiren Yuan and Christer Svensson, “*High-Speed CMOS Circuit Technique*”. IEEE Journal of solid-state circuits Vol. 24, No. 1 February 1989.

- Appunti del corso di *Microelectronics*