

Progetto Esame Microelettronica - Modulo A

Realizzazione Full adder a 4 bit

Alessio Capello
Matricola 3811634

Università degli studi di Genova
Ingegneria elettronica
Data

1 Obiettivi del progetto

Il progetto ha come scopo la realizzazione di un full-adder a 1 bit con tecnologia MOS $0.12\ \mu\text{m}$ e logica TSPC.

Il circuito sarà quindi pilotato da 3 ingressi (a_0, b_0, c_0) relativi ai segnali logici e un ingresso dedicato al clock (il segnale ϕ). Le uscite del circuito sono i segnali di *SUM* e *CARRY*.

Successivamente si dovranno connettere 4 full-adder a 1 bit precedentemente descritti per comporre un full-adder a 4 bit. Il full adder risultante avrà quindi due ingressi a 4 bit (per il dato a ed il dato b) e un ingresso a un bit per il carry c . Anche in quest'ultimo caso sarà presente il segnale di clock come ingresso.

1.1 Specifiche del Progetto

Le specifiche del circuito definiscono:

- Tecnologia MOS $0.12\ \mu\text{m}$ con logica TSPC
- Un'alimentazione pari a $1.2V$
- Una frequenza di lavoro (del clock) di $2GHz$.
- Il carico da pilotare è una capacità di $100fF$.
- Il layout proposto dovrà avere un'altezza massima di 68λ .

2 Cenni teorici

La logica TSPC (true single phase clock) è un tipo di struttura circuitale utilizzata per progettare circuiti temporizzati da un singolo segnale di clock ϕ .

Si compone di due parti principali: una logica statica (di tipo N) per l'elaborazione dei bit e un latch di uscita. Il circuito lavora in due fasi distinte:

- Quando il segnale di clock ha valore basso il circuito è in **fase di precarica**.
- Quando il segnale di clock ha valore alto il circuito è in **fase di valutazione**.
Le uscite possono essere considerate corrette solamente in questa fase (terminati i transitori).

La logica N ha come scopo di connettere l'uscita a massa (quindi di scaricare, quando la logica lo prevede, le capacità precedentemente caricate).

3 Dimensionamento

Per dimensionare il circuito (ovvero stabilire i rapporti W/L dei singoli transistor) sono state considerate le specifiche relative alla frequenza di funzionamento e al carico. Questi infatti sono i vincoli determinati dalle caratteristiche dell'ultimo stadio, che a cascata si riverberano su quelli precedenti. Per questo motivo, il dimensionamento prevede di stabilire per primo il fattore di forma dello stadio finale. Le dimensioni del transistor sono state ottenute considerando la formula seguente:

$$\frac{W}{L} = \frac{2CV_{dd}}{\tau\mu_n C_{ox}(V_{gs} - V_{th})^2} \quad (1)$$

Dove:

- $V_{gs} = 1.20V$
- $C = 100 \text{ fF}$
- $\tau = 250 \text{ ps}$
- $\mu_n = 0.06 \text{ m}^2/Vs$
- $C_{ox} = 0.01725 \text{ fF/m}^2$
- $V_{gs} - V_{th} = 0.8V$

Ottenuto il rapporto W/L per arrivare alle dimensioni esatte del transistor si è considerata una lunghezza di canale pari a 120nm. La larghezza del transistor deve essere un multiplo intero della lunghezza del canale, valori ottenuti relativi al terzo stadio sono quindi:

- $W/L = 1.4486 \Rightarrow 2$ Per arrotondamento all'intero successivo.
- $W_n = 240nm$ Moltiplicando il rapporto W/L per la lunghezza di canale.
- $W_n = 720nm$ Considerando che la mobilità dei portatori positivi è inferiore a quella dei portatori negativi, è necessario aumentare il rapporto W/L di 3 volte per avere le stesse performance.

Essendo ora note le caratteristiche del terzo stadio, si può procedere a dimensionare gli stadi precedenti. Si calcola la capacità vista dai transistor del secondo stadio (ovvero la capacità d'ingresso dei transistor del terzo stadio) con la seguente formula:

$$C_G = (C_{ox}W_NL) + (C_{ox}W_PL) \quad (2)$$

Si ottiene una capacità pari a 2.93 fF . Con una grandezza così piccola in gioco è sufficiente un transistor a dimensione minima (quindi con $W/L = 1$) per pilotare i gate del terzo stadio. Una considerazione analoga può essere fatta per i transistor del primo stadio. Si ottiene quindi che tutti i transistor ad eccezione di quelli del terzo stadio saranno a dimensione minima:

- $W_n = 120nm$
- $W_p = 360nm$