

RELAZIONE FINALE DEL PROGETTO DI MICROELETTRONICA

ANNO ACCADEMICO
2017/2018

CIRCUITO: Full adder a 4bit

CANDIDATO: Andrea Melis

MATRICOLA: 4095257

INDICE

1. Obiettivi e requisiti.....	2
2. Progettazione.....	2
3. Realizzazione e simulazione.....	4
4. Full_adder a 4Bit.....	5
5. Analisi Potenza.....	9

CAPITOLO 1: OBIETTIVI E REQUISITI DEL PROGETTO

L'obiettivo del progetto è quello di realizzare un full-adder a 4 bit, anche se per prima cosa bisognerà realizzare un Full-adder a 1 bit e poi tramite quello si realizza il circuito finale.

Il full-adder a 1 bit è un circuito che prende in ingresso due bit (a,b) e ne effettua la somma tenendo conto di un possibile carry dello stadio precedente (c). In uscita dà il risultato della somma e il riporto.

La tecnica di realizzazione del circuito adottata è la TSPC (True-Single-Phase_Clock). Invece la tecnologia adottata è quella a $0.12\mu\text{m}$ con alimentazione pari a 1.2V.

Per realizzare il circuito è stato usato il software Microwind2.6 che è stato usato anche per una parte di simulazione, l'altra parte di simulazione è stata fatta con il software LTSpice XVII che da una simulazione più accurata rispetto a Microwind.

I requisiti del progetto sono:

- Frequenza di lavoro di 2Ghz quindi un periodo di 500ps
- Altezza massima 68λ con $\lambda=60\text{nm}$
- Capacità di carico 100fF

CAPITOLO 2: PROGETTAZIONE

La progettazione è riferita al Full-adder a 1 bit e il circuito da realizzare è il seguente:

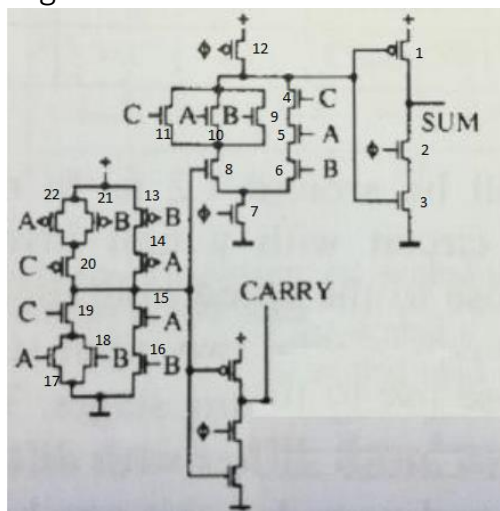


Figura 1: Circuito da realizzare

Tutti i transistor sono da dimensionare rispetto il parametro W/L, per far questo è stato fissato L alla lunghezza minima (120nm). Quindi rimane da calcolarsi W che dovrà essere un multiplo di L.

Per il dimensionamento si parte dal terzo stadio, quello di uscita, sia per il SUM che per il CARRY che sono simmetrici. Per effettuare il dimensionamento si utilizza la seguente formula:

$$W_n = \frac{2 * C_L * V_{DD} * L}{\mu_n * C_{OX} * \tau * (V_{GS} - V_{TH})^2} = 289nm$$

Dove tutti i parametri dipendono dalla tecnologia e quindi conosciuti, ad esclusione di τ che corrisponde all'intervallo massimo per cui il segnale deve stabilizzarsi che è pari a metà del periodo di clock quindi 250ps.

Il valore di W_n ricavato non è multiplo di L quindi verrà scelto un $W_N = 360nm$. Questo è il valore di larghezza del canale di un transistor singolo ma visto che nello stadio che stiamo esaminando ci sono due transistor in serie il valore di lunghezza del canale per i transistor n sarà:

$$W_{nSerie} = 2 * W_n = 720$$

Invece visto che il numero di portatori di carica dei transistor p è inferiore rispetto a quello degli n avremo che:

$$W_P = 3 * W_n = 960nm$$

Per calcolare i valori di W degli stadi precedenti bisogna calcolare la loro capacità di carico che sarà pari alla capacità di gate dello stadio appena esaminati. Il calcolo della capacità di gate si fa nel seguente modo:

$$C_{GATE} = C_{OX} * (W_N * L_N * W_P * L_P) = 2.94fF$$

Visto che questo valore è molto inferiore alla capacità di carico il valore di W_n degli stadi precedenti sarà pari al W_n minimo. Quindi restano da dimensionare solo W_n e W_p dei transistor in serie e parallelo con lo stesso criterio che è stato usato per il terzo stadio.

Nella tabella seguente vediamo il dimensionamento dei transistor del primo e del secondo stadio facendo riferimento alla numerazione dei transistor della figura1 e indicando il fattore moltiplicativo rispetto a W_N/W_p minimi:

Transistor	Tipo (p/n)	Fattore moltiplicativo
12	p	1
4	n	6
5	n	6
6	n	6
7	n	2

8	n	4
9	n	4
10	n	4
11	n	4
13	p	2
14	p	2
15	n	2
16	n	2
17	n	2
18	n	2
19	n	2
20	p	2
21	p	2
22	p	2

Figura 3: Tabella dimensionamento primo e secondo stadio

CAPITOLO 3: REALIZZAZIONE E SIMULAZIONE

La realizzazione è stata fatta con Microwind 2.6. La base da cui si è realizzato il primo circuito è stato il risultato dei calcoli, però dalle prime simulazioni fatte si è visto che le forme d'onda di uscita non andavano bene, quindi sono stati fatti degli ingrandimenti delle W dei transistor in maniera sperimentale per rendere l'uscita più chiara.

Dopo gli aggiustamenti fatti il circuito realizzato è il seguente:

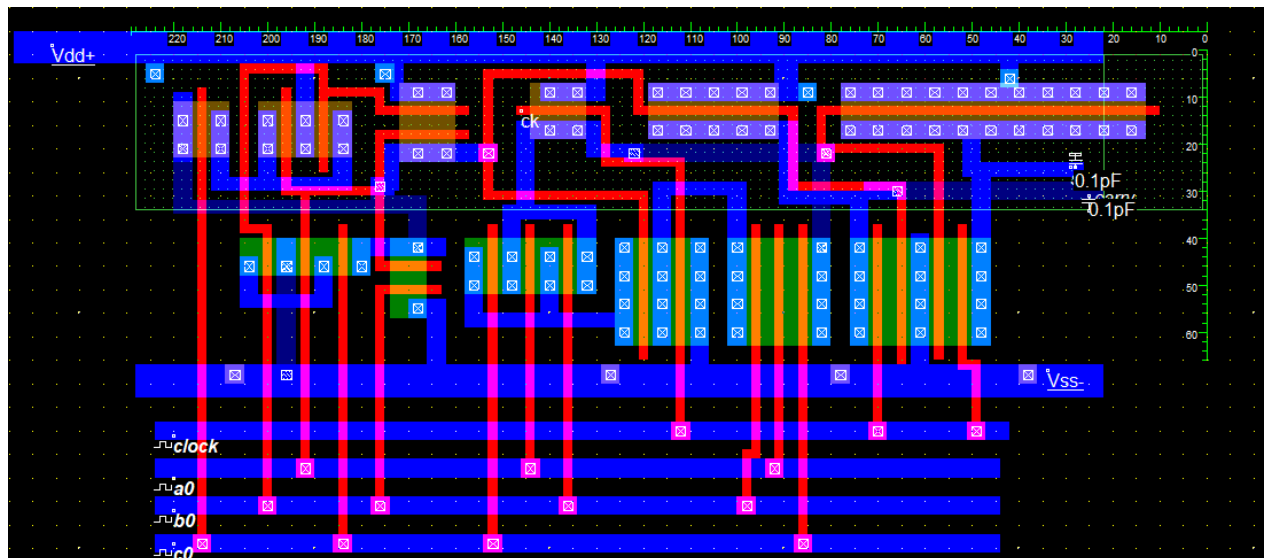


Figura 2: Full Adder ad 1 bit

Dall'immagine del circuito si può notare che le dimensioni, escluse le piste di alimentazione, sono $65\lambda \times 229\lambda$.

Qua di seguito mettiamo la simulazione fatta con Microwind 2.6:

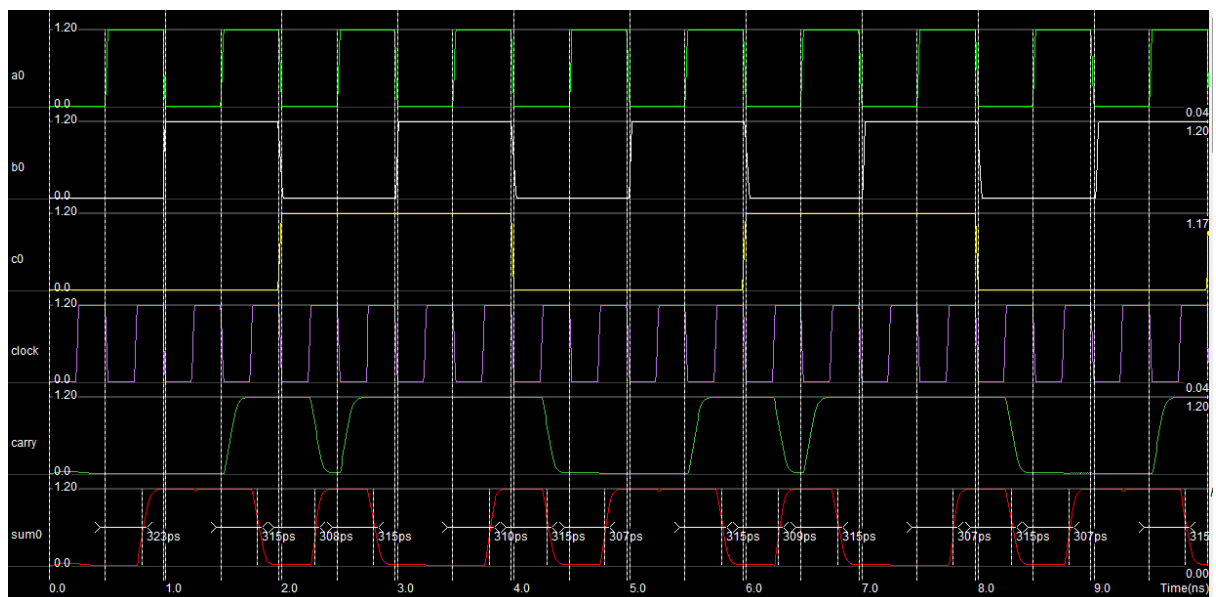


Figura 3: Simulazione Microwind

Invece la simulazione con LTSpiceXVII che è più accurata della precedente è la seguente:

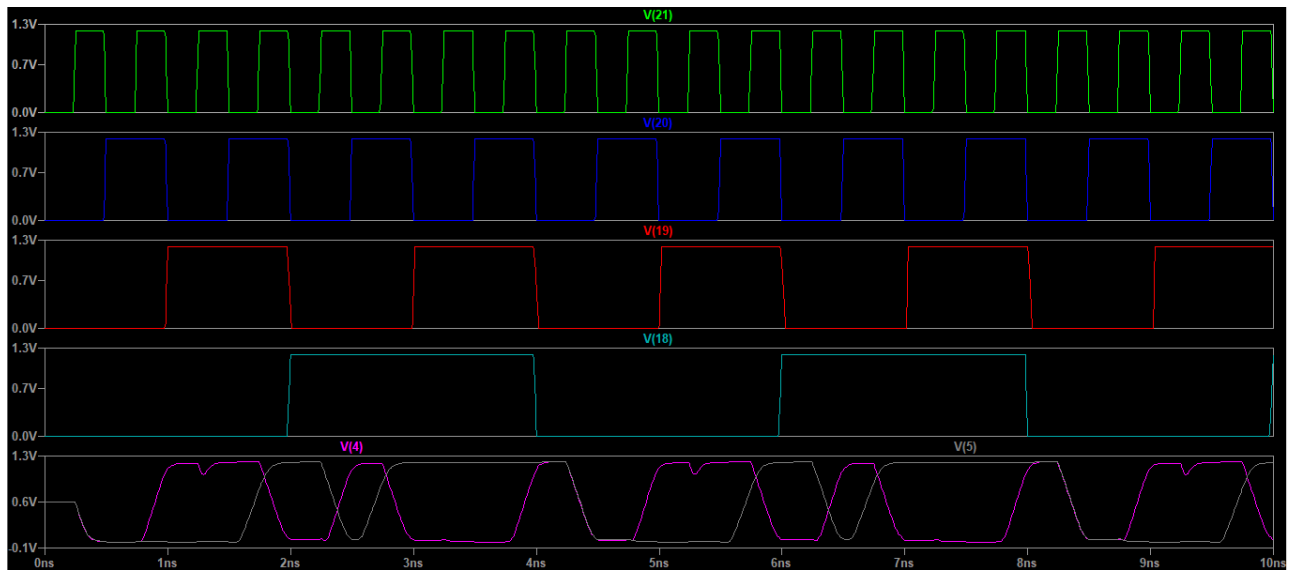


Figura 4: Simulazione LTspice

- V(21): Clock
- V(20): a0
- V(19): b0
- V(18): c0
- V(5): Carry
- V(4): Sum

CAPITOLO 4: FULL_ADDER A 4 BIT

Per la realizzazione del circuito completo è bastato collegare in cascata 4 dei circuiti di cui si è parlato nei capitoli precedenti, collegando l'uscita del carry di un full-adder all'ingresso C di quello successivo.

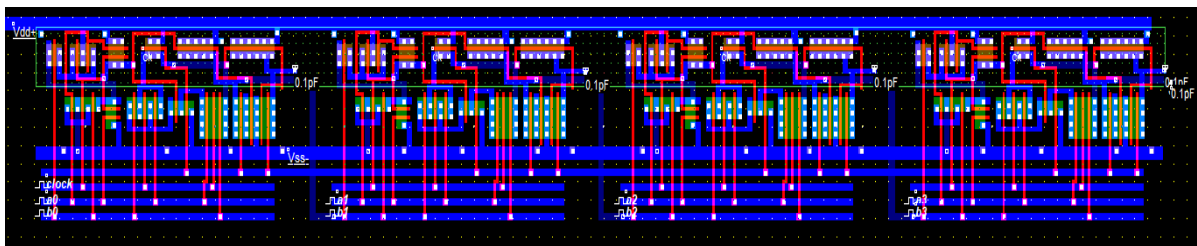


Figura 5: Full Adder a 4 bit

Questa è la raffigurazione del circuito fatto con Microwind 2.6, invece la simulazione è la seguente:

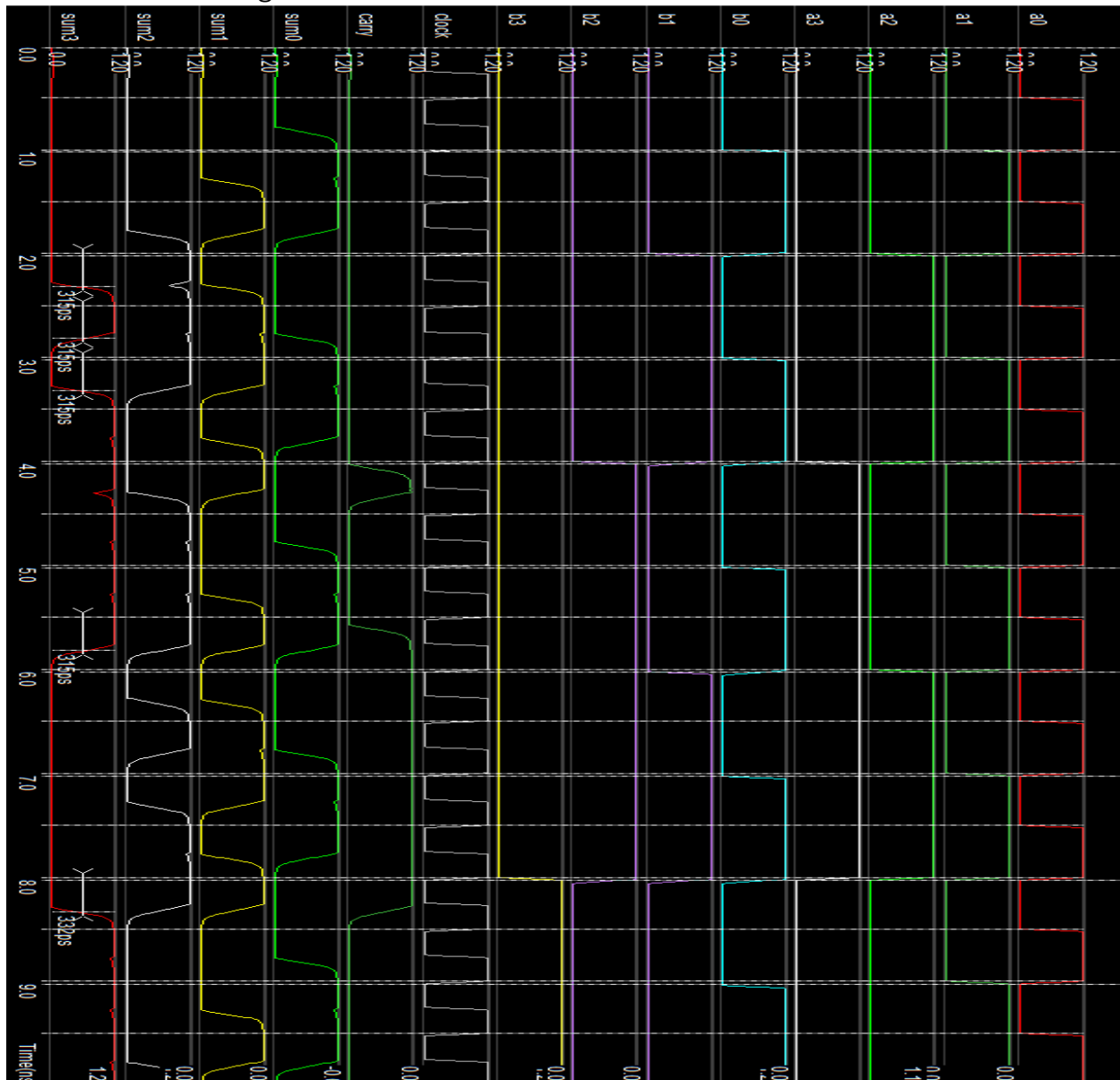


Figura 6: Simulazione Microwind

Da questa simulazione come Carry in uscita è stato preso solo quella dell'ultimo stadio.

Invece la simulazione del circuito finale tramite LTSpiceVII è la seguente:

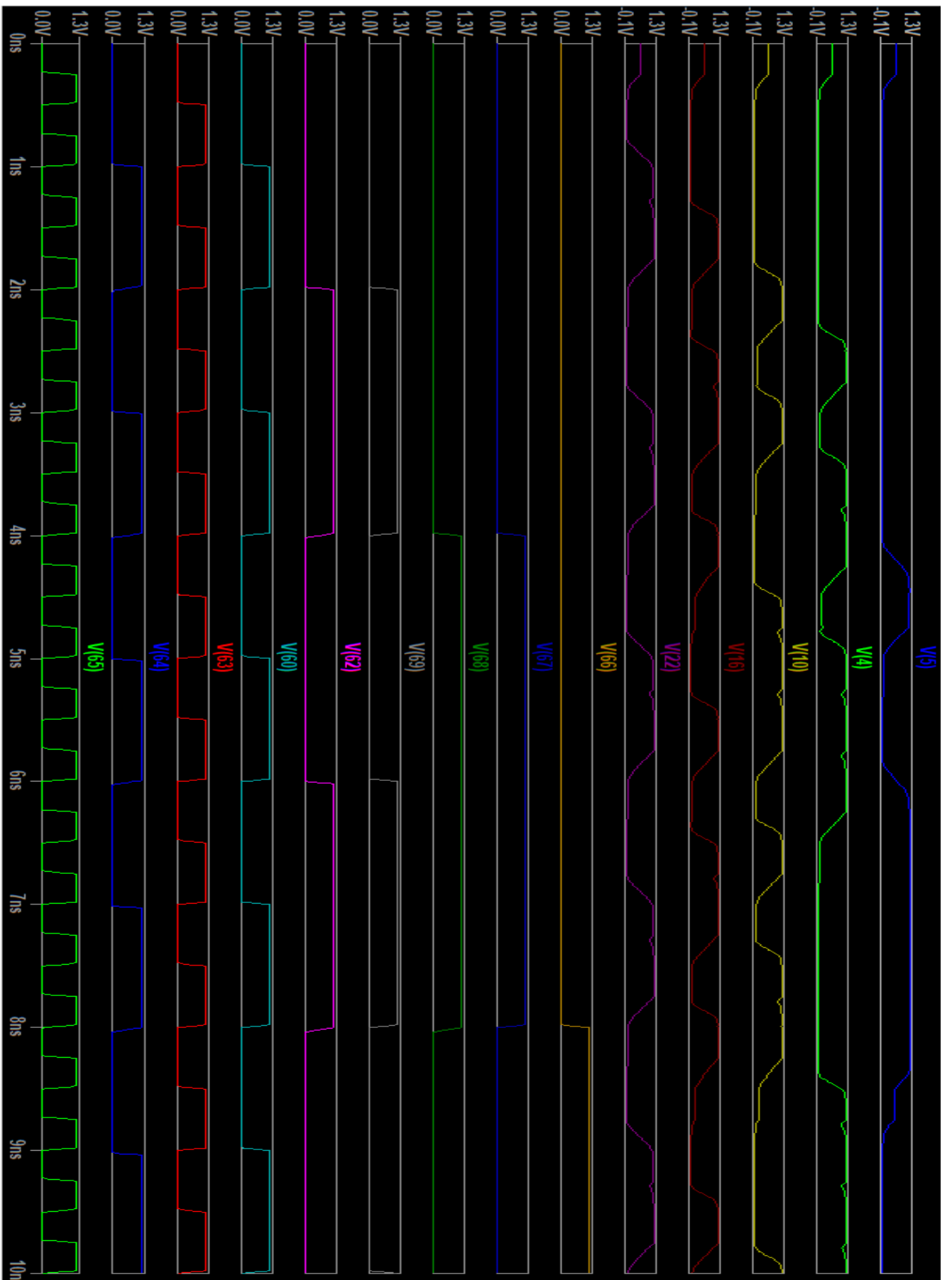


Figura 7: Simulazione LTspice

In ordine, partendo dall'alto, i segnali rappresentano:

- V5=Carry
- V4=Sum3
- V10=Sum2
- V16=Sum1
- V22=Sum0
- V66=B3
- V67=A3
- V68=B2
- V69=A2
- V62=B1
- V60=A1
- V63=B0
- V64=A0
- V65=Clock

Da questa simulazione si può notare che il circuito rispetta le specifiche.

CAPITOLO 5: ANALISI POTENZA

Come ultima cosa si può verificare la potenza dissipata dal circuito, quindi quella fornita da Vdd.

Per fare l'analisi della potenza si utilizza LTSpice VII

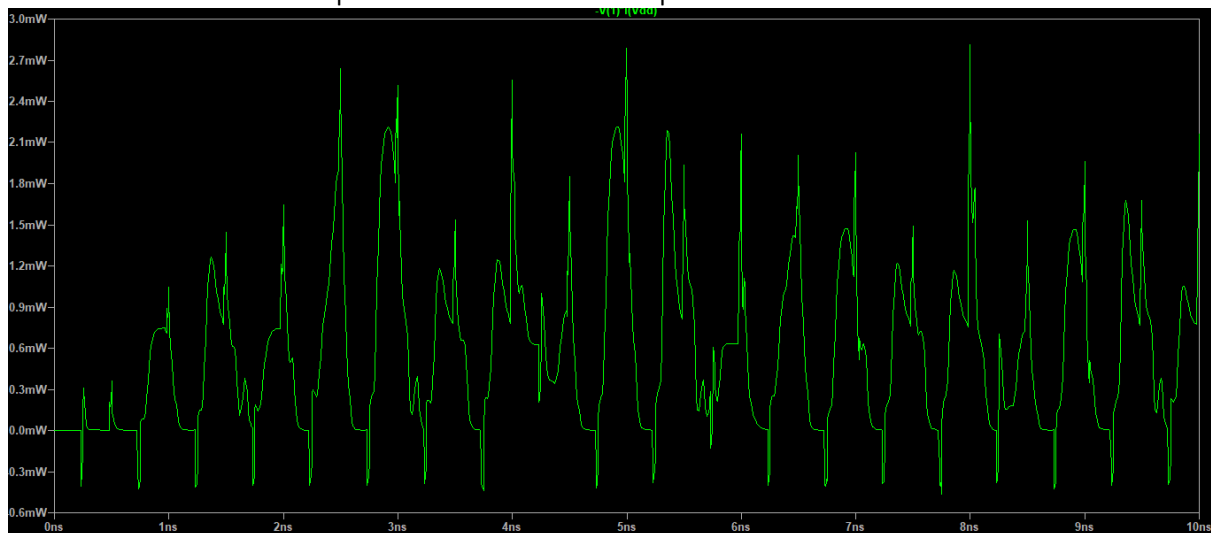


Figura 8: Grafico potenza

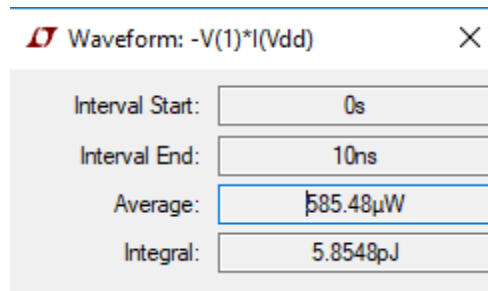


Figura 9: Potenza media

Come si può vedere dalla finestra fornita dal simulatore, la potenza media dissipata nel periodo è:

$$P_{diss} = 585.48\mu W$$

Bibliografia

- Jiren Yuan and Christer Svensson, "High-Speed CMOS Circuit Technique". IEEE Journal of solid-state circuits Vol. 24, No. 1 February 1989.
- National Institute of Applied Science, "Microwind & Dsch User's Manual Version 2.7".