

TSPC 4-bit Full Adder

Francesco Morgillo
3810105

December 21, 2019

1 Obiettivi del progetto B

Si presenta il progetto di design di un full-adder a 4 bit con tecnologia MOS $0.12\ \mu\text{m}$ e logica TSPC (true single phase clock). Il Full Adder presenta quattro ingressi: due word a 4 bit di cui eseguire la somma (a_0, b_0), un *CARRYIN* (c_0) e un ingresso dedicato al clock (ϕ). Le uscite del circuito sono i segnali di *SUM* e *CARRY*.

1.1 Specifiche del Progetto

Per la realizzazione del circuito sono richieste l'utilizzo di tecnologia MOS a $0.12\ \mu\text{m}$, un'alimentazione a $1.2V$, frequenza di lavoro $2GHz$, carico capacitivo di $100fF$ e una dimensione della cella con altezza massima di 68λ .

2 Logica TSPC

La logica TSPC prevede l'utilizzo di un blocco di logica statica e di un segnale di clock che temporizza uno stadio latch. Si hanno due fasi differenti: una di precarica (quando $\phi = 0$) ed una di valutazione (quando $\phi = 1$). Il segnale di uscita va considerato in fase di valutazione.

3 Dimensionamento

Sono state considerate le specifiche relative alla frequenza di funzionamento e al carico per ottenere le dimensioni dei transistor, nei vari stadi. E' necessario innanzitutto calcolare le dimensioni di W_n dello stadio finale. Calcolando il carico equivalente di ogni stadio, si ottiene a ritroso il valore di W_n di ogni stadio. Le dimensioni W_n si ottengono con la formula seguente:

$$\frac{W_n}{L} = \frac{2CV_{dd}}{\mu_n C_{ox}(V_{gs} - V_{th})^2} \quad (1)$$

Dove:

V_{gs}	1.20V
C	100fF
τ	250ps
μ_n	0.06 $\frac{fF}{m^2}$
C_{ox}	0.01725 $\frac{m^2}{Vs}$
$V_{gs} - V_{th}$	0.8V

Partendo dal terzo stadio si applica la formula e considerando il vincolo di tecnologia $L = 120nm$ di ottiene un rapporto $\frac{W_n}{L} = 1.4486$. Si approssima all'intero successivo visto che larghezza W_n non può che essere un multiplo intero di L : $W_n = 2L = 240nm$. Per un transistor p si dovrà triplicare questo valore per via della minor mobilità degli elettroni nel substrato P , quindi $W_p = 3W_n = 720nm$.

Per quanto riguarda il secondo stadio è necessario considerare la capacità equivalente che esso vede sul terzo stadio. La capacità equivalente viene calcolata come segue :

$$C_G = C_{ox}W_nL + C_{ox}W_pL = 2.93fF \quad (2)$$

Il valore del carico da pilotare è abbastanza piccolo per poter utilizzare dei transistor a dimensione minima ($W_n = 120nm$, $W_p = 3W_n = 360nm$) Lo stesso ragionamento porta a scegliere dei transistor a dimensione minima anche nel primo stadio.

3.1

More text.