

---

# REALIZZAZIONE FULL ADDER 4 BIT

---

Federico Gemma, matricola 3914418

6 ottobre 2018

## Sommario

<b>1</b>	<b>INTRODUZIONE.....</b>	<b>2</b>
<b>2</b>	<b>SPECIFICHE .....</b>	<b>2</b>
<b>3</b>	<b>PROGETTAZIONE DEL CIRCUITO.....</b>	<b>2</b>
3.1	1 BIT FULL ADDER .....	2
3.1.1	<i>Dimensionamento .....</i>	<i>3</i>
3.2	4 BIT FULL ADDER .....	9
<b>4</b>	<b>TOOLS UTILIZZATI: .....</b>	<b>28</b>

## 1 Introduzione

La relazione illustra l'attività eseguita per la realizzazione di un FULL ADDER a 4 bit partendo dal modulo base.

Il modulo base è stato ottenuto da un circuito in grado di eseguire la somma tra 2 bit di segnale A e B, tenendo conto di un eventuale riporto rappresentato dal bit C (Carry).

La tecnica di realizzazione è quella relativa alla logica TSPC. Quest'ultima non prevede la possibilità di connettere uno stadio di precarica N direttamente ad uno stadio di precarica P, senza uno stadio di latch in mezzo; inoltre un altro vantaggio è quello relativo all'utilizzo di una sola linea di clock nel circuito.

## 2 Specifiche

Le specifiche del progetto sono:

- tecnologia CMOS a  $0,12\ \mu m$
- alimentazione a 1,2 V
- capacità di carico  $C = 100\ fF$
- frequenza di lavoro minima pari a  $2\ GHz$
- altezza massima  $68\lambda$

## 3 Progettazione del circuito

### 3.1 1 bit full adder

Si vuole realizzare il circuito riportato in figura 1; il circuito si può considerare suddiviso in 3 stadi:

- Stadio di generazione del segnale carry!
- Stadio di generazione del segnale sum!
- Stadi finali di uscita dei due segnali SUM e Carry.

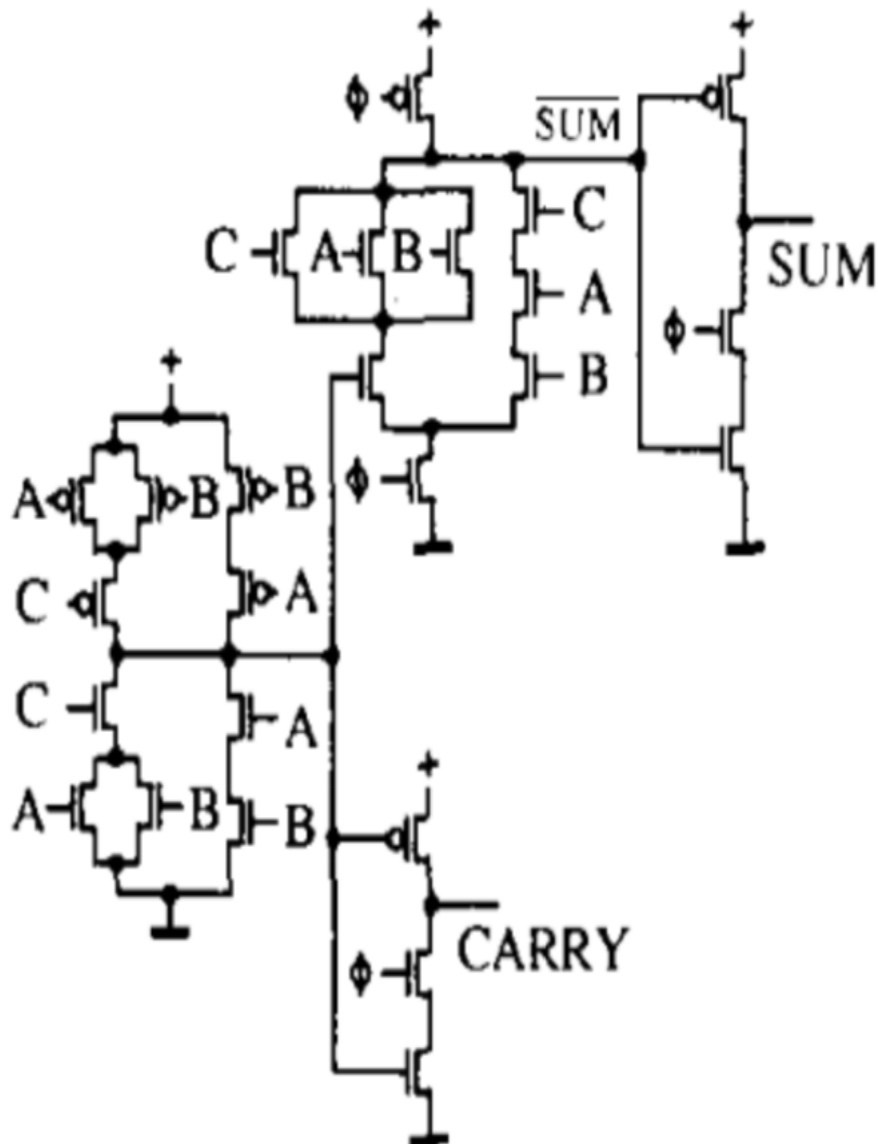


Figura 1 Schema circuitale di principio

### 3.1.1 Dimensionamento

Per dimensionare il circuito si parte dal terzo stadio; questo possiede una capacità di carico di  $100 \text{ fF}$ , mentre le capacità degli altri stadi dipendono dalla capacità sul gate dei vari transistor che, a loro volta, dipendono dal  $\frac{W}{L}$  dei singoli transistor.

Data la frequenza operativa pari a  $2 \text{ GHz}$ , si sono potuti ricavare i vincoli temporali sulle fasi di scarica e precarica.

Si ottiene quindi un  $\tau_r$  e un  $\tau_f$  pari a  $250 \text{ ps}$  derivante dalla divisione per 2 del periodo di clock.

La larghezza dei transistor MOS di tipo N è data dalla formula (1). Per avere un sufficiente margine si è scelto di utilizzare come  $\tau$  un tempo più breve pari a 150 ps

$$W_N = \frac{2CV_{dd}L}{\tau\mu_N C_{ox}(V_{dd}-V_{th})^2} = 2,89 \cdot 10^{-7} \quad (1)$$

Dove si è utilizzato:

$$\mu = 0,006 \text{ m}^2/\text{Vs}$$

$$C_{ox} = 0,017 \text{ F/m}^2$$

$$C = 100 \text{ fF}$$

$$L = 0,12 \text{ }\mu\text{m}$$

$$V_{dd} = 1,2 \text{ V}$$

$$V_{th} = 0,4 \text{ V}$$

La tecnologia adottata è la 0.12  $\mu\text{m}$ , pertanto si deve approssimare per eccesso il risultato ottenuto per realizzare il transistor MOS della dimensione opportuna.

Tuttavia, nell'ultimo stadio, sono presenti 2 transistor N in serie e quindi il valore ottenuto precedentemente va moltiplicato per 2, ottenendo così una larghezza di canale pari a  $W_{nserie} = 5,78 \cdot 10^{-7}$ .

Invece, per quanto riguarda il transistor P dell'ultimo stadio, si può ricavare la W moltiplicando per 3  $W_N$  quindi in formule si ha  $W_P = 3W_N$ ; questo procedimento permette di avere una erogazione di corrente circa uguale tra i MOS di tipo P e di tipo N, siamo così giunti alla fine del dimensionamento del terzo stadio, passiamo quindi al dimensionamento del secondo stadio.

Per quanto riguarda il secondo stadio la capacità di carico è data dalla capacità di ingresso del terzo stadio che è data dalla formula 2.

$$C_G = (C_{ox}W_NL) + (C_{ox}W_PL) = 2,45 \text{ fF} \quad (2)$$

Essa risulta essere inferiore rispetto a quella di carico di un fattore pari a 40 si può, pertanto, concludere che i transistor del secondo stadio avranno dimensione minima, analogamente si possono fare le stesse considerazioni, fatte per il secondo stadio in termini di capacità, anche per il primo stadio.

Il risultato del layout è riportato in figura 2, mentre la simulazione eseguita con MICROWIND è riportata in figura 3

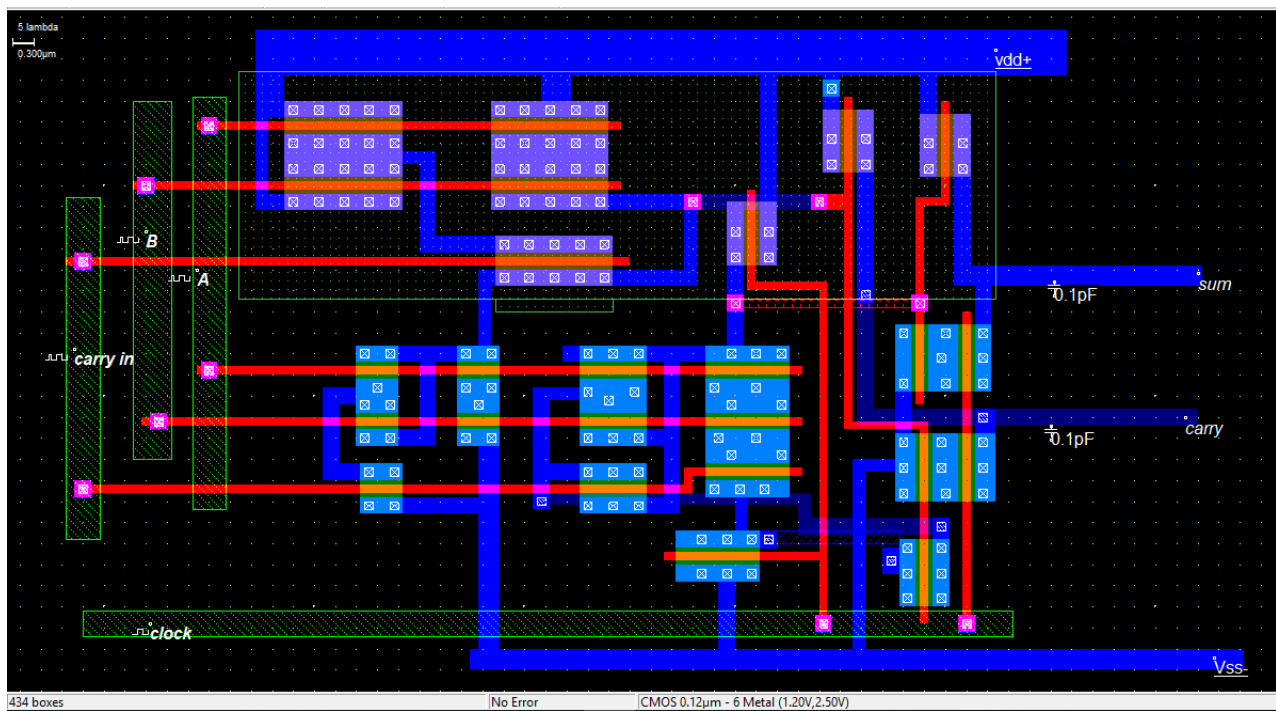


Figura 2

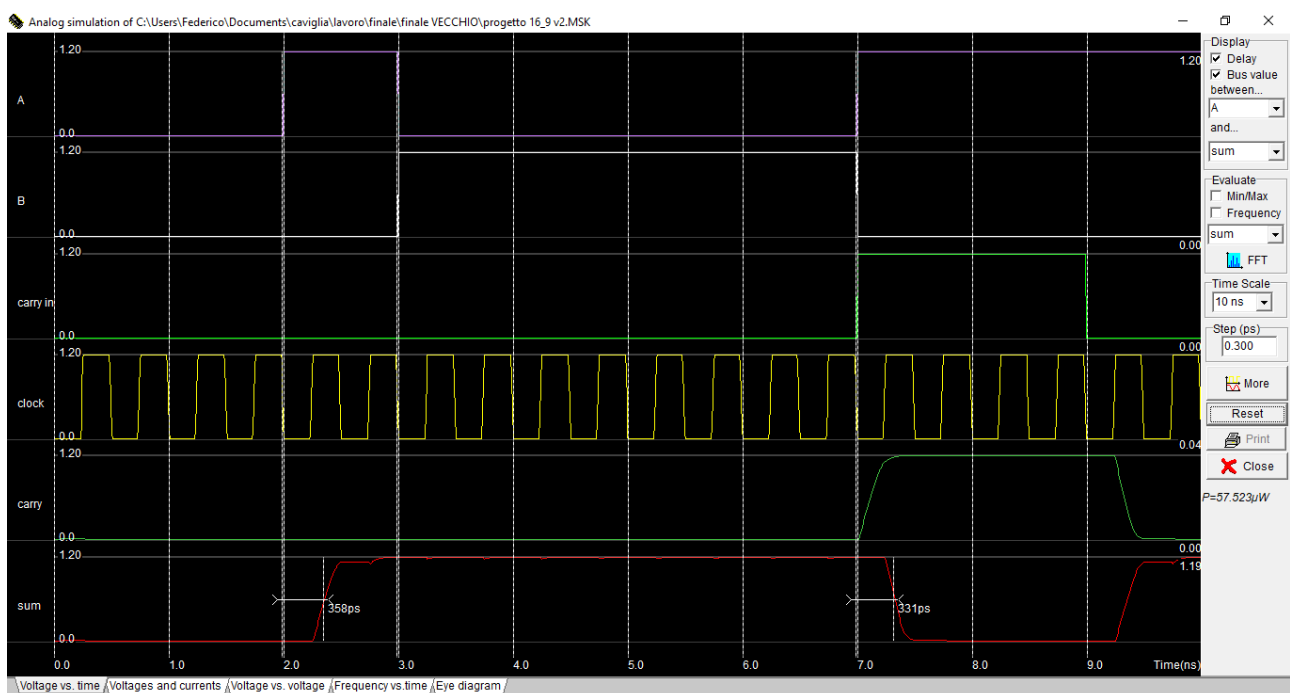


Figura 3

Il risultato è accettabile, purtroppo tuttavia il circuito analizzato con un tool più preciso come LTspice, ha dato dei risultati non accettabili. Inoltre, il circuito non rispettava i requisiti dimensionali richiesti.

Si è passato quindi a realizzare un altro circuito considerando i requisiti dimensionali richiesti, ottenendo un layout diverso.

Si è completato il circuito aumentando la dimensione dei transistor, arrivando al layout finale che è riportato in figura 4.

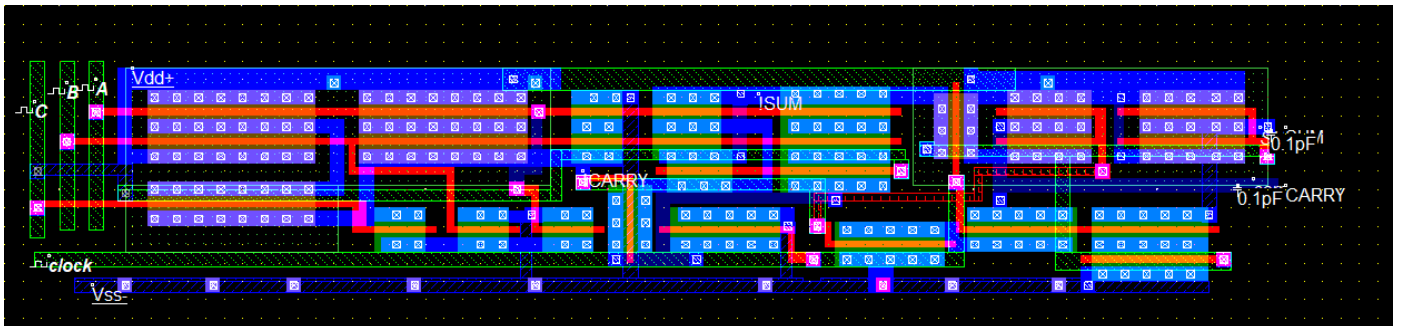


Figura 4

La simulazione eseguita tramite microwind è riportata in figura 5

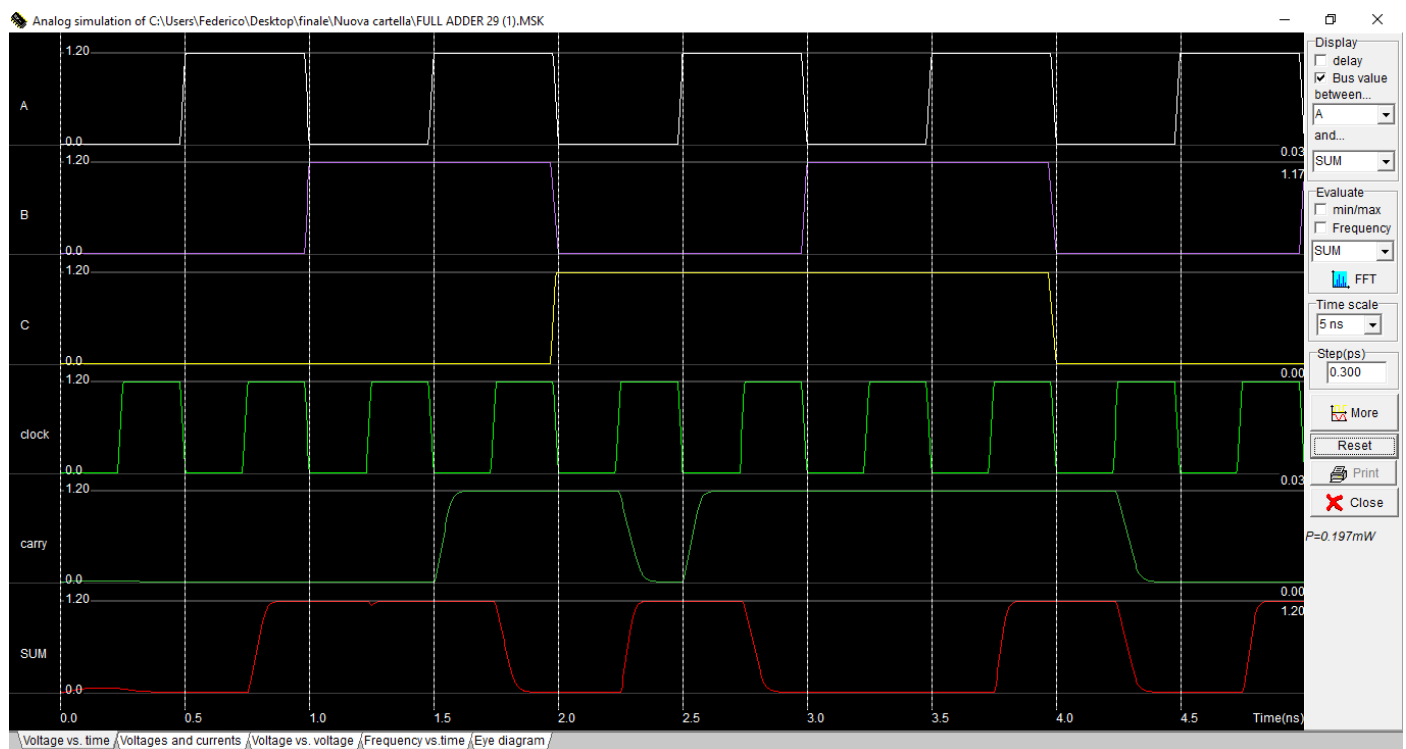
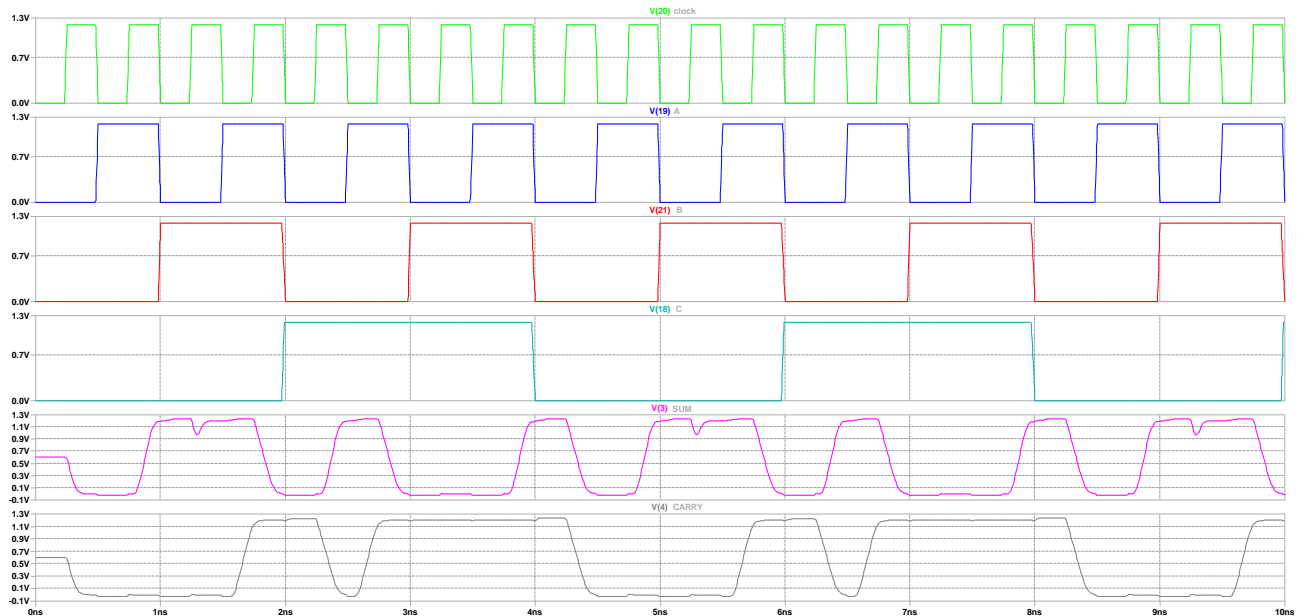


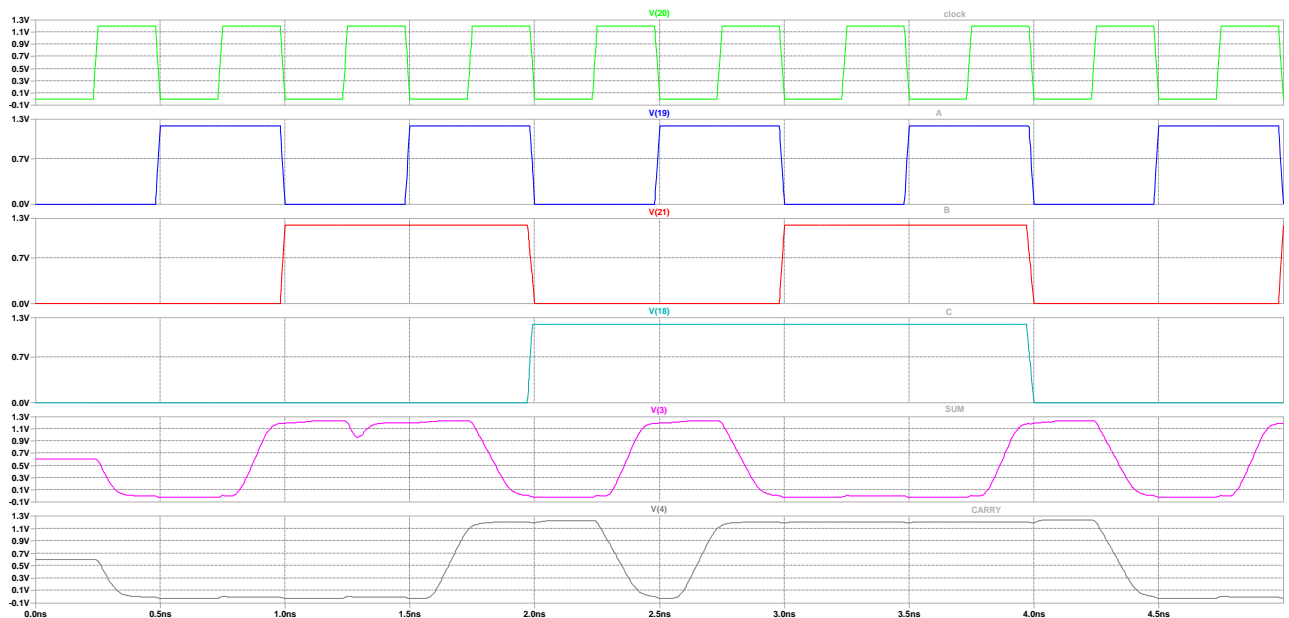
Figura 5

Legenda	
bianco segnale ingresso A	verde Carry out
violetto segnale ingresso B	rosso SUM
giallo segnale ingresso C	
verde brillante clock	

La simulazione ottenuta con LTspice mostra anch'essa dei risultati accettabili per il circuito, si vedano le figure 6 e 7 che riportano i risultati delle simulazioni con due scale temporali diverse.



*Figura 6 risultato simulazione con scala temporale di 10ns*

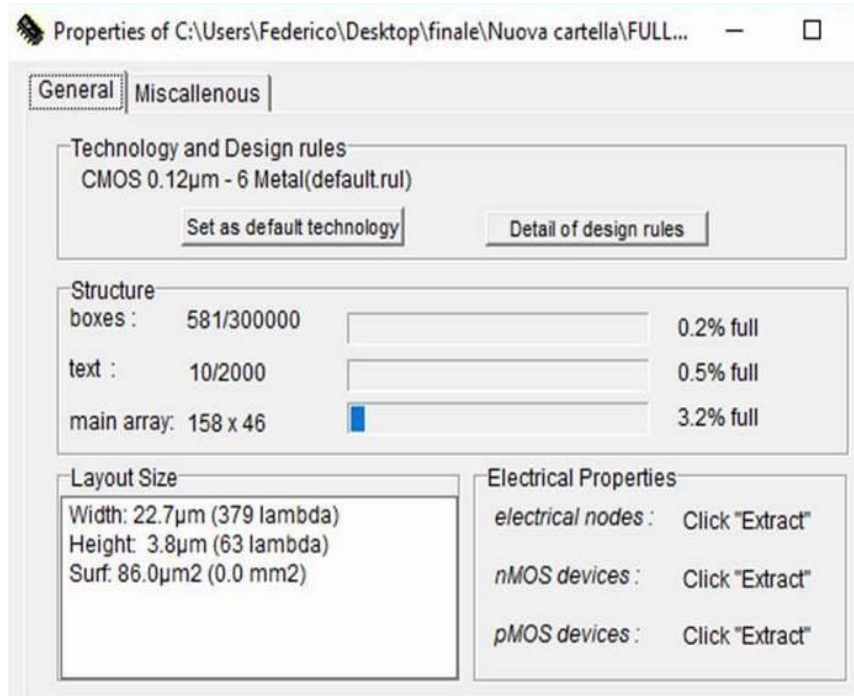


*Figura 7 risultato simulazione con scala temporale di 5ns*

Legenda	
blu segnale ingresso A	nero Carry out
rosso segnale ingresso B	violetto SUM
azzurro segnale ingresso C	
verde brillante clock	

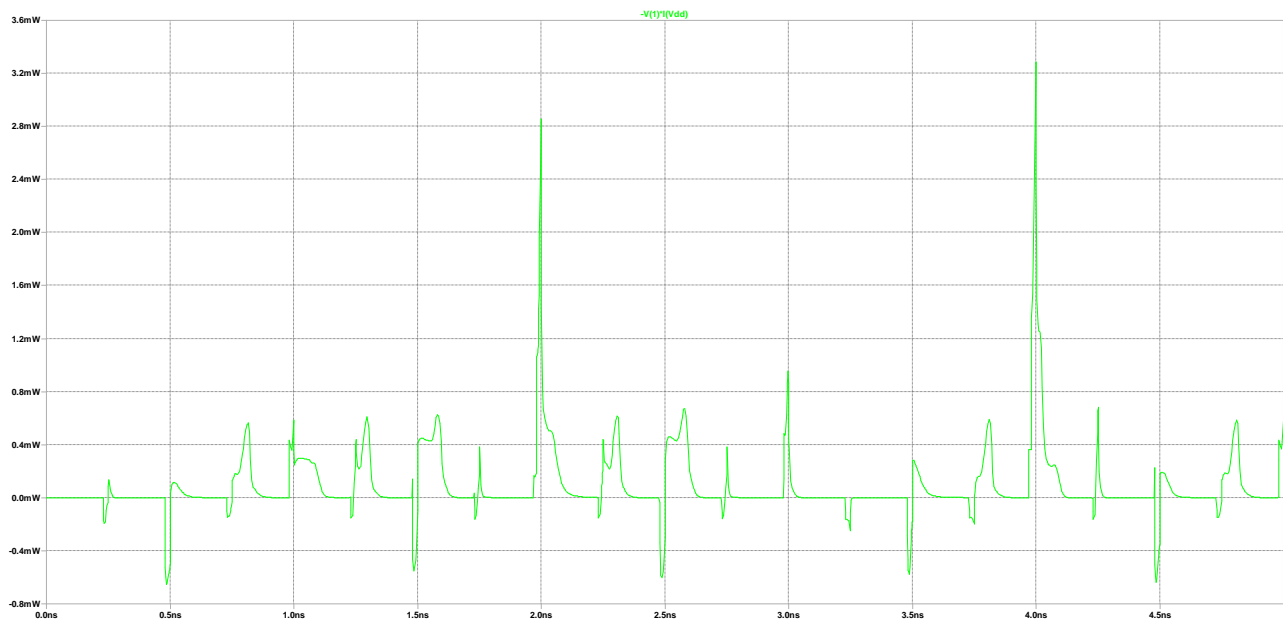


Ora non resta altro che verificare se è rispettato l'ultimo vincolo, ovvero quello relativo alla massima altezza. L'altezza ottenuta, come si può vedere nella figura 8, risulta essere pari a  $63\lambda$  quindi ben al disotto del vincolo richiesto di  $68\lambda$ .

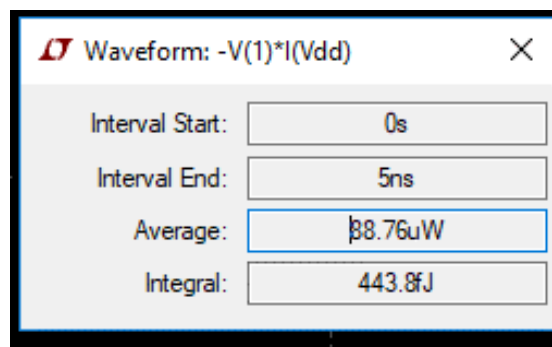


*Figura 8 dimensioni circuito come riportato dal tool microwind*

Un altro aspetto importante è il consumo energetico del circuito, un parametro da considerare è la potenza assorbita dalla fonte di alimentazione Vdd. La Figura 9 riporta l'andamento della potenza assorbita mentre la Figura 10 mostra la potenza media: essa risulta essere di  $88.76\mu W$ .



*Figura 9 potenza assorbita circuito full adder 1 bit*

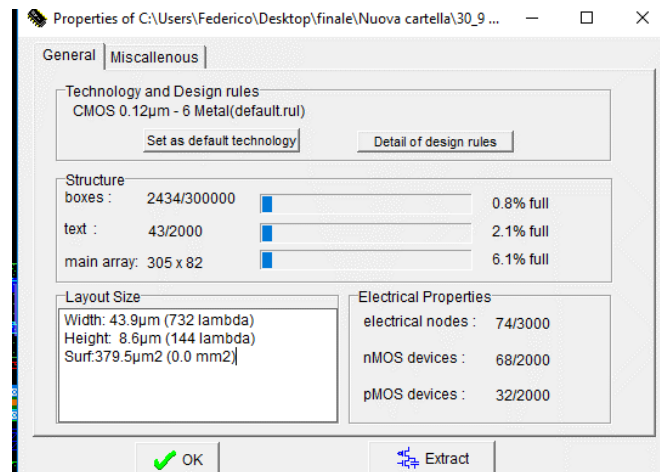


*Figura 10 potenza assorbita media*

### 3.2 4 bit full adder

Si è passati quindi alla realizzazione del full adder a 4 bit moltiplicando il full adder a 1 bit, ottenendo il circuito riportato in Figura 14.

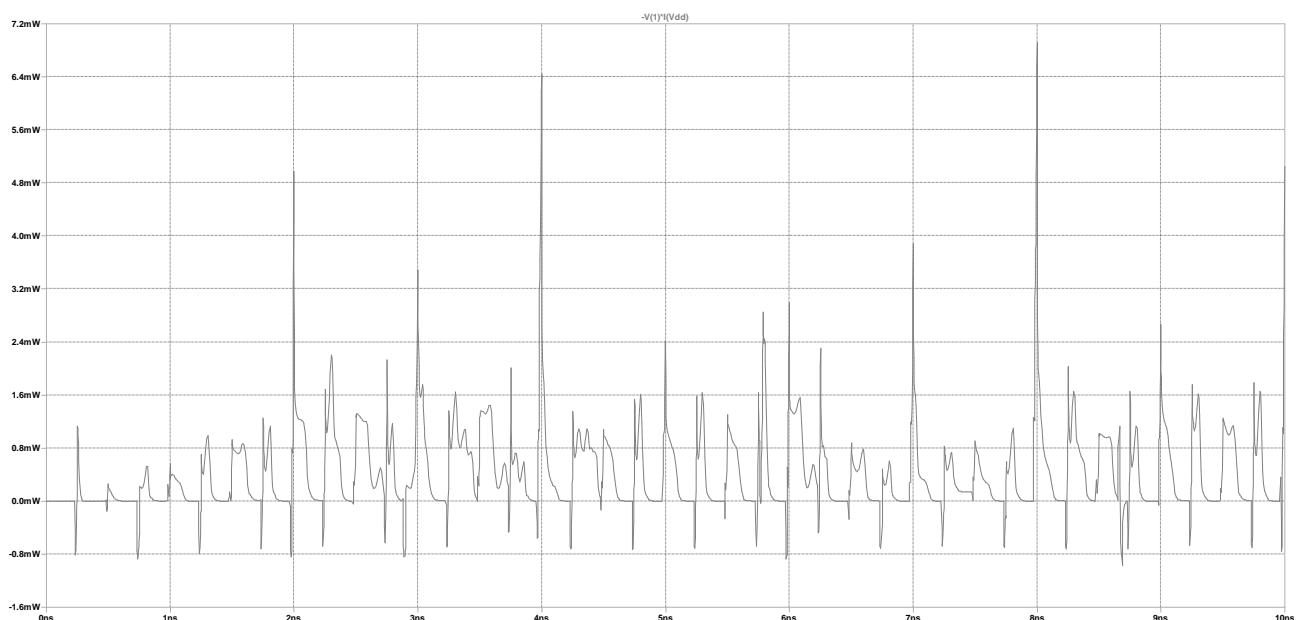
Le dimensioni del circuito disegnato sono riportate in Figura 11.



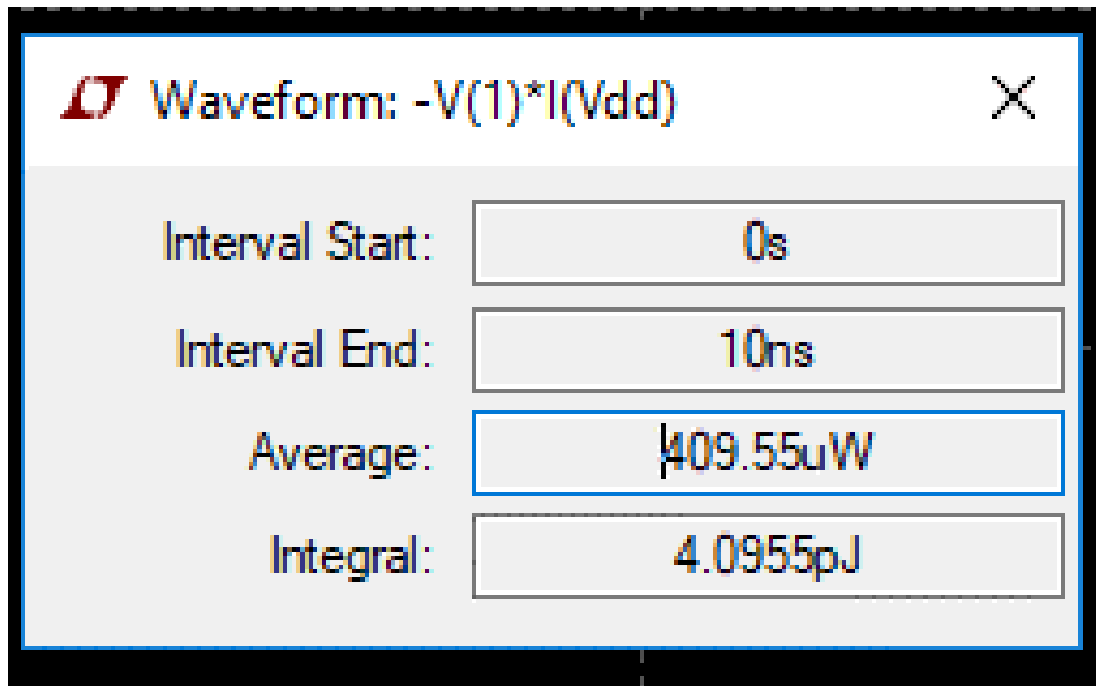
*Figura 11 dimensioni full adder 4 bit*

Anche per questa realizzazione si è verificato il consumo energetico del circuito, un parametro da considerare è la potenza assorbita dalla fonte di alimentazione Vdd. La Figura 12 riporta l'andamento della potenza assorbita, mentre la Figura 13 mostra la potenza media.

Si può notare che la potenza assorbita dal circuito a 4 bit è di circa  $410\mu\text{W}$ , essa è all'incirca 4 volte la potenza assorbita dal circuito riportato al punto 3.1.



*Figura 12 potenza assorbita circuito full adder 4 bit*



*Figura 13 potenza assorbita media full adder 4 bit*

Si è passato quindi a simulare il circuito realizzato su LTSpice ottenendo i risultati riportati nelle figure seguenti:

- Figura 15 risultati simulazione Full adder 4 bit
- Figura 16 risultati simulazione Full adder 4 bit primo stadio
- Figura 17 risultati simulazione Full adder 4 bit secondo stadio
- Figura 18 risultati simulazione Full adder 4 bit terzo stadio
- Figura 19 risultati simulazione Full adder 4 bit ultimo stadio

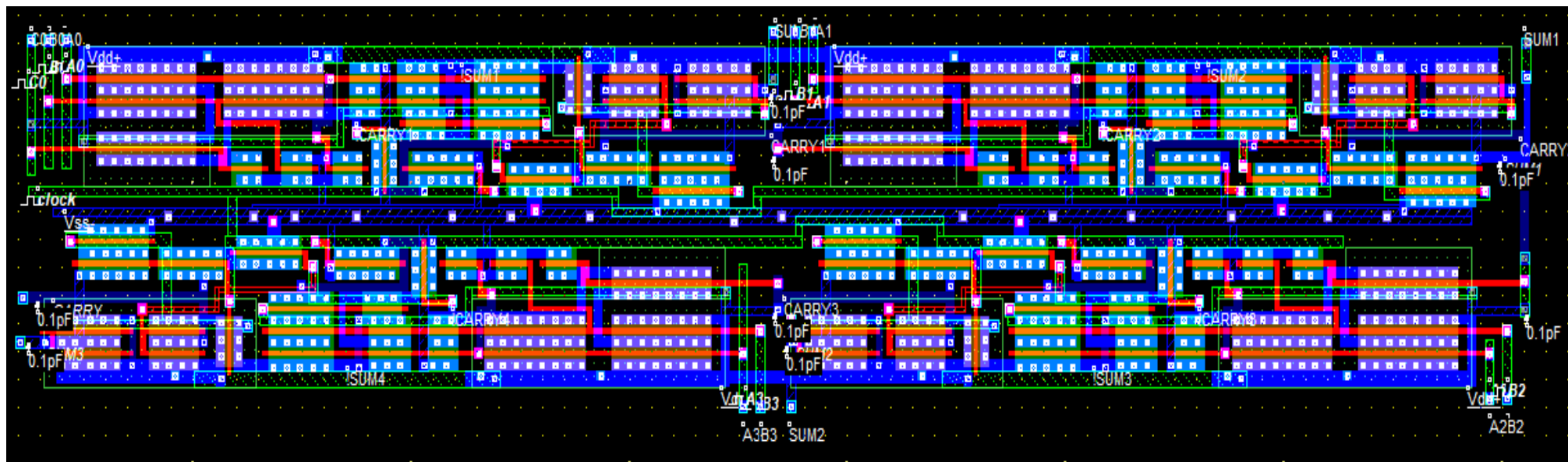


Figura 14 layout Full adder 4 bit

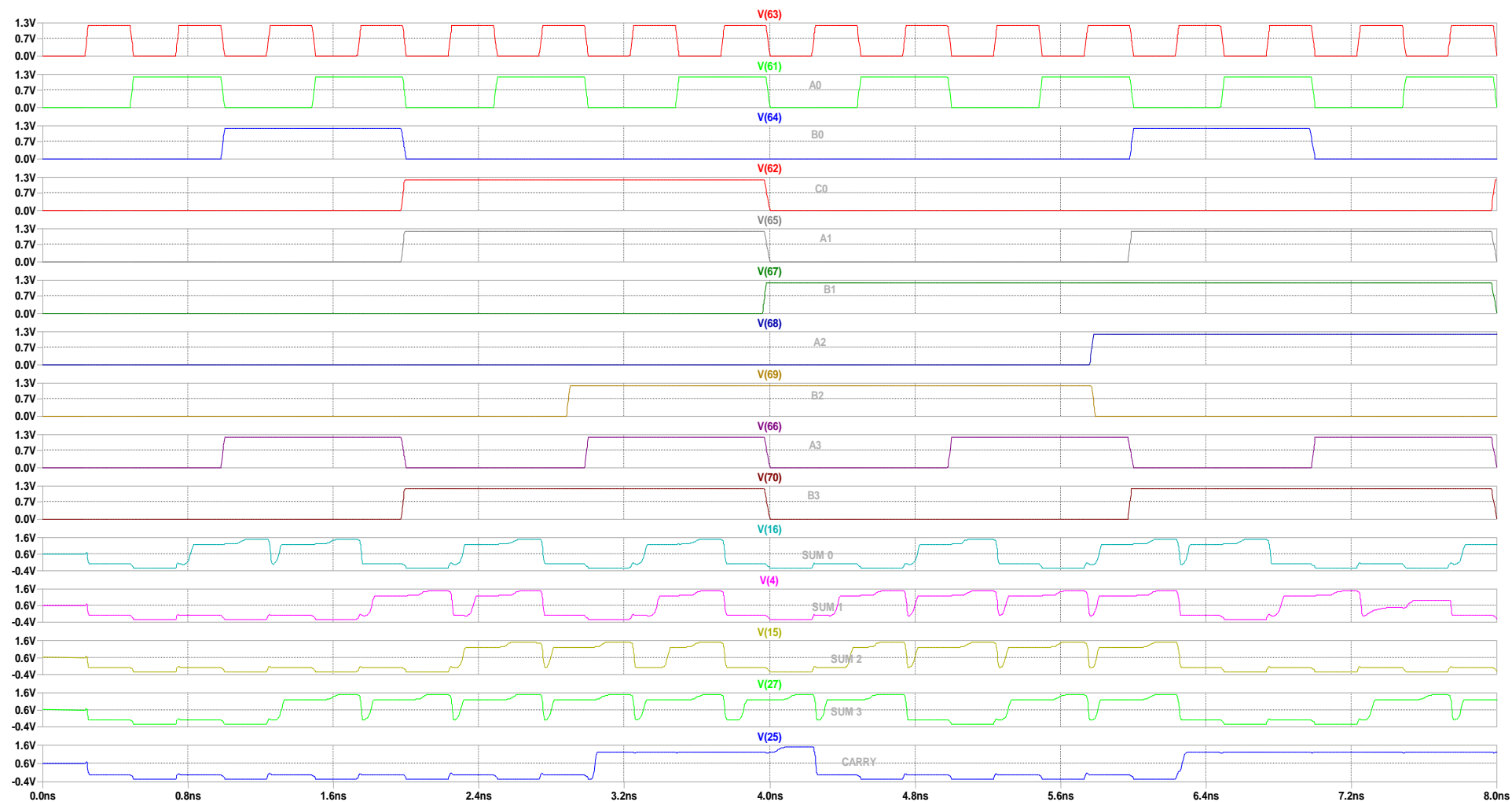


Figura 15 risultati simulazione Full adder 4 bit

Legenda		
rosso clock	verde segnale ingresso b1	azzurro segnale uscita sum0
verde brillante segnale ingresso a0	blu scuro segnale ingresso a2	violetto segnale uscita sum1
blu segnale ingresso b0	giallo scuro segnale ingresso b2	giallo scuro segnale uscita sum2
rosso segnale ingresso c0	viola scuro segnale ingresso a3	verde segnale uscita sum3
grigio segnale ingresso a1	rosso scuro segnale ingresso b3	blu segnale uscita carry

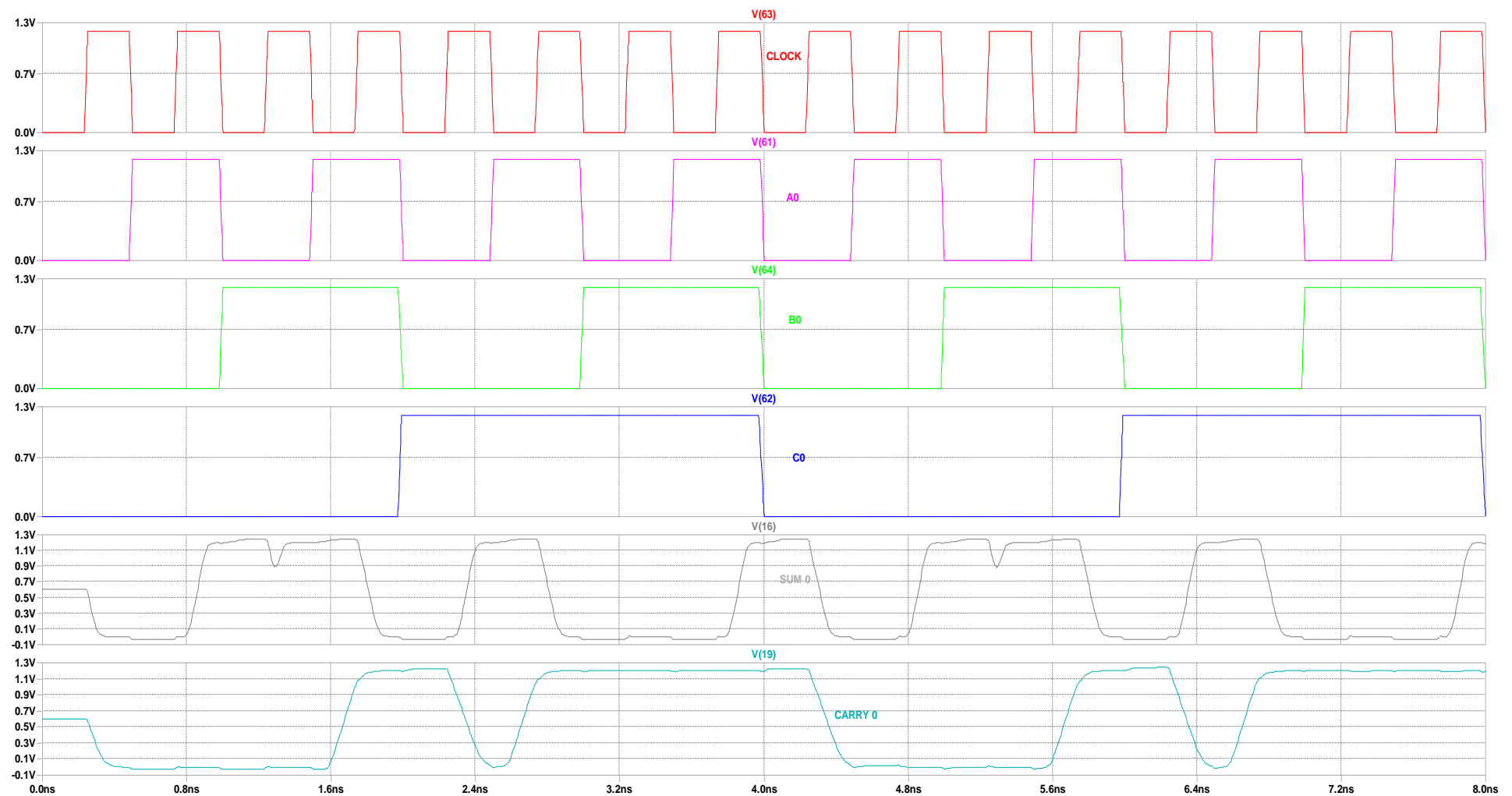


Figura 16 risultati simulazione Full adder 4 bit primo stadio

Legenda		
rosso clock	Viola segnale ingresso A0	verde segnale ingresso B0
blu segnale ingresso C0	nero segnale uscita SUM0	Verde acqua segnale uscita CARRY0

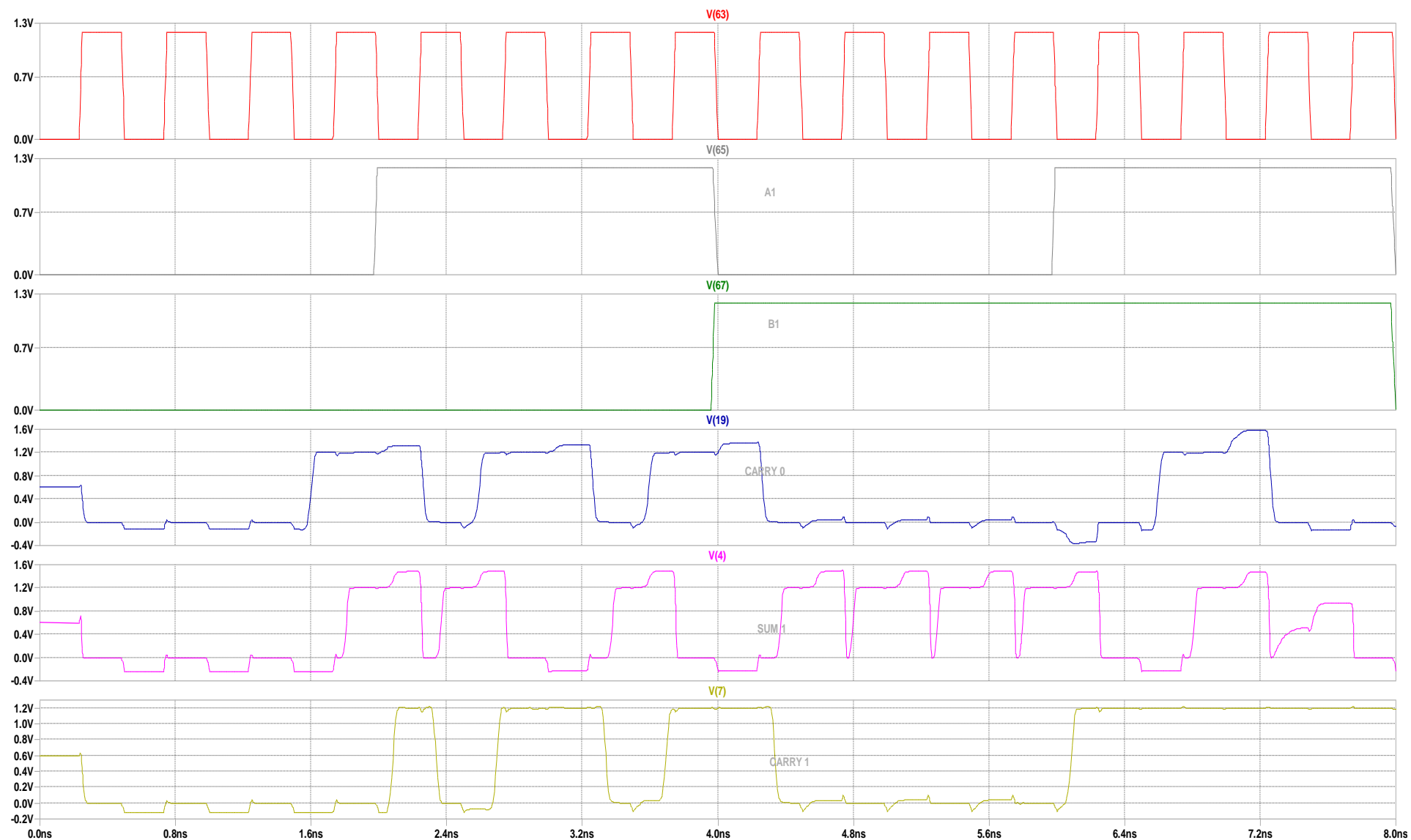


Figura 17 risultati simulazione Full adder 4 bit secondo stadio

Legenda		
rosso clock	grigio segnale ingresso A1	verde segnale ingresso B1
blu segnale ingresso CARRY0	viola segnale uscita SUM1	Giallo scuro segnale uscita CARRY1



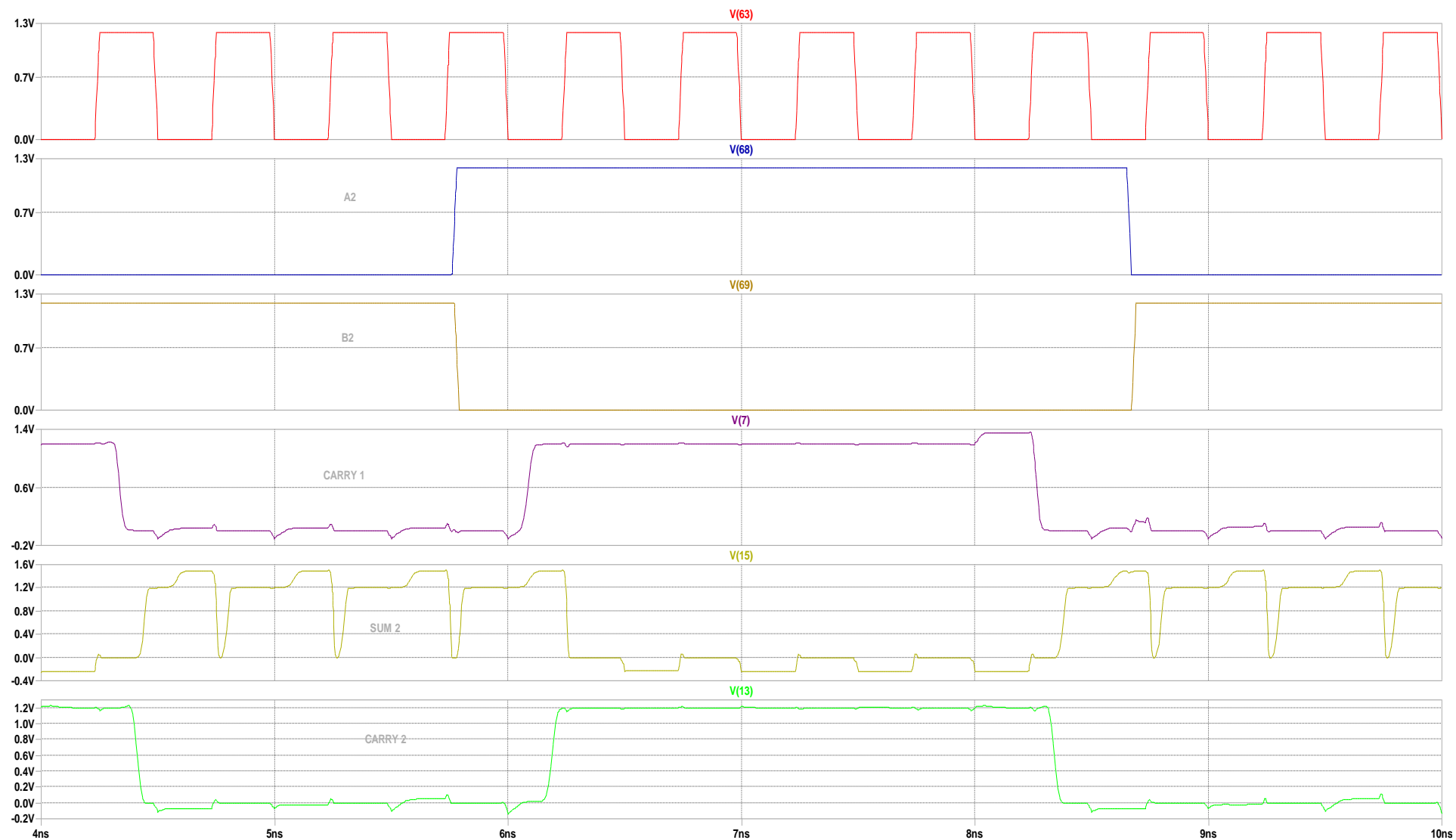


Figura 18 risultati simulazione Full adder 4 bit terzo stadio

Legenda		
rosso clock	blu segnale ingresso A2	marrone segnale ingresso B2
viola segnale ingresso CARRY1	Giallo scuro segnale uscita SUM2	verde segnale uscita CARRY2

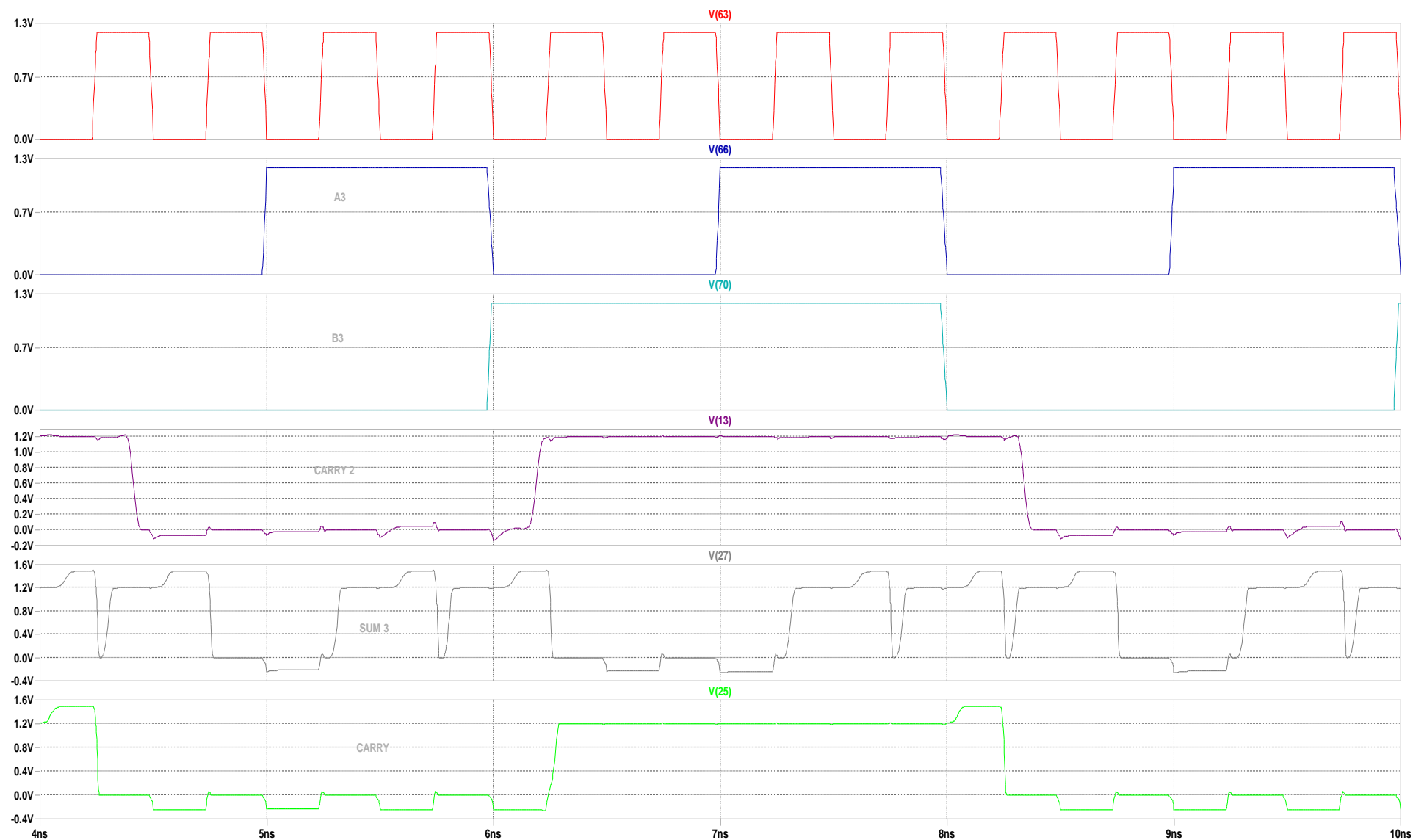


Figura 19 risultati simulazione Full adder 4 bit ultimo stadio

Legenda		
rosso clock	blu segnale ingresso A3	azzurro segnale ingresso B3
viola segnale ingresso CARRY2	grigio segnale uscita SUM3	verde segnale uscita CARRY

### 3.3 Realizzazione full adder 4 bit con shape longitudinale

Infine si è realizzato una versione del full adder 4 bit seguendo una shape orizzontale in modo da rispettare il vincolo dell'altezza del circuito di  $68 \lambda$ ; il layout ottenuto è riportato nella Figura 23, la simulazione circuitale eseguita con microwind è invece riportata in Figura 24. Le dimensioni ottenute del circuito sono riportate in Figura 20. L'area utilizzata in questo caso è di  $330.4 \mu\text{m}^2$  leggermente inferiore all'area del circuito precedente pari a  $379.5 \mu\text{m}^2$ .

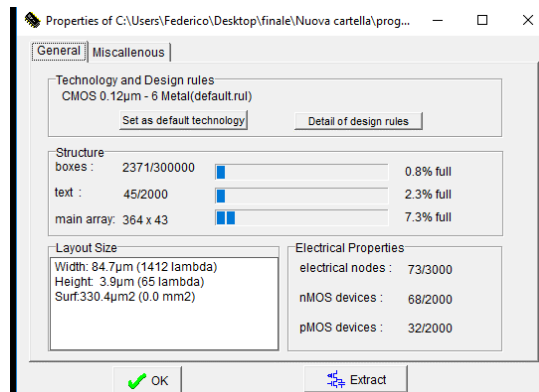


Figura 20 dimensioni layout

Anche per questa realizzazione si è verificato il consumo energetico del circuito, un parametro da considerare è la potenza assorbita dalla fonte di alimentazione Vdd. La Figura 21 riporta l'andamento della potenza assorbita, mentre la xx mostra la potenza media.

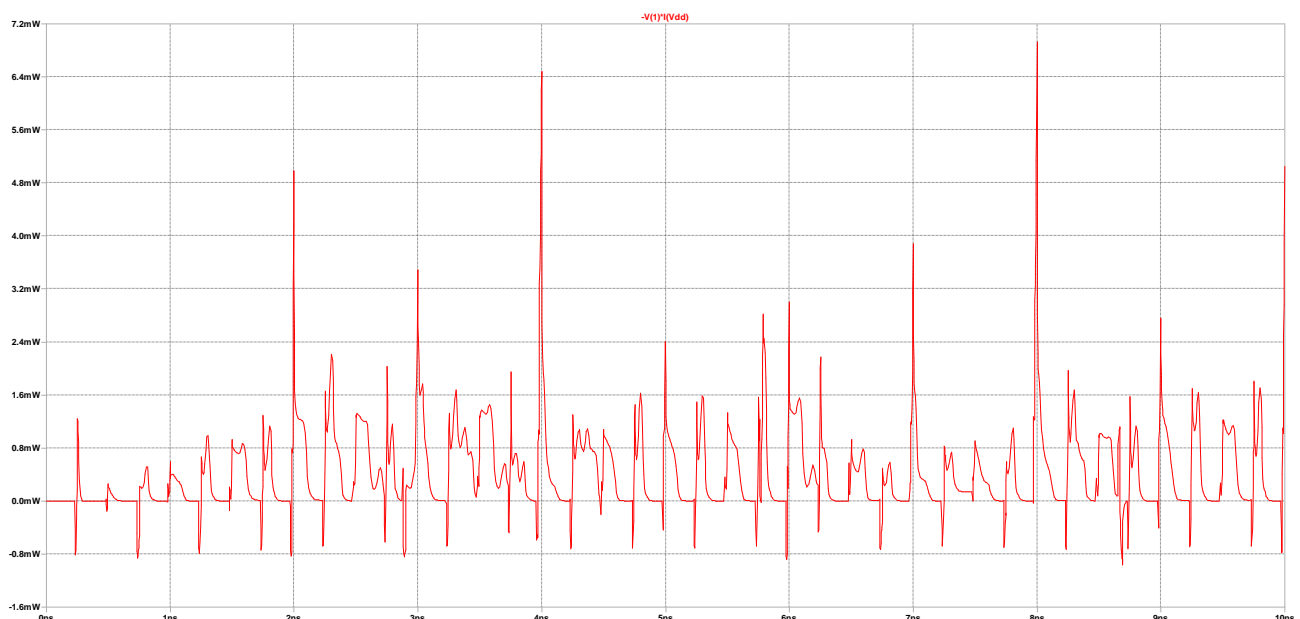
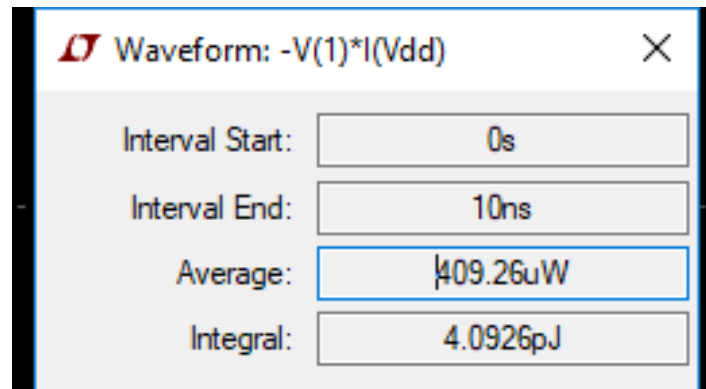


Figura 21 potenza assorbita circuito full adder 4 bit shape longitudinale



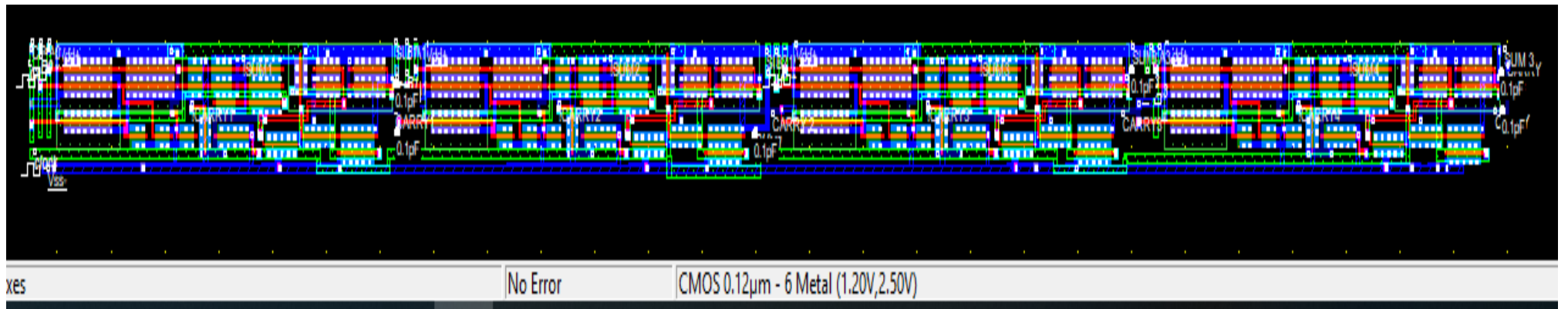
*Figura 22 potenza assorbita media full adder 4 bit con shape longitudinale*

Si può notare che la potenza assorbita dal circuito a 4 bit è di circa 410μW, come ottenuto con il layout precedente, la valutazione è corretta in quanto i componenti utilizzati sono identici.

Anche per questa realizzazione si è simulato il circuito con LTSpice ottenendo i risultati riportati nelle figure seguenti:

- Figura 25 risultati simulazione Full adder 4 bit shape longitudinale
- Figura 26 risultati simulazione Full adder 4 bit shape longitudinale primo stadio
- Figura 27 risultati simulazione Full adder 4 bit shape longitudinale secondo stadio
- Figura 28 risultati simulazione Full adder 4 shape longitudinale bit terzo stadio
- Figura 29 risultati simulazione Full adder 4 bit shape longitudinale ultimo stadio

Come era atteso le figure gli andamenti ottenuti dei segnali sono identici a quanto ottenuto nella simulazione della versione non longitudinale.



*Figura 23 layout full adder 4 bit con shape longitudinale*



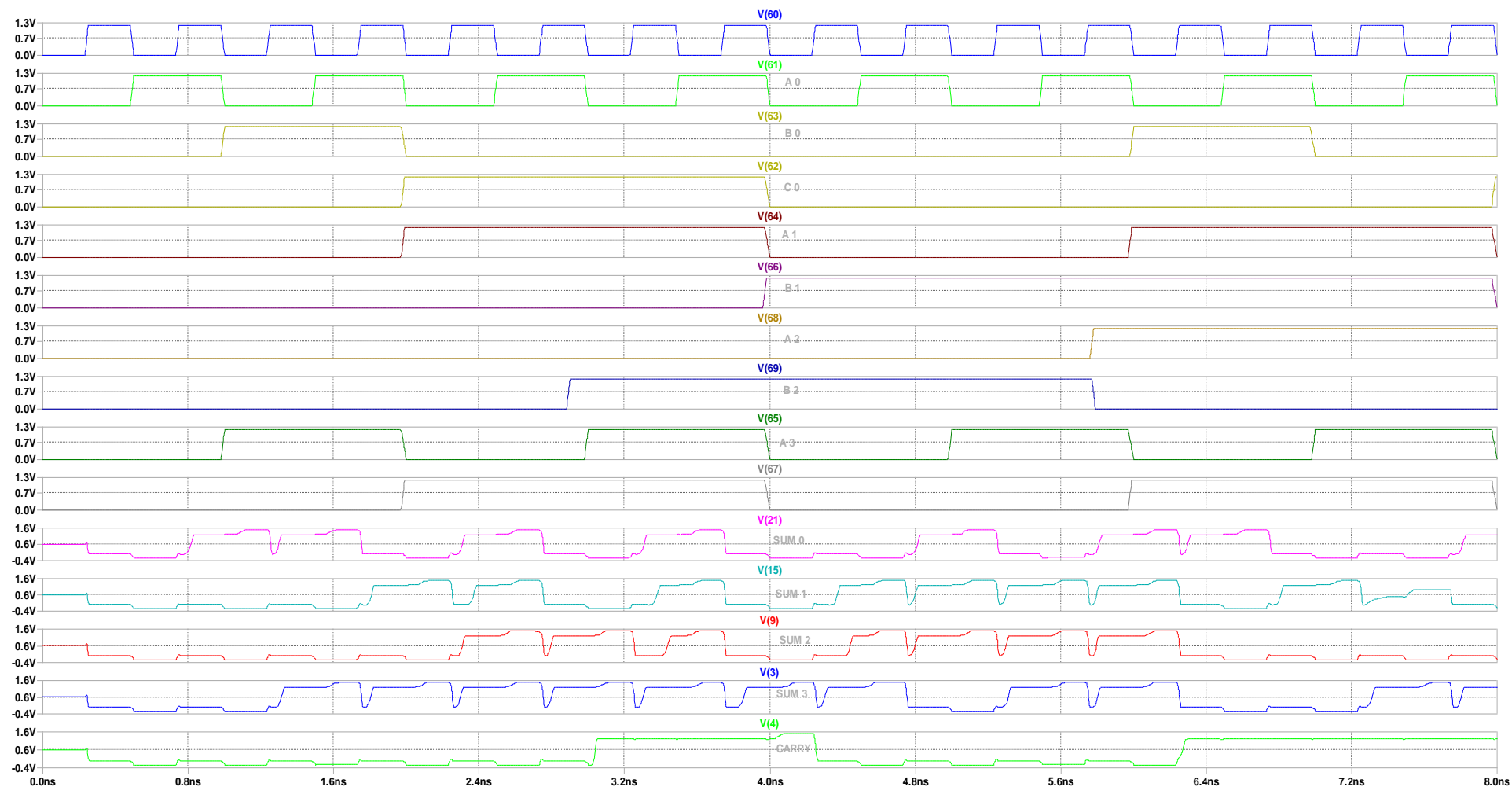


Figura 25 risultati simulazione Full adder 4 bit shape longitudinale

Legenda		
blu clock	violetto segnale ingresso B1	violetto segnale uscita SUM0
verde brillante segnale ingresso A0	giallo scuro segnale ingresso A2	verde acqua segnale uscita SUM1
giallo scuro segnale ingresso B0	blu segnale ingresso B2	rosso segnale uscita SUM2

giallo segnale ingresso C0	Verde scuro segnale ingresso A3	blu segnale uscitaSUM5
rosso scuro segnale ingresso A1	grigio segnale ingresso B3	verde segnale uscita CARRY

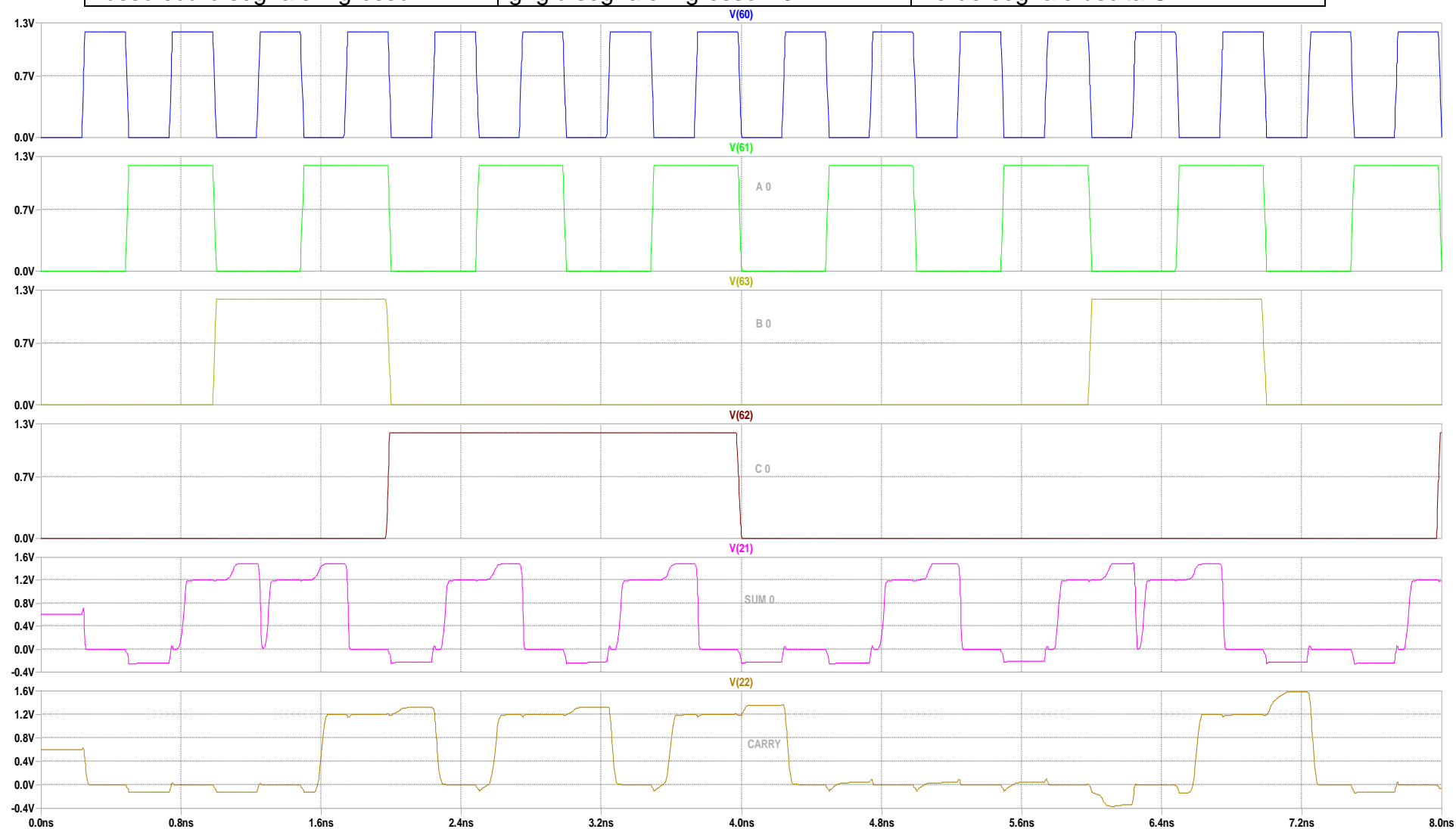


Figura 26 risultati simulazione Full adder 4 bit shape longitudinale primo stadio

**Legenda**



blu clock	verde segnale ingresso A0	giallo scuro segnale ingresso B0
marrone segnale ingresso C0	viola segnale uscita SUM0	marrone chiaro segnale uscita CARRY0

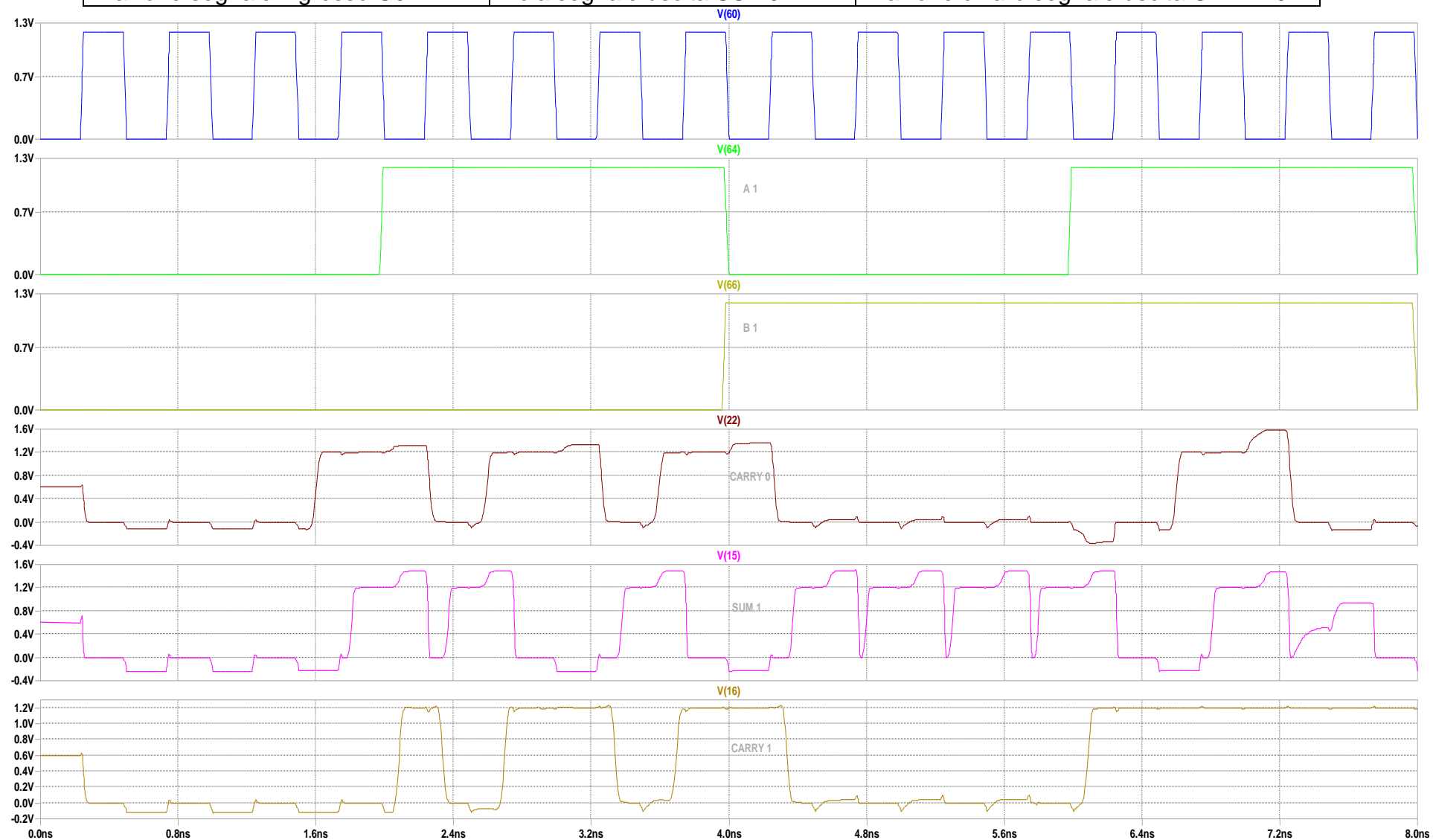


Figura 27 risultati simulazione Full adder 4 bit shape longitudinale secondo stadio

**Legenda**

blu clock	verde segnale ingresso A1	giallo scuro segnale ingresso B1
marrone segnale ingresso CARRY1	viola segnale uscita SUM1	marrone chiaro segnale uscita CARRY1

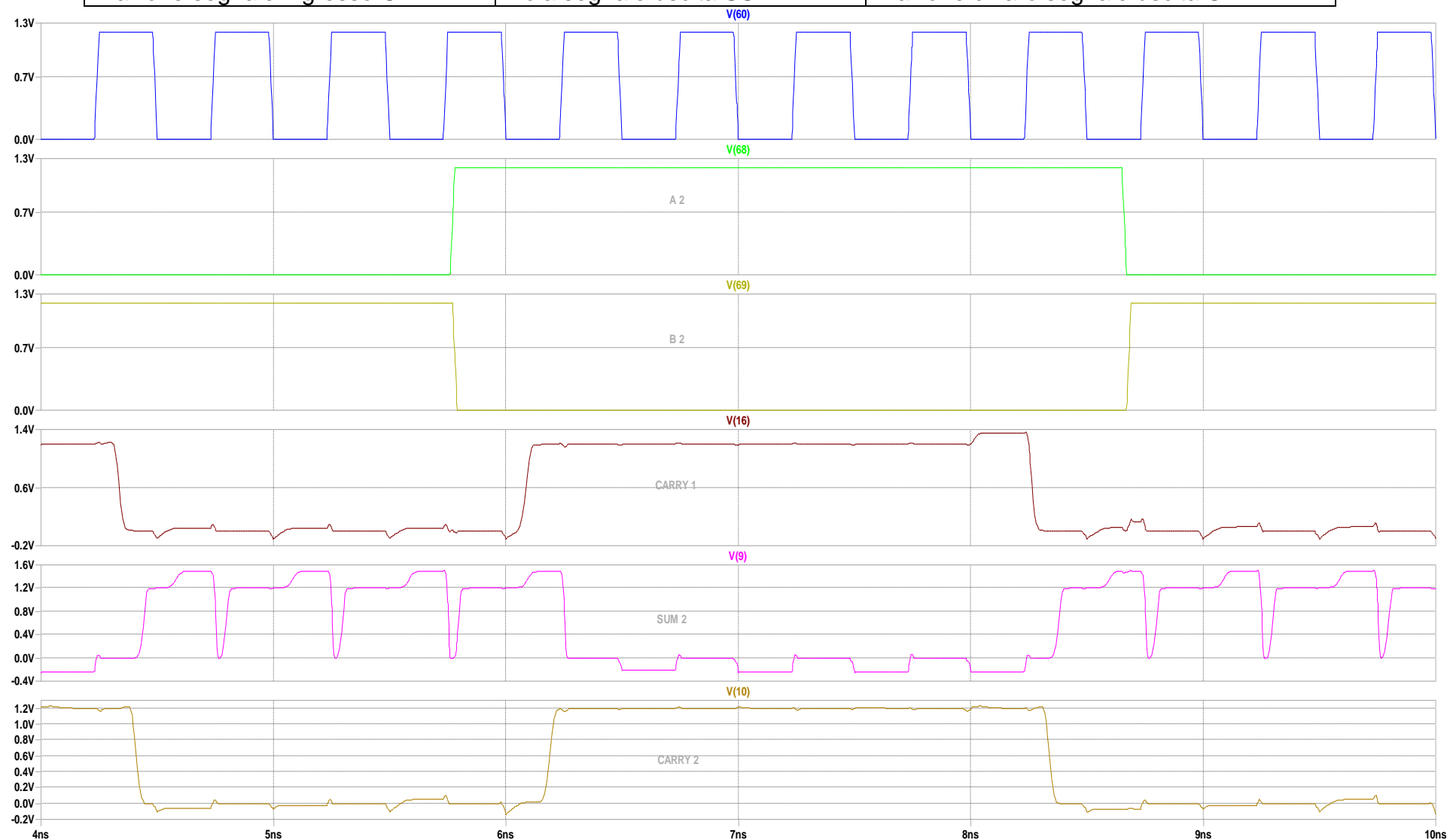


Figura 28 risultati simulazione Full adder 4 shape longitudinale bit terzo stadio

Legenda

blu clock	verde segnale ingresso A2	giallo scuro segnale ingresso B2
marrone segnale ingresso CARRY1	viola segnale uscita SUM2	marrone chiaro segnale uscita CARRY2

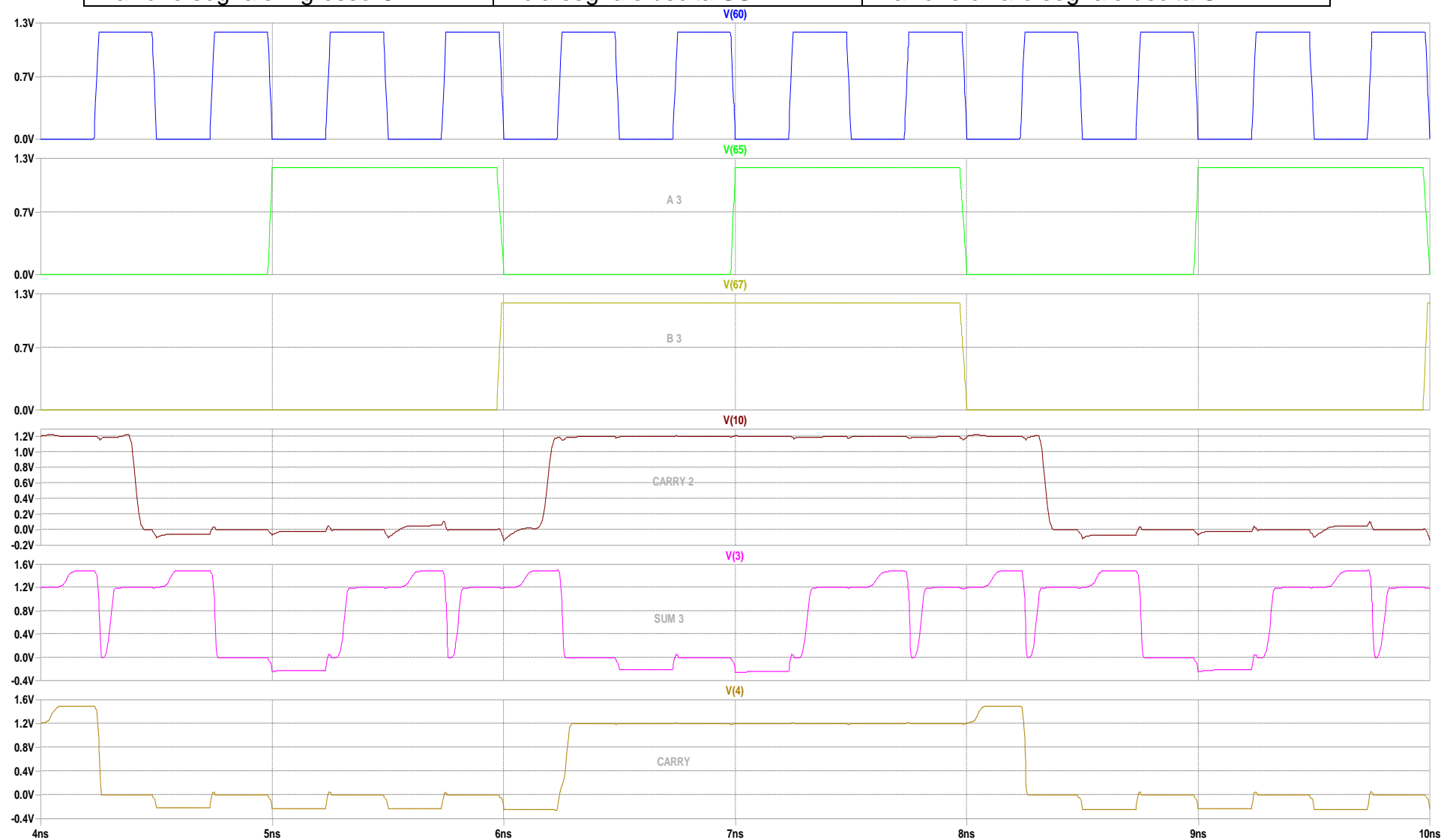


Figura 29 risultati simulazione Full adder 4 bit shape longitudinale ultimo stadio

**Legenda**

blu clock	verde segnale ingresso A3	giallo scuro segnale ingresso B3
marrone segnale ingresso CARRY2	viola segnale uscita SUM2	marrone chiaro segnale uscita CARRY

## 4 Tools utilizzati:

Per la realizzazione del progetto sono stati utilizzati i seguenti tool software:

- Microwind 2.6
- LT Spice

## **Bibliografia**

- J. Yuan; C. Svensson. High-speed CMOS circuit technique. IEEE Journal of Solid-State Circuits, Year: 1989, Volume: 24, Issue: 1 Page(s): 62 - 70
- M. Alioto; G. Palumbo. Analysis and comparison on full adder block in submicron technology. IEEE Transactions on Very Large Scale Integration (VLSI) Systems (Volume: 10, Issue: 6, Dec. 2002) Page(s): 806 - 823