

Università di Napoli Federico II – Scuola Politecnica e delle Scienze di Base
Corso di Laurea in Ingegneria Informatica



Corso di Calcolatori Elettronici I

Macchine combinatorie:
encoder/decoder e multiplexer/demultiplexer



- Per *analisi* di un sistema si intende l'individuazione delle relazioni di causa/effetto tra i segnali di ingresso e uscita, attraverso l'esame di una rappresentazione schematica dei suoi componenti elementari e dei collegamenti che li interconnettono, ovvero:
 - *data la rappresentazione schematica del sistema, individuarne il comportamento*
- Per *sintesi* di un sistema si intende l'individuazione dei componenti e delle interconnessioni necessarie per realizzarlo seguendo la preassegnata specifica funzionale:
 - *data la specifica funzionale individuarne la struttura*



Analisi

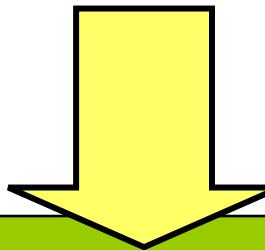
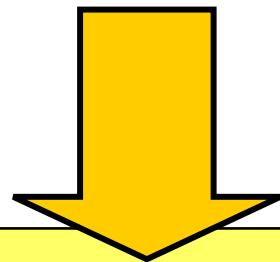
Data la descrizione
della
STRUTTURA
(come è fatta)

Sintesi

Data la descrizione
del
COMPORTAMENTO
(cosa deve fare)

Determinarne il
COMPORTAMENTO
(cosa fa)

Determinarne la
STRUTTURA
(come è fatta)



- I circuiti digitali possono essere classificati in due categorie
 - Circuiti combinatori
 - Il valore delle uscite ad un determinato istante dipende unicamente dal valore degli ingressi in quello stesso istante
 - Circuiti sequenziali
 - Il valore delle uscite in un determinato istante dipende sia dal valore degli ingressi in quell'istante sia dal valore degli ingressi in istanti precedenti
 - Per definire il comportamento di un circuito sequenziale è necessario tenere conto della storia passata degli ingressi del circuito
- La definizione di circuito sequenziale implica due concetti:
 - Il concetto di tempo
 - Il concetto di stato

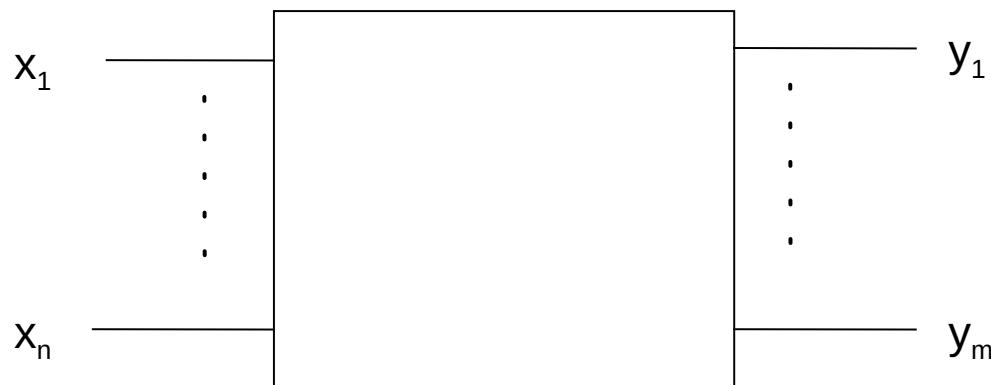
Macchine combinatorie

- Reti logiche con n ingressi x_1, x_2, \dots, x_n e m uscite y_1, y_2, \dots, y_m che realizzano la corrispondenza:

$$y_1 = f_1(x_1, x_2, \dots, x_n)$$

.....

$$y_m = f_m(x_1, x_2, \dots, x_n)$$



Macchine combinatorie

- Una macchina combinatoria è una rete logica con n ingressi (x_1, x_2, \dots, x_n) ed m uscite (y_1, y_2, \dots, y_m) ed è tale che ad ogni insieme di valori degli ingressi corrisponde un preciso insieme di valori delle uscite
- Il comportamento di una rete combinatoria $n \times m$ può essere descritto tramite:
 - una tabella di verità in cui viene specificato il valore dell'uscita per ognuna delle possibili combinazioni dei valori degli ingressi
 - m funzioni booleane, una per ogni uscita, ciascuna delle quali esprime il valore della corrispondente variabile di uscita in funzione delle n variabili di ingresso

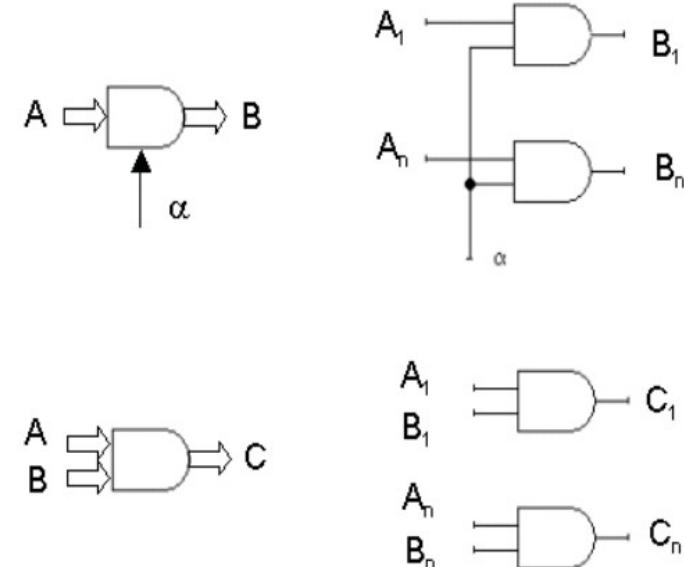
Macchine combinatorie

- E' importante notare come
 - ciascuna y_i può essere decomposta in funzioni componenti
 - due distinte y_i possono contenere una identica funzione componente
- Ciò comporta, ad esempio, una potenziale diminuzione di porte elementari rispetto ad una realizzazione indipendente delle y
- In una macchina combinatoria i valori delle uscite dipendono esclusivamente dai valori degli ingressi
 - macchina combinatoria ideale: tale dipendenza è istantanea
 - macchina combinatoria reale: presenza di ritardo tra l'istante in cui c'è una variazione in uno degli ingressi e l'istante in cui l'effetto di questa variazione si manifesta sulle uscite

Porte di parola

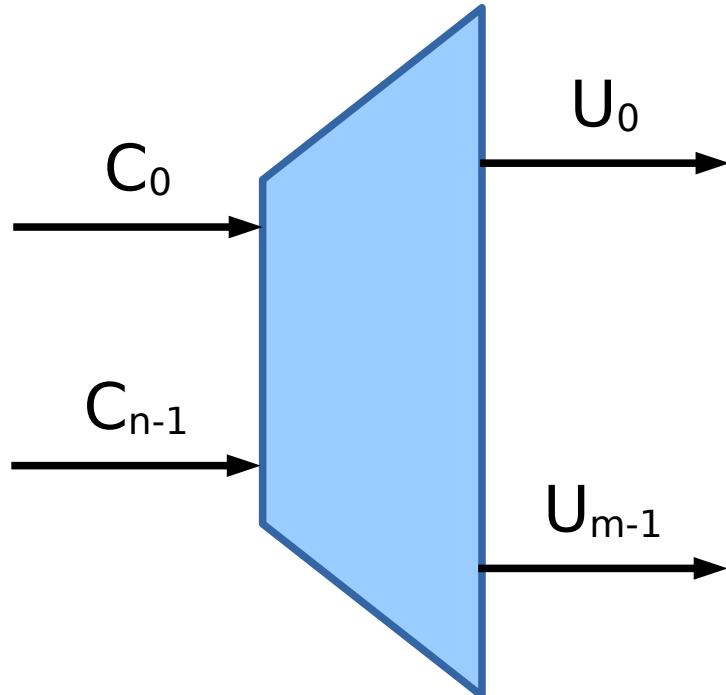


- Porte con abilitazione:
 - $B = \alpha A = \alpha \text{ AND } A$
- Parola:
 - Vettore di bit
 - $A = \{A_1, A_2, \dots, A_n\}$
- Porta di parola con abilitazione:
 - $\alpha A = \{\alpha A_1, \dots, \alpha A_n\}$
- Porta generica di parola:
 - $A \text{ AND } B = \{A_1 \text{ AND } B_1, \dots, A_n \text{ AND } B_n\}$



Decodificatore (decoder)

- Un decodificatore è una macchina che riceve in ingresso una parola codice (C) su n bit e presenta in uscita la sua rappresentazione decodificata (linee $U_0, \dots U_{m-1}$) su $m=2^n$ bit

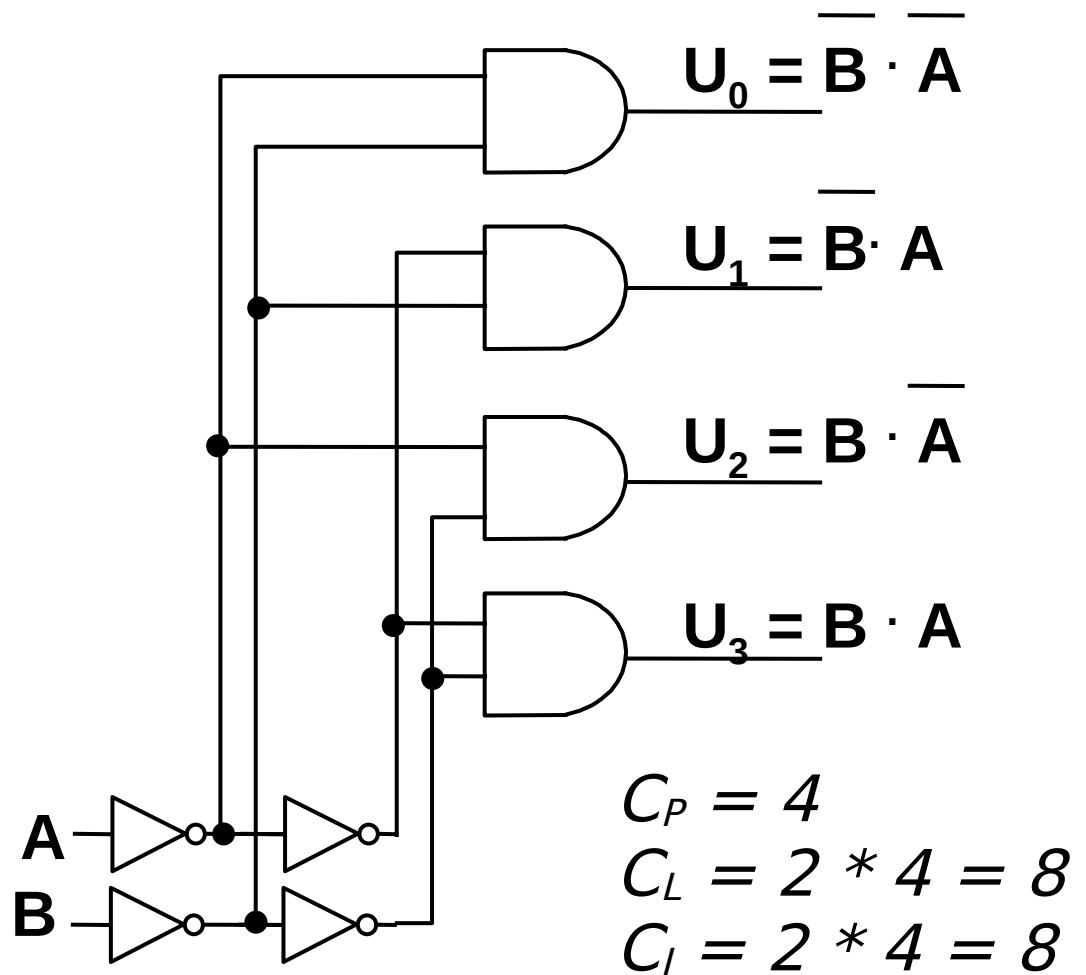


Decoder 2:4

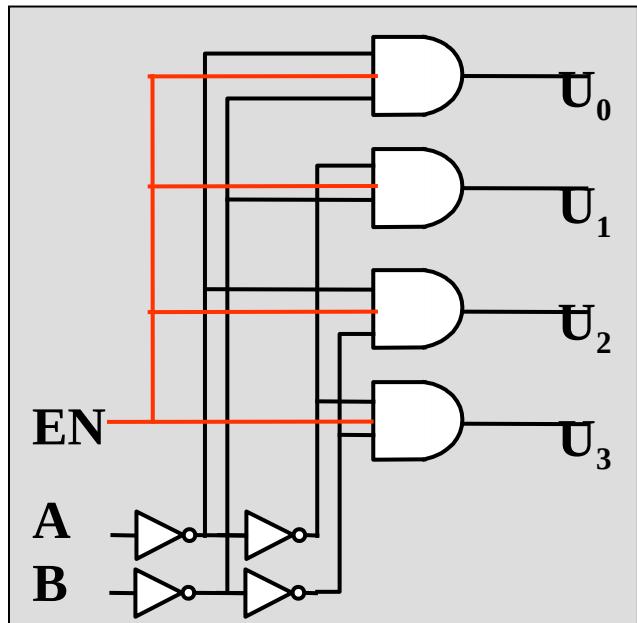


Esempio: Decodifica 2:4

B	A	U_0	U_1	U_2	U_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



Il circuito integrato DECODER



Circuito
integrato
SN74139

SN74139 (MSI)	U_0
EN	U_1
A	U_2
B	U_3

Quando $EN=1$ (segnale di abilitazione), vale 1 l'uscita il cui pedice, in decimale, corrisponde al numero binario in ingresso (A bit di minor peso)

Decoder 4:16



- Un decoder 4:16 si può progettare in maniera analoga
 - $C_P = 16$
 - $C_L = 4 * 16 = 64$
 - $C_I = 4 * 16 = 64$
- Oppure...

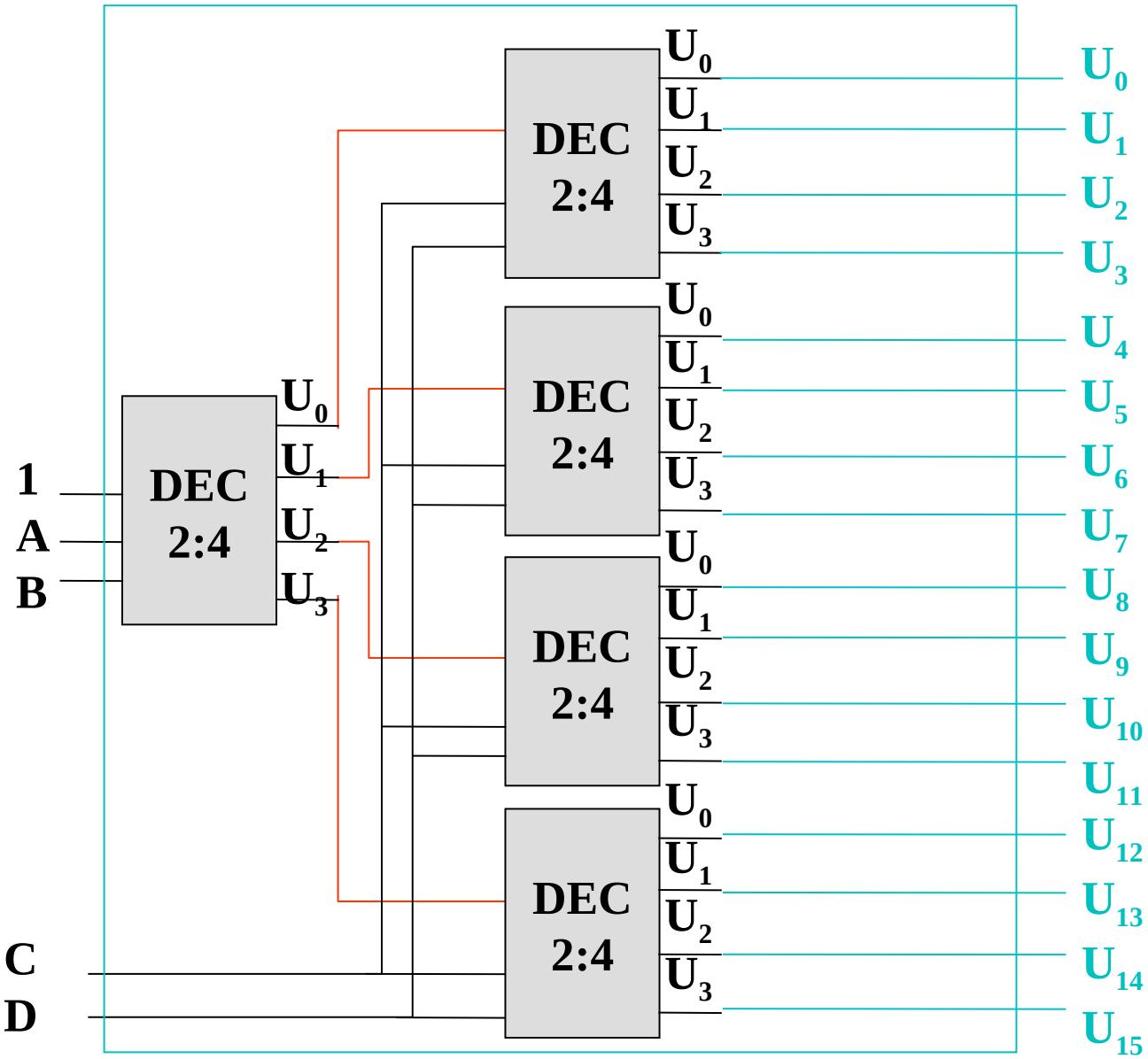
Composizione modulare di Decoder 4:16



DIE
TI.
UNI
NA

A	B	C	D	U
0	0	0	0	U_0
0	0	0	1	U_1
0	0	1	0	U_2
0	0	1	1	U_3
0	1	0	0	U_4
0	1	0	1	U_5
0	1	1	0	U_6
0	1	1	1	U_7
1	0	0	0	U_8
1	0	0	1	U_9
1	0	1	0	U_{10}
1	0	1	1	U_{11}
1	1	0	0	U_{12}
1	1	0	1	U_{13}
1	1	1	0	U_{14}
1	1	1	1	U_{15}

Composizione modulare di Decoder 4:16

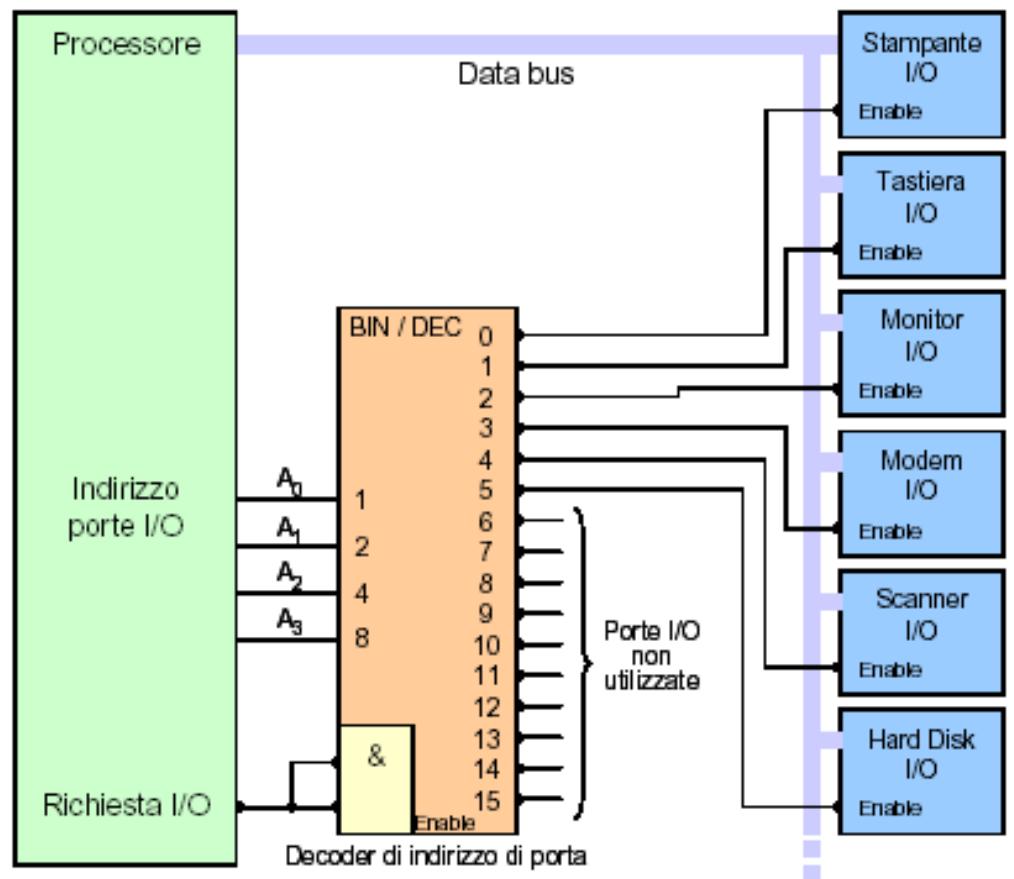


Composizione modulare di Decoder 4:16



- I costi della composizione modulare sono:
 - $C_P = 5 * 4 = 20$
 - $C_L = 5 * 8 = 40$
 - $C_I = 5 * 8 = 40$

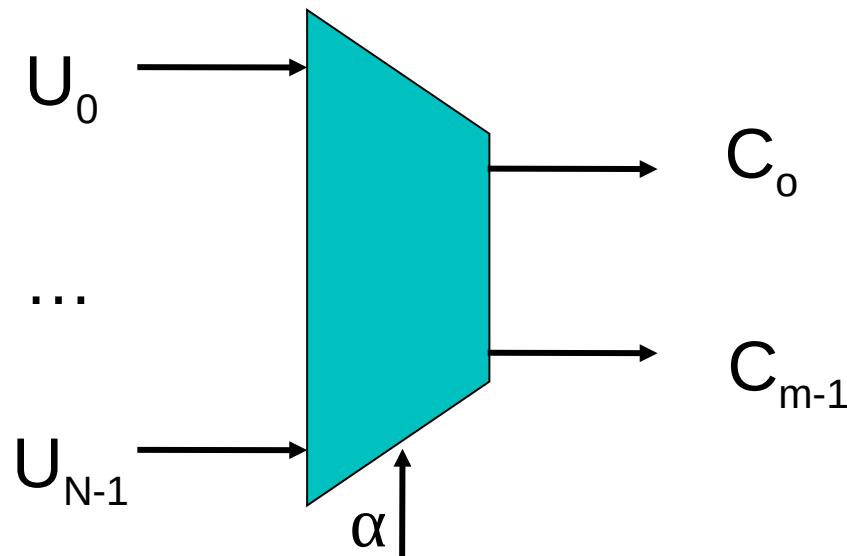
Esempio di utilizzo di decoder



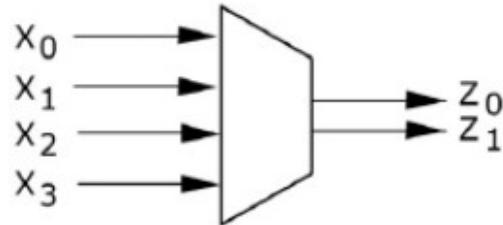
- Esempio: selezione dell'input/output da parte del processore
- Ogni porta di I/O possiede un indirizzo univoco
- L'indirizzo (binario) della porta è fornito in input al decoder il quale attraverso il suo output abilita la corrispondente porta di I/O
- I dati in transito sul bus dati passano attraverso l'unica porta abilitata dal decoder

Codificatore (Encoder)

- Un codificatore è una macchina che riceve in ingresso una rappresentazione decodificata (linee U_0, U_{N-1} , di cui solo una alta al più) e fornisce in uscita una rappresentazione con un codice a lunghezza fissa di m bit
 - L'uscita è la parola codice associata a U_i se $U_i=1$ ed $\alpha=1$



Codificatore a 4 ingressi



x_3	x_2	x_1	x_0	z_1	z_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Figura 3.31 - Schematizzazione di un codificatore a quattro ingressi e parte della tabella di verità delle funzioni di uscita.

- La progettazione del codificatore richiede di determinare l'espressione in forma minima delle uscite in funzione degli ingressi
- È possibile sfruttare le configurazioni in ingresso di non specificazione (don't care)

Codificatore 8-4-2-1

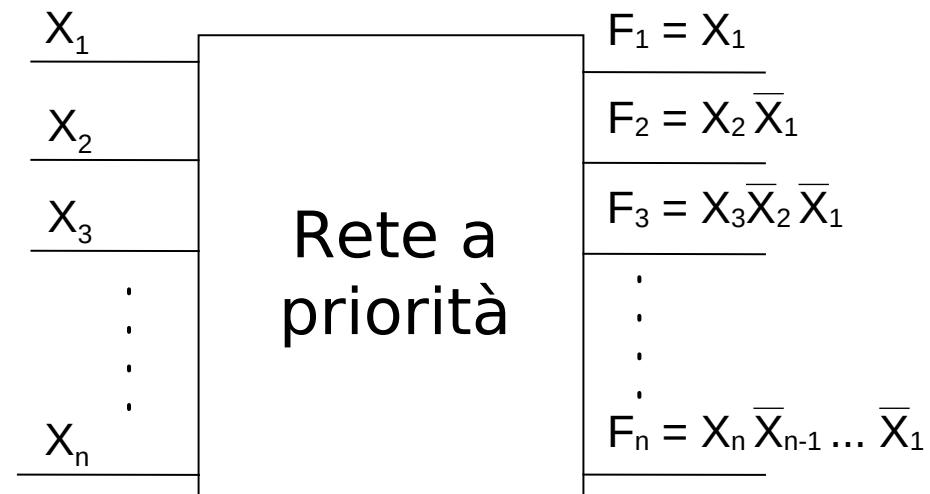


- 10 ingressi in rappresentazione decodificata
 - 4 uscite
-
- $Z_3 = x_8 + x_9$
 - $Z_2 = x_4 + x_5 + x_6 + x_7$
 - $Z_1 = x_2 + x_3 + x_6 + x_7$
 - $Z_0 = x_1 + x_3 + x_5 + x_7 + x_9$

Cifra (x_i)	$Z_3Z_2Z_1Z_0$
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Arbitro di priorità

- Un codificatore può essere preceduto da una “rete a priorità” che, in caso di più ingressi contemporaneamente alti, filtra quello con priorità assegnata maggiore
- Rete a priorità
 - n ingressi X_i
 - n uscite corrispondenti F_i , che rappresentano gli ingressi del codificatore
 - fra gli ingressi è definita una priorità, ad esempio:
 - « X_i è prioritario su X_j se $i < j$ »
 - L'uscita F_i è alta se e solo se X_i è alto e tutti gli altri ingressi prioritari su X_i sono bassi



Arbitro di priorità a 4 ingressi

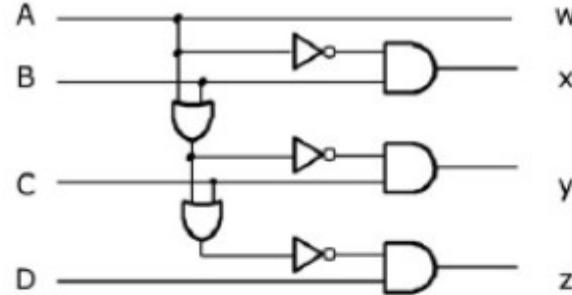
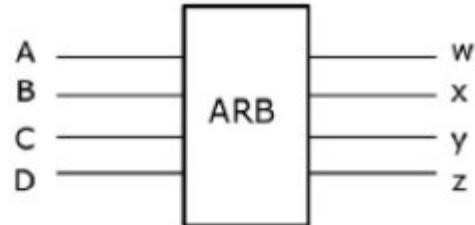


Figura 3.34 - Schematizzazione di un arbitro di priorità a quattro ingressi e corrispondente rete "a scala".

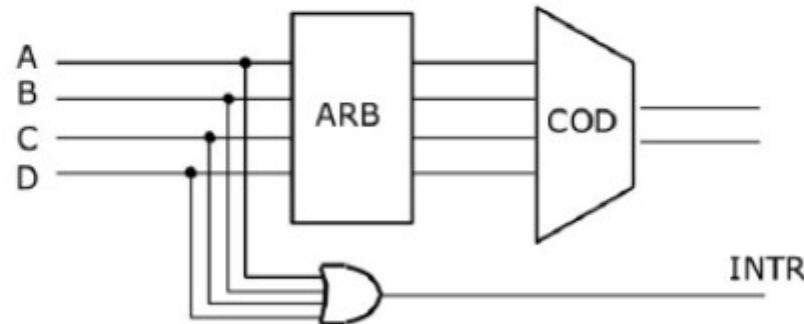
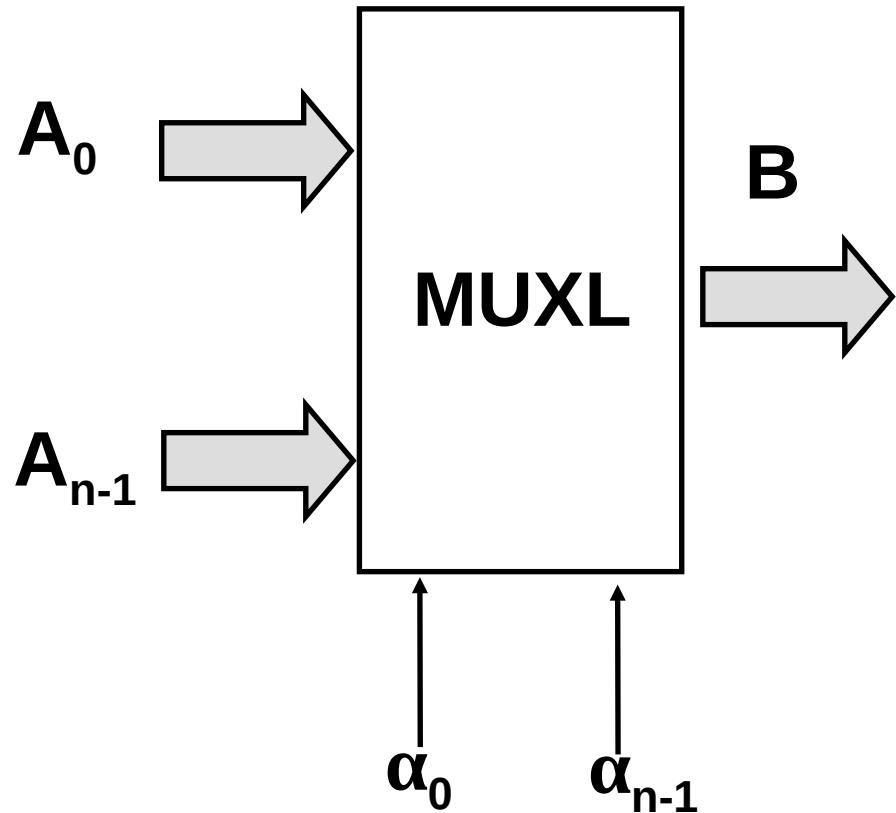


Figura 3.35 - Costruzione di un codificatore di priorità a partire da un arbitro di priorità e da un codificatore. La linea INTR indica che almeno una delle linee tra A, B, C e D è 1. Quando INTR è 0, nessuna linea di ingresso risulta asserita e l'uscita del codificatore è senza significato.

$$\overline{A} \cdot \overline{B} = \overline{A + B}$$

Multiplexer lineare

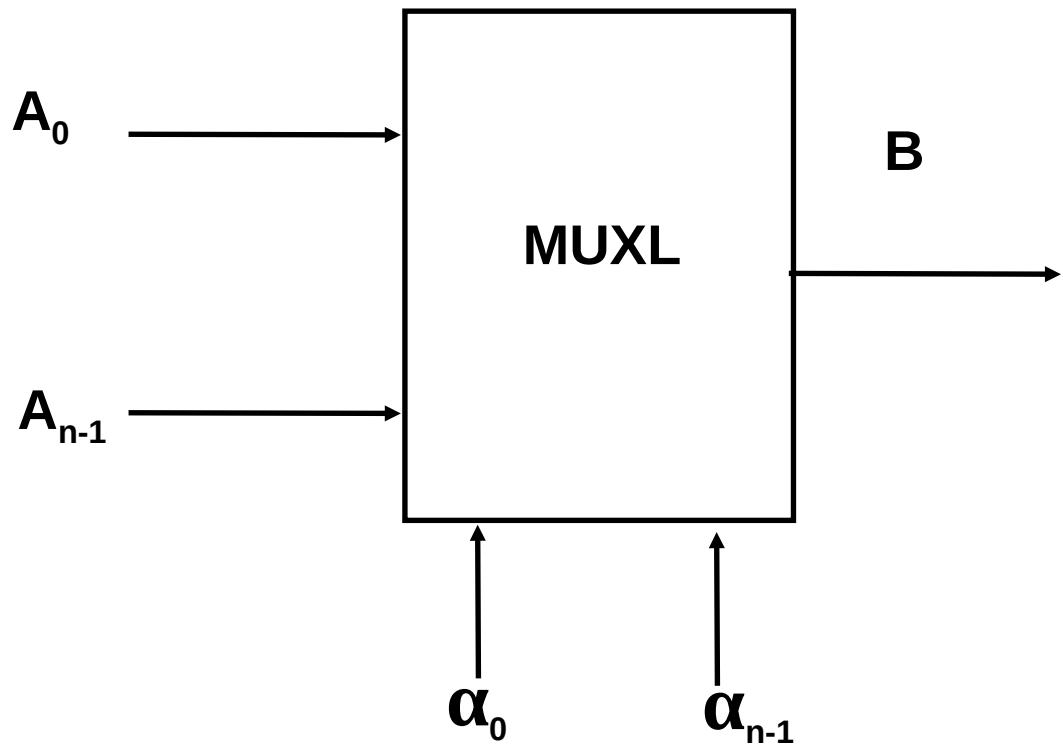
- Un Multiplexer Lineare (ML) è una macchina con:
 - n ingressi-dati (A_0, \dots, A_{n-1})
 - n segnali binari di selezione ($\alpha_0, \dots, \alpha_{n-1}$), dei quali al più uno è attivo
 - una uscita-dati B, che assume valore A_i se α_i è attivo, è neutra se nessuna delle selezioni è attiva
- utilizzata quando più linee devono essere convogliate verso un'unica linea di uscita (bus)



Multiplexer binario

- Se gli A_i e B sono singoli bit, si parla di multiplexer binario

$$B = \sum_{i=0}^{n-1} \alpha_i \cdot A_i$$



Multiplexer binario - realizzazioni

- $B = A_0 \alpha_0 + A_1 \alpha_1 + \dots + A_{n-1} \alpha_{n-1}$, $n=4$

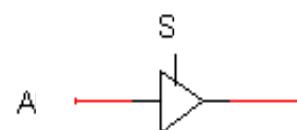
Realizzazione I

- Con porte AND e OR

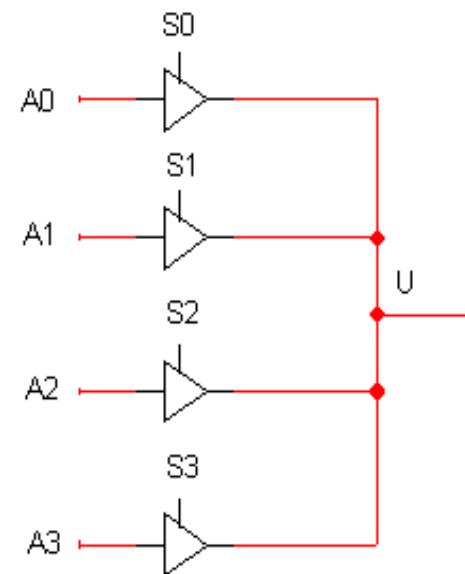
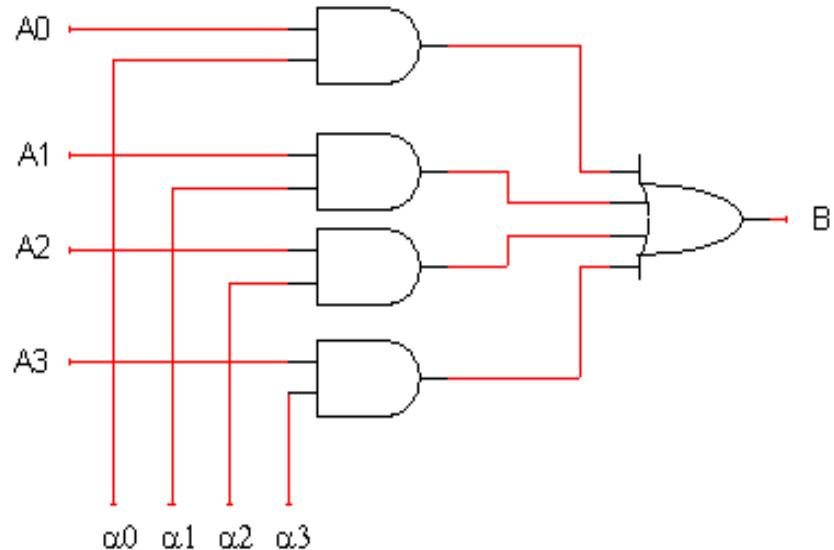
Realizzazione II

- Con porte 3-state

- $S=1$, restituisce il valore di A
- $S=0$, restituisce un'alta impedenza "z" (apre il circuito)



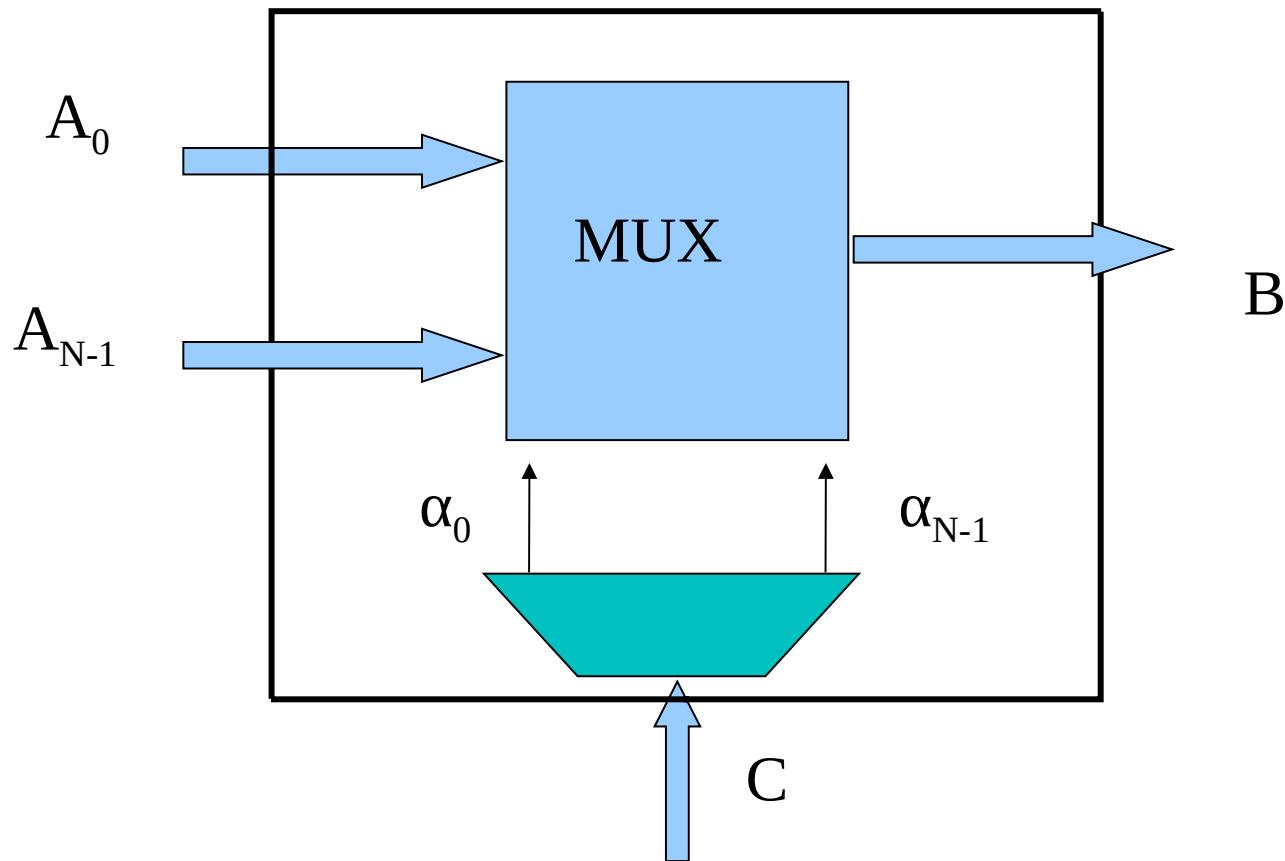
A	S	Uscita
0	0	z
0	1	0
1	0	z
1	1	1



Multiplexer Indirizzabile

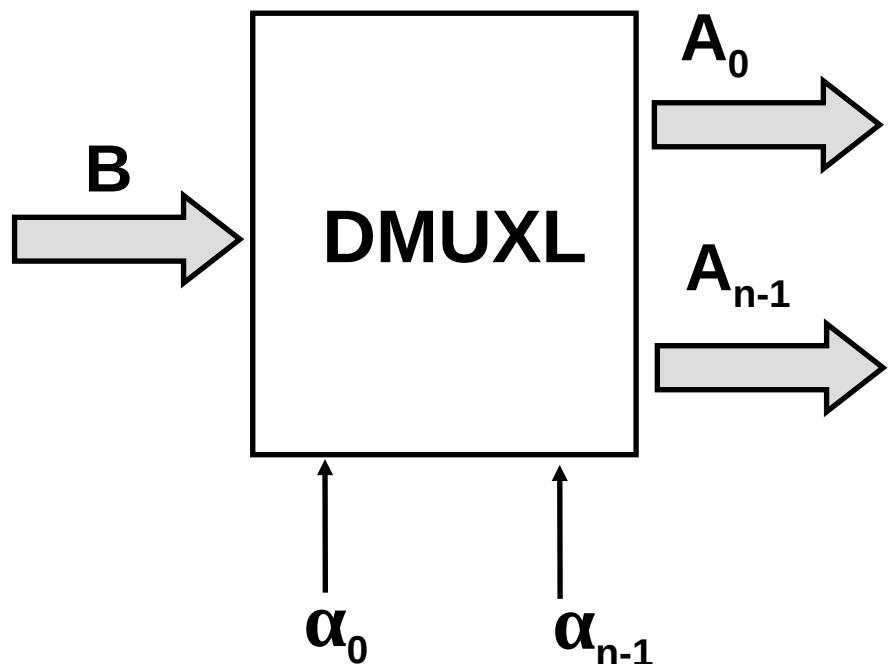


- È un Multiplexer Lineare i cui segnali di abilitazione sono collegati con le uscite di un decodificatore



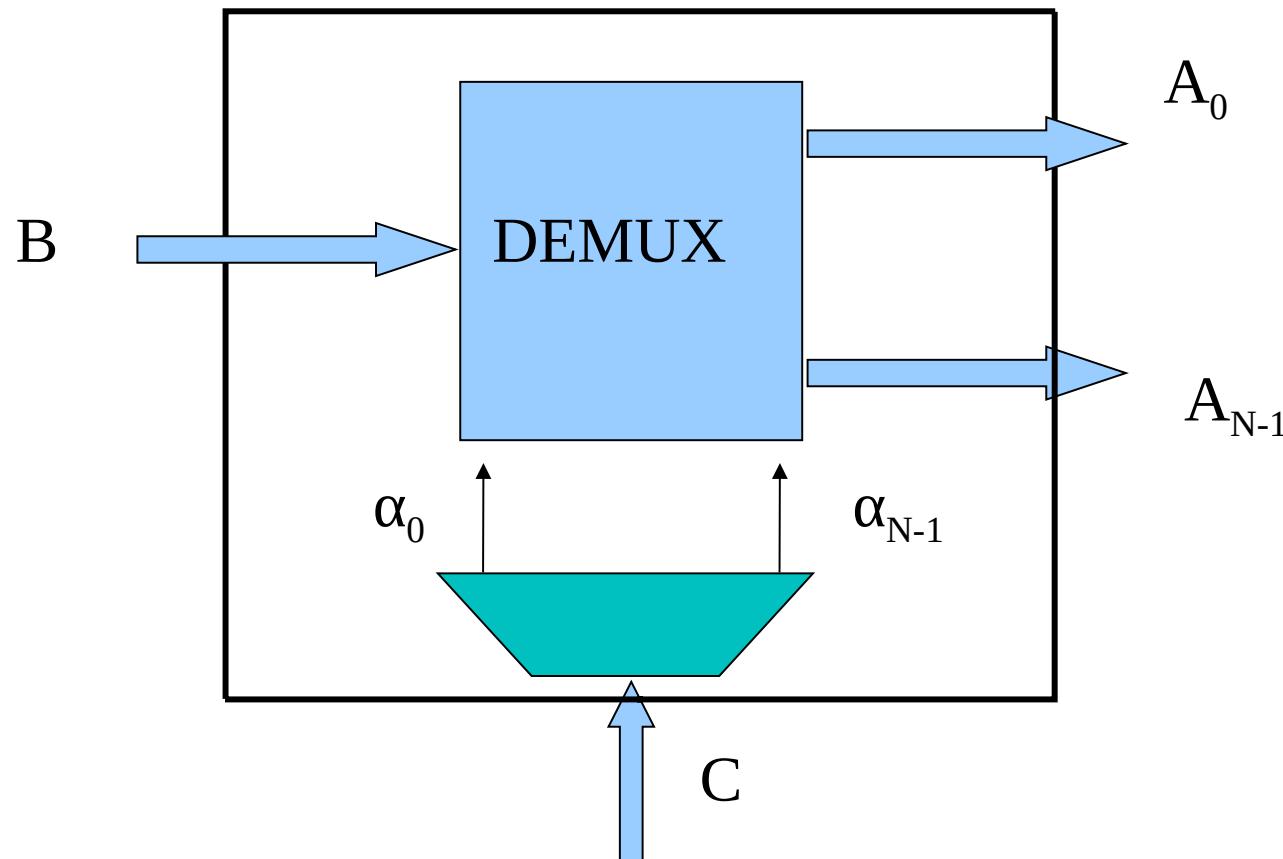
Demultiplexer lineare

- Un Demultiplexer Lineare è una macchina con:
 - un ingresso-dati B
 - n segnali binari di selezione ($\alpha_0, \dots, \alpha_{n-1}$), dei quali al più uno è attivo
 - n uscite-dati (A_0, \dots, A_{n-1}), con $A_i=B$ se α_i è attivo, neutro altrimenti



Demultiplexer Indirizzabile

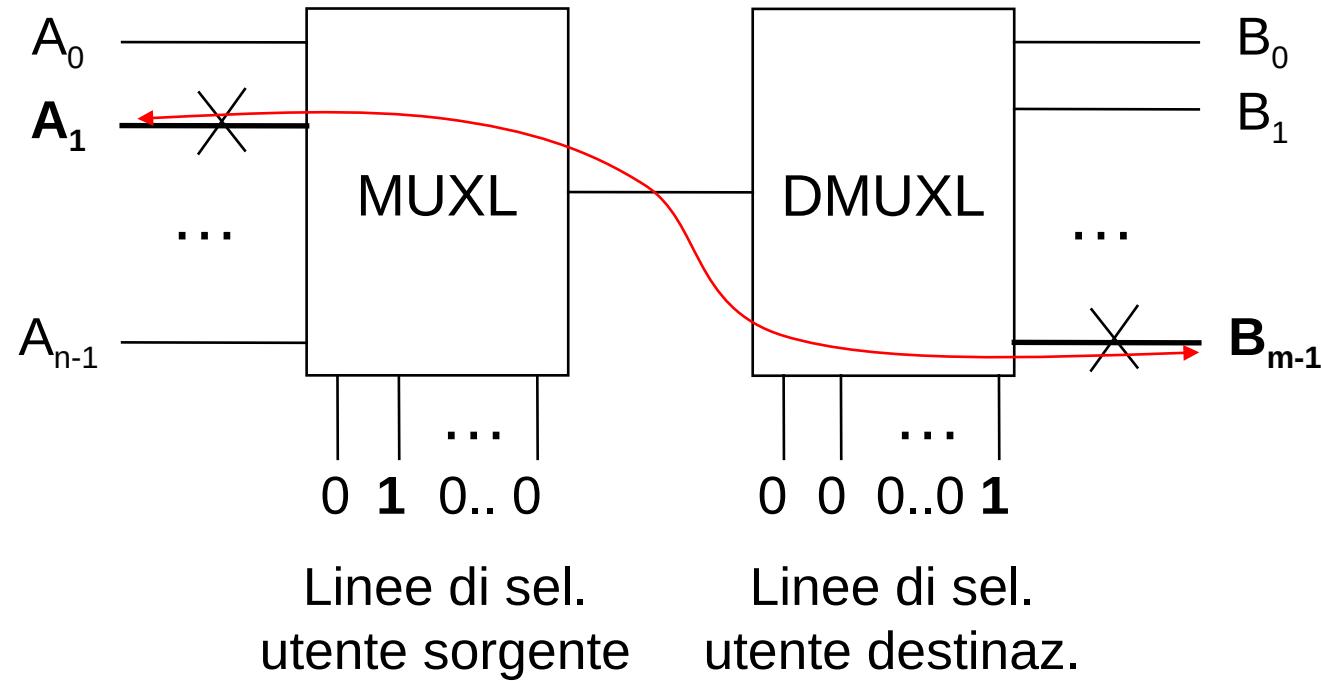
- È un Demultiplexer Lineare i cui segnali di abilitazione sono collegati con le uscite di un decodificatore



Muxl/Dmuxl: un esempio



- Supponiamo di avere un “centralino telefonico” in cui n utenti sorgente vogliono parlare con m utenti destinazione
 - vincolo:** l’utente di destinazione abilitato deve sentire solo l’utente sorgente abilitato



L’utente A_1 è abilitato a parlare con l’utente B_{m-1}