

Università di Napoli Federico II – Scuola Politecnica e delle Scienze di Base
Corso di Laurea in Ingegneria Informatica



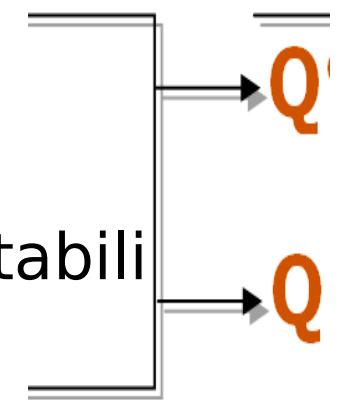
Corso di Calcolatori Elettronici I

Flip-flop



I flip-flop: generalità

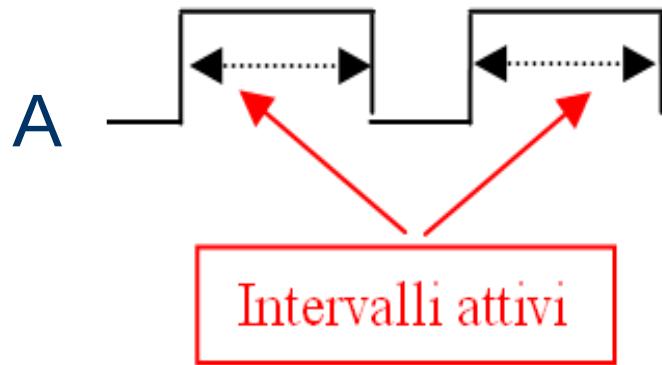
- Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
 - stato di SET, o alto, o stato "1": $Q=1, \bar{Q}=0$
 - stato di RESET, o basso, o stato "0": $Q=0, \bar{Q}=1$
- Hanno in ingresso diversi segnali da cui traggono il nome
 - R,S; flip-flop RS
 - D; flip-flop D
 - T; flip-flop T
 - J,K; flip flop JK



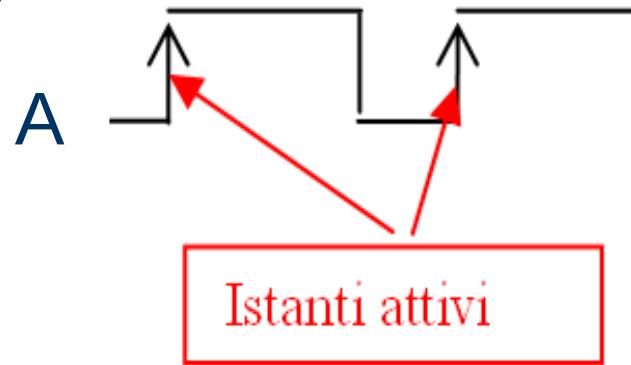
I flip-flop: tempificazione

- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: 0 → 1, o di discesa 1 → 0)

Latch



Edge

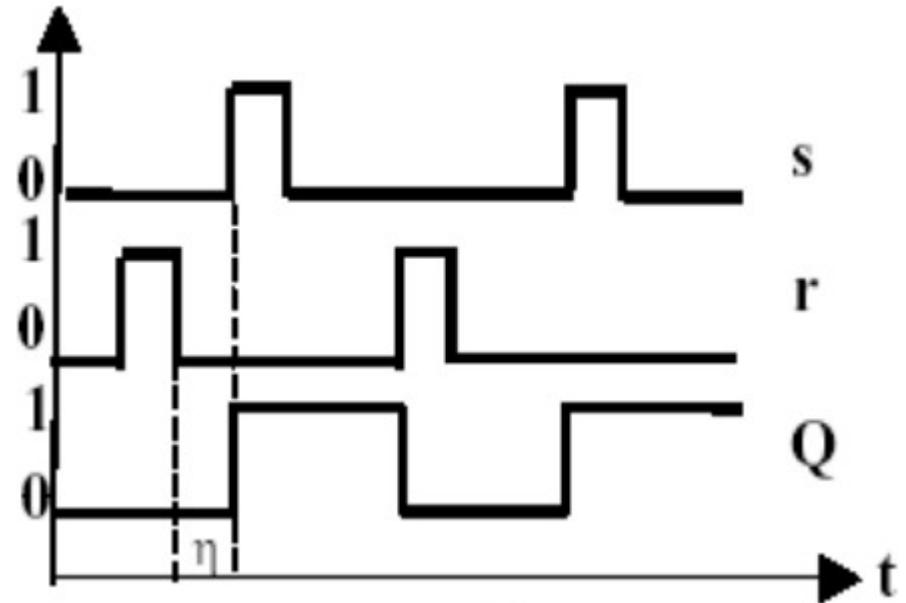
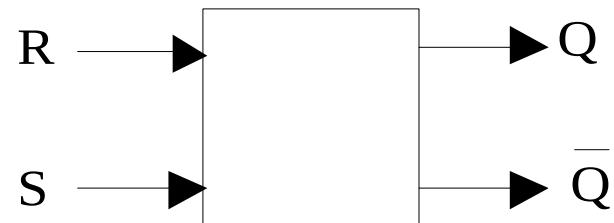


- Un Flip-flop è caratterizzato da:
 - Struttura interna, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito)
 - Una equazione di stato, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi
- I flip-flop possono essere:
 - A memorizzazione dell'ingresso (RS, D)
 - A commutazione (T, JK)
 - Misti

Flip-flop RS fondamentale

- Possiede due ingressi:
 - R: quando attivo, lo stato viene resettato
 - S: quando attivo, lo stato viene settato
 - Con gli ingressi non attivi, lo stato viene mantenuto
- Vincoli
 - R ed S mai attivi contemporaneamente ($RS=0$)
 - Le variazioni degli ingressi $10 \rightarrow 01$ e viceversa devono essere evitate per evitare le alee multiple \Rightarrow sequenze in ingresso del tipo $00 \rightarrow 01 \rightarrow 00 \rightarrow 10 \rightarrow \dots$
- Tali vincoli possono essere soddisfatti usando ingressi di tipo impulsivo
 - un clock a più fasi può garantire la distanza di sicurezza tra due impulsi

Flip-flop RS fondamentale



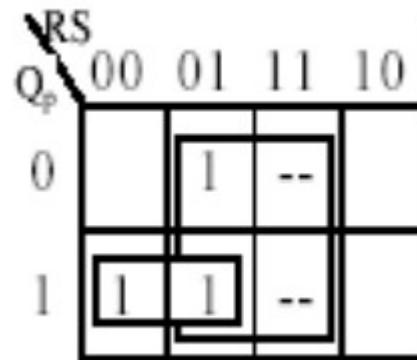
RS	00	01	11	10	uscita Q
State RESET q_0	q_0	q_1	--	q_0	0
State SET q_1	q_1	q_1	--	q_0	1

Flip-flop RS fondamentale



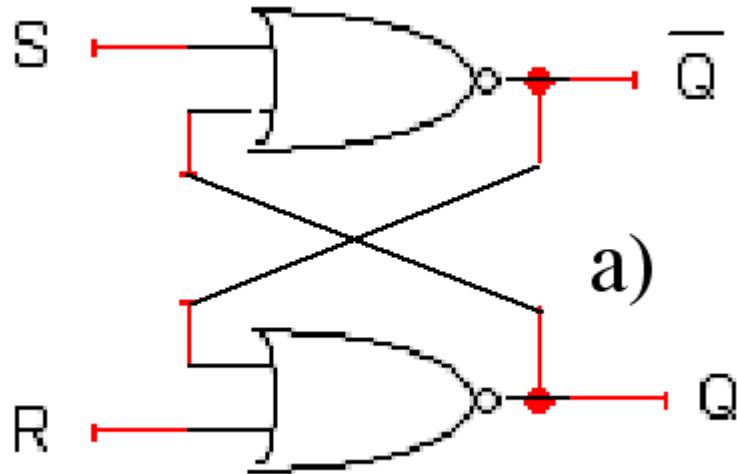
- Tabella di verità della funzione di transizione (gli ingressi sono codificati sulle due variabili R e S)

R	S	Q _p	Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

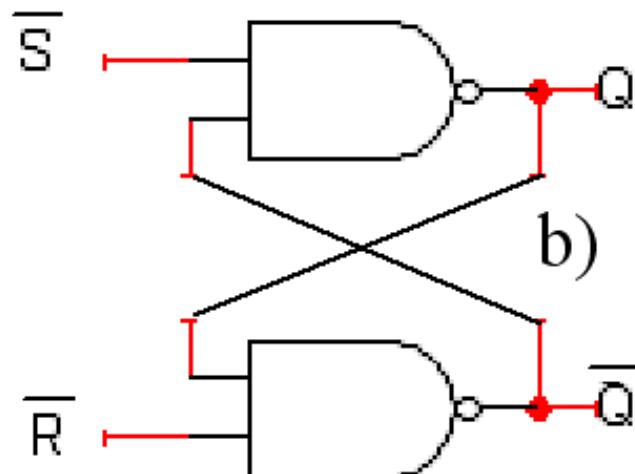


- Equazione di stato del flip-flop RS: $Q = S + Q_p \bar{R}$

Realizzazione del flip-flop RS fondamentale



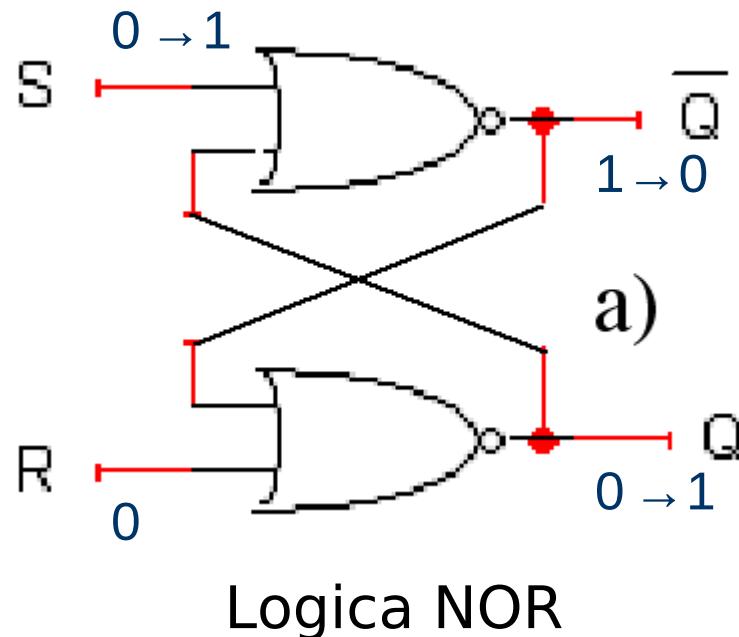
Logica NOR



Logica NAND

- La rete è realizzata con 2 variabili di stato invece dell'unica che sarebbe possibile realizzando direttamente la equazione di stato
- La realizzazione del flip-flop RS in logica NOR (NAND) si può facilmente ottenere progettandolo come rete sequenziale asincrona in cui il passaggio dallo stato stabile 01 (10) allo stato stabile 10 (01) avviene attraverso lo stato instabile 00 (11)

Realizzazione del flip-flop RS fondamentale

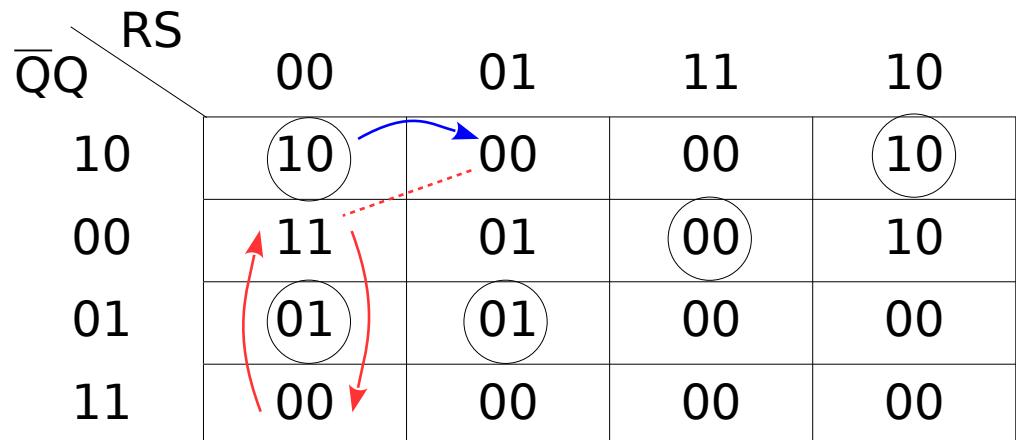
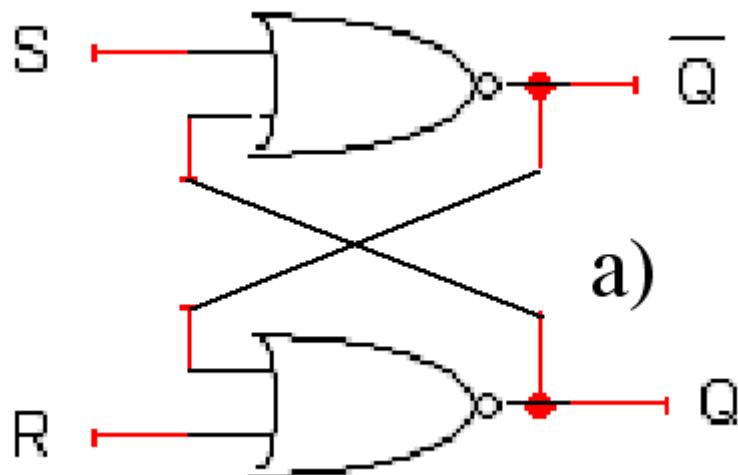


$\bar{Q}Q$	RS	00	01	11	10
10		(10)	00	00	(10)
00		11	01	(00)	10
01		01	01	00	00
11		00	00	00	00

- In blu (verde) è evidenziata la transizione dallo stato stabile 10 (01) allo stato stabile 01 (10) sotto l'ingresso RS=01 (10)

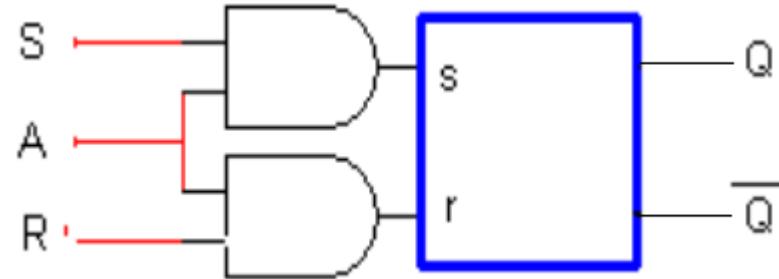
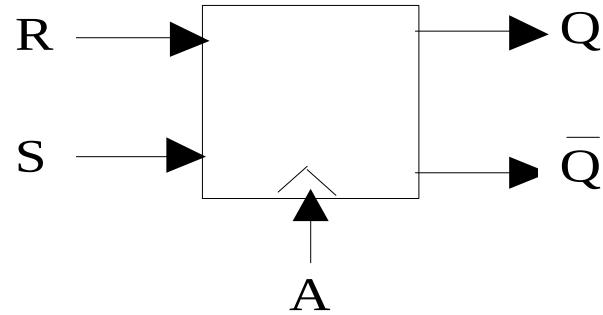
Realizzazione del flip-flop RS fondamentale

- Nella transizione dallo stato stabile 10 allo stato stabile 01, cosa succede se l'ingresso RS=01 non è applicato per un tempo sufficientemente lungo?



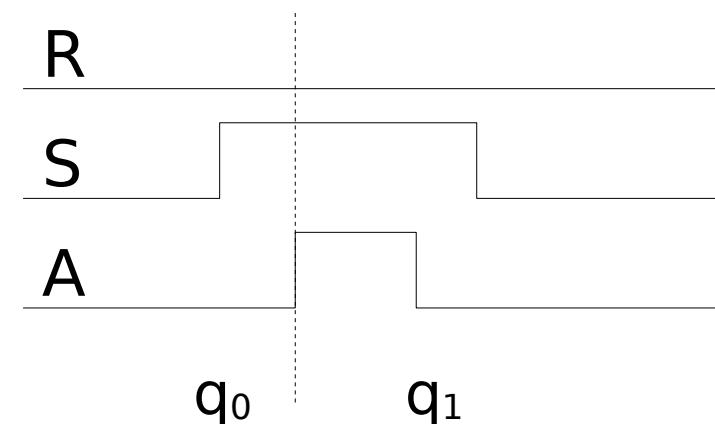
- La macchina non ha il tempo di spostarsi sul nuovo stato stabile e oscilla tra gli stati 00 e 11 sotto l'ingresso RS=00
- È necessario tempificare opportunamente la durata degli ingressi!

Flip-flop RS abilitato con temporizzazione latch



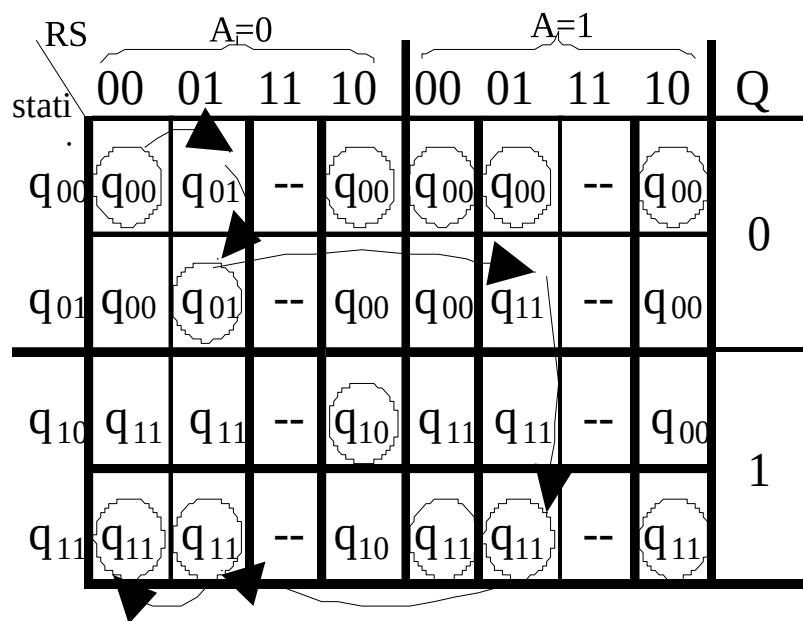
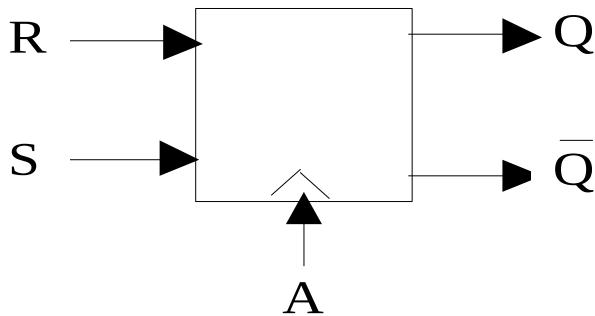
- Per $A=0$, $rs=00$ e il flip-flop fondamentale mantiene lo stato
- Per un corretto funzionamento è sufficiente garantire che le variazioni di R e S non avvengono mentre il segnale di abilitazione (A) è alto

RS	A=0				A=1				Q
stat	00	01	11	10	00	01	11	10	
q ₀	q ₀	q ₀	--	q ₀	q ₀	q ₁	--	q ₀	0
q ₁	q ₁	q ₁	--	q ₁	q ₁	q ₁	--	q ₀	1

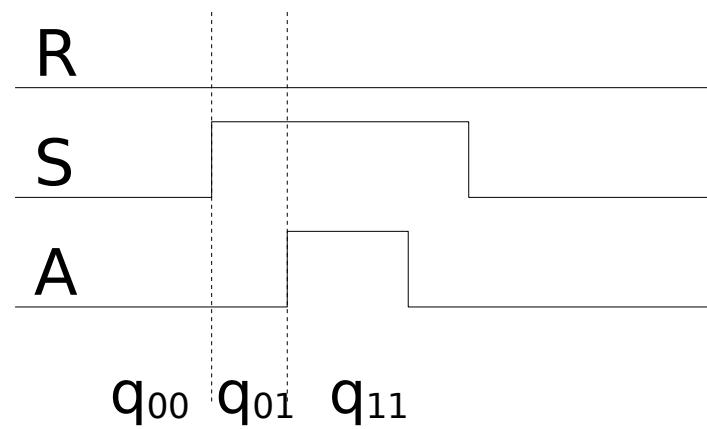


Flip-flop RS abilitato con temporizzazione edge-triggered

- Il flip-flop è sensibile alle variazioni di fronte del segnale di abilitazione

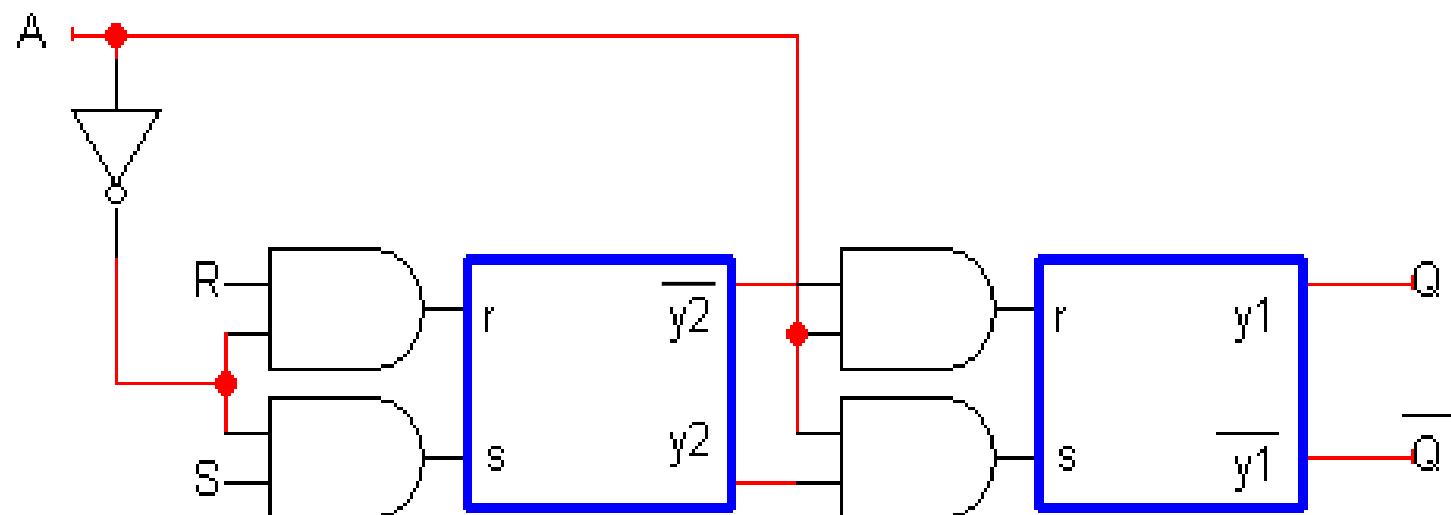


- Si aggiungono gli stati:
 - q_{01} : dallo stato 0 si passa allo stato 1 se A si attiva
 - q_{10} : dallo stato 1 si passa allo stato 0 se A si attiva



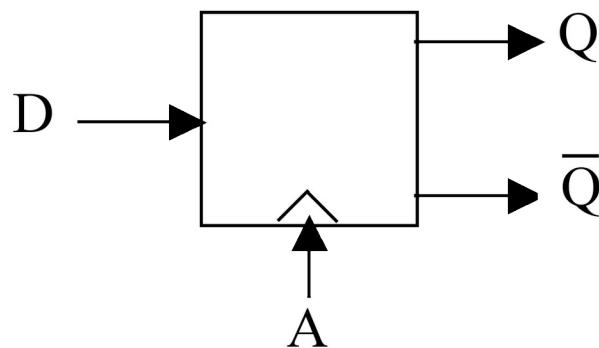
Flip-flop RS abilitato con temporizzazione edge-triggered

- Possibile realizzazione di un flip-flop RS sincronizzato edge-triggered sul fronte di salita:
 - quando $A=0$, il latch di sinistra cattura il segnale su R o su S e
 - appena A passa da 0 ad 1 (fronte di salita), y_2 è ricopiatato in $y_1=Q$ mentre gli ingressi del latch di sinistra restano neutri lasciandolo bloccato

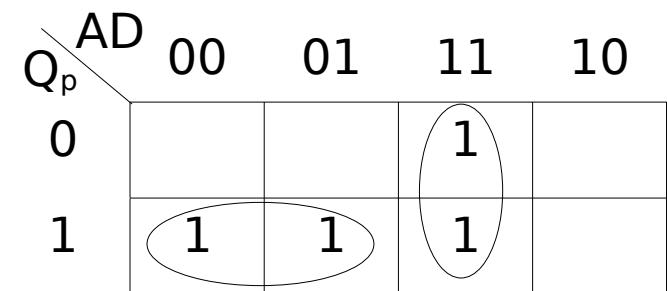


Flip-flop D

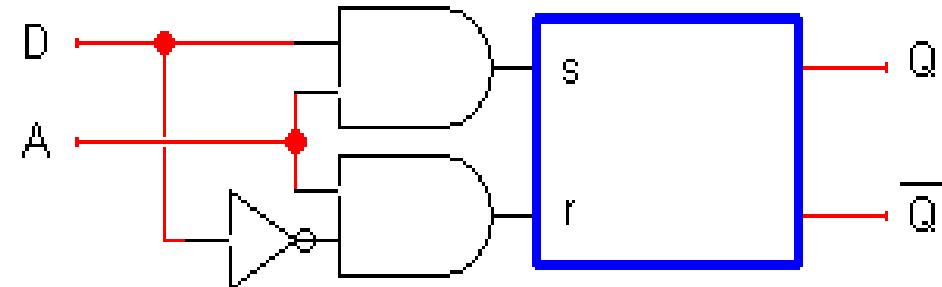
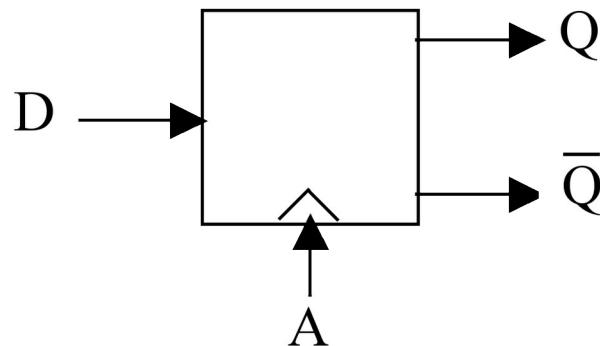
- Possiede due ingressi
 - A, segnale di abilitazione; D , determina lo stato quando A è attivo
- Esiste solo nella versione sincronizzata
- Equazione di stato: $Q = AD + \bar{A}Q_p$



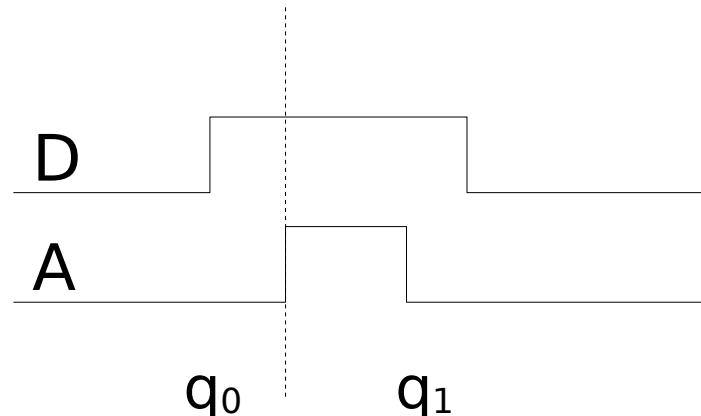
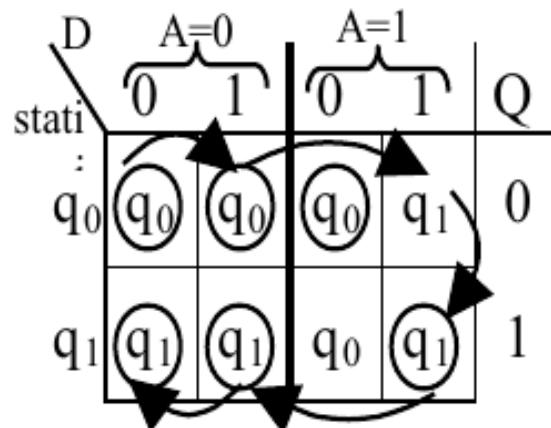
A	D	Q_p	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



Flip-flop D con temporizzazione latch

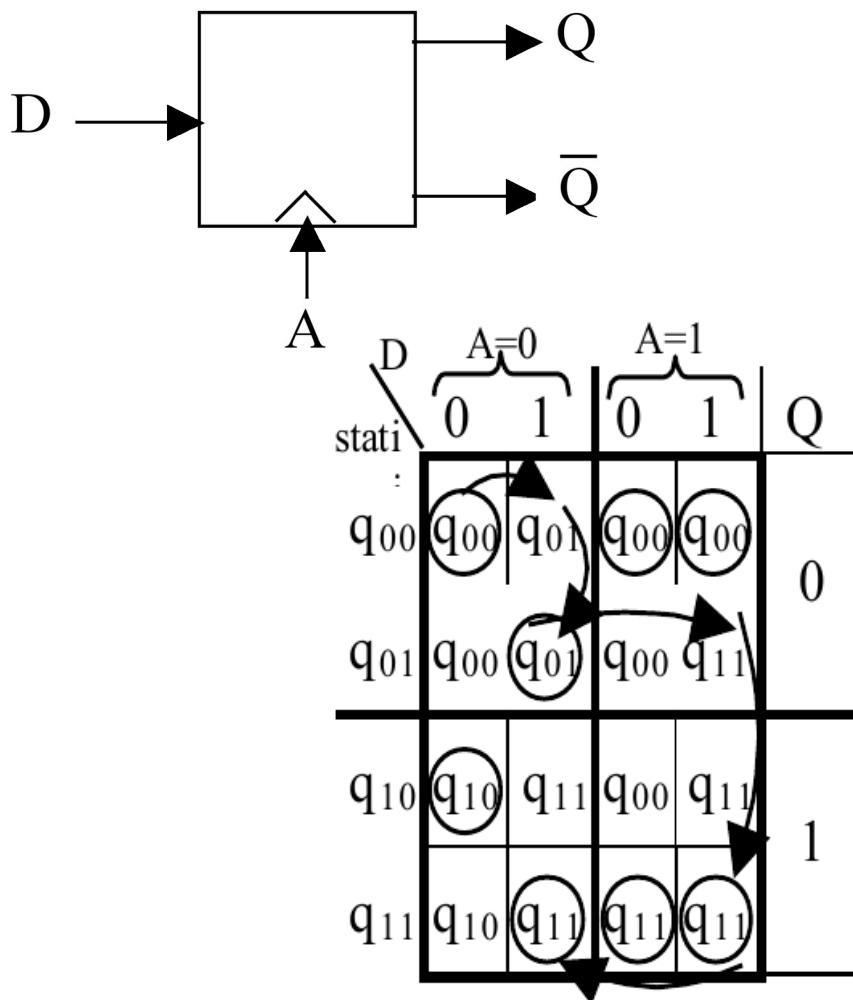


- Per un corretto funzionamento è sufficiente garantire che le variazioni di D non avvengono mentre il segnale di abilitazione (A) è alto
- Si può realizzare con un flip-flop RS fondamentale

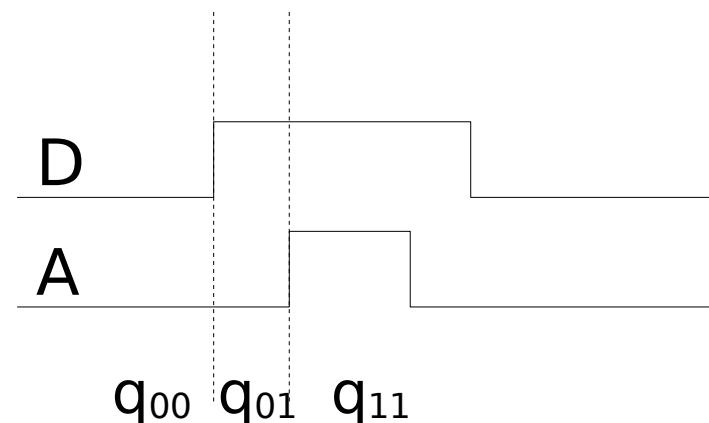


Flip-flop D con temporizzazione edge-triggered

- Il flip-flop è sensibile alle variazioni di fronte del segnale di abilitazione



- Si aggiungono gli stati:
 - q_{01} : dallo stato 0 si passa allo stato 1 se A si attiva
 - q_{10} : dallo stato 1 si passa allo stato 0 se A si attiva

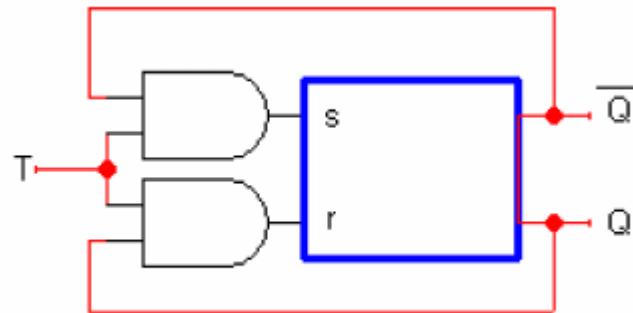
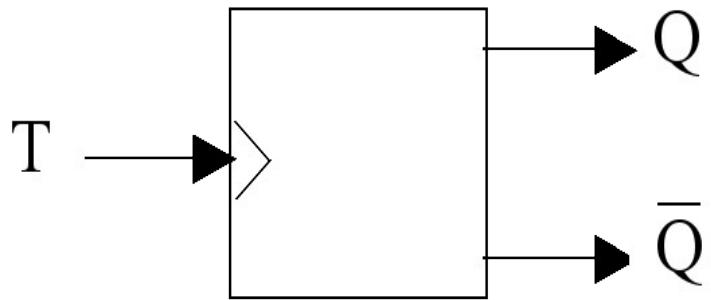


Flip-flop a commutazione



- I flip-flop a commutazione presentano almeno un valore di ingresso che comporta la commutazione dello stato di uscita
- Flip-flop T
 - Ha un unico ingresso di commutazione T
- Flip-flop JK
 - Due ingressi, J e K
 - Il valore $J=K=1$ provoca la commutazione

Flip-flop T



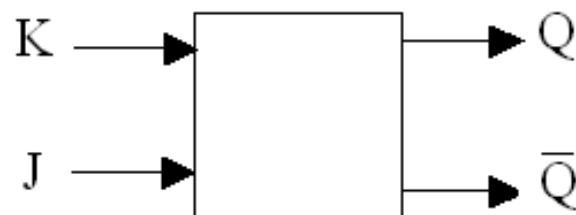
- Il valore in ingresso $T=1$ commuta lo stato di uscita
- Equazione di stato: $Q = \bar{Q}_p T + Q_p \bar{T}$
- Possibile realizzazione con flip-flop RS fondamentale

stati		0	1	uscita Q
Stato RESET	q_0	q_1	0	
Stato SET	q_1	q_0	1	

- La tabella a sinistra può essere realizzata come una macchina sincrona impulsiva
- Per realizzarla come macchina asincrona, occorre aggiungere altri stati

Flip-flop JK fondamentale

- E' un flip-flop definito come segue:
 - i due ingressi J e K si comportano rispettivamente come S e R se sono attivi separatamente
 - mentre producono la commutazione se lo sono simultaneamente



stati \xrightarrow{KJ}

	00	01	11	10	uscita Q
q ₀	q ₀	q ₁	q ₁	q ₀	0
q ₁	q ₁	q ₀	q ₀	q ₀	1

Flip-flop JK abilitato impulsivo

- Si può ottenere che J e K si attivano simultaneamente in pratica solo con l'ausilio di un segnale abilitante impulsivo
 - Flip-flop JK abilitato

