

**Università di Napoli Federico II – Scuola Politecnica e delle Scienze di Base**  
**Corso di Laurea in Ingegneria Informatica**



# **Corso di Calcolatori Elettronici I**

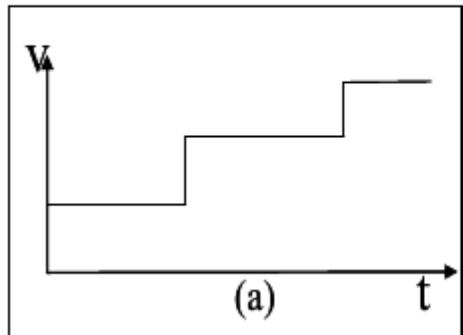
La tempificazione delle macchine



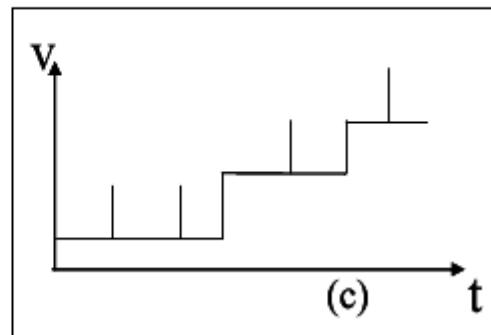
# Valori a livelli e impulsi

- Un valore astratto in una sequenza può essere
  - Impulsivo, se la sua durata è idealmente nulla
  - A livelli, se non impulsivo
- Di conseguenza una sequenza può essere:
  - A livelli, se contiene solo valori a livelli
  - Impulsiva, se contiene valori impulsivi e valori a livelli, detti *basi*, la cui unica funzione è distanziare fra loro gli impulsi

Sequenza a livelli



Sequenza impulsiva



# Sequenze impulsive

- Le basi (ovvero i valori a livelli) di una sequenza impulsiva rappresentano tipicamente dei valori *neutri*, mentre l'informazione è trasportata dagli impulsi
- Le sequenze impulsive si dividono in:
  - Sequenze *sincronizzate dall'esterno*
    - Ogni valore impulsivo ha la sua base distinta ed è sempre preceduto e seguito dalla sua specifica base
  - Sequenze *autosincronizzate*
    - Almeno una base è comune a più impulsi ed esistono almeno due basi distinte
  - Sequenze *puramente impulsive*
    - Esiste un'unica base comune a tutti gli impulsi

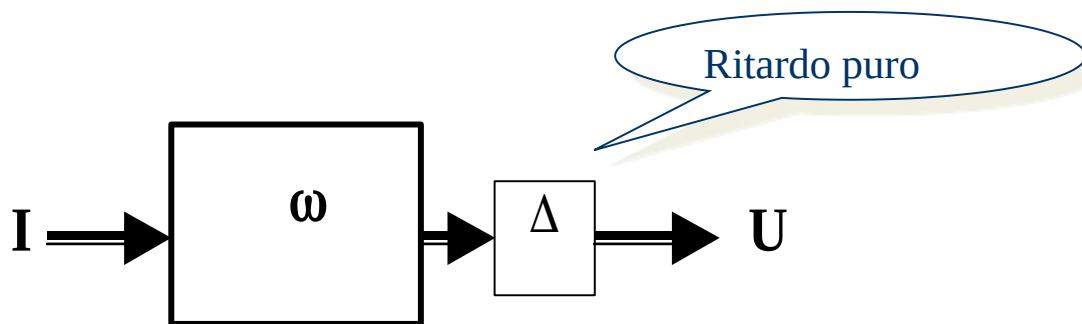
# Macchine a livelli e impulsive



- Macchine a livelli
  - Gli ingressi e le uscite sono sequenze a livelli
  - Operano con riferimento allo spazio continuo dei tempi
- Macchine impulsive
  - Gli ingressi e le uscite sono sequenze impulsive  
Essendo significativi i soli valori impulsivi, operano con riferimento a valori discreti del tempo

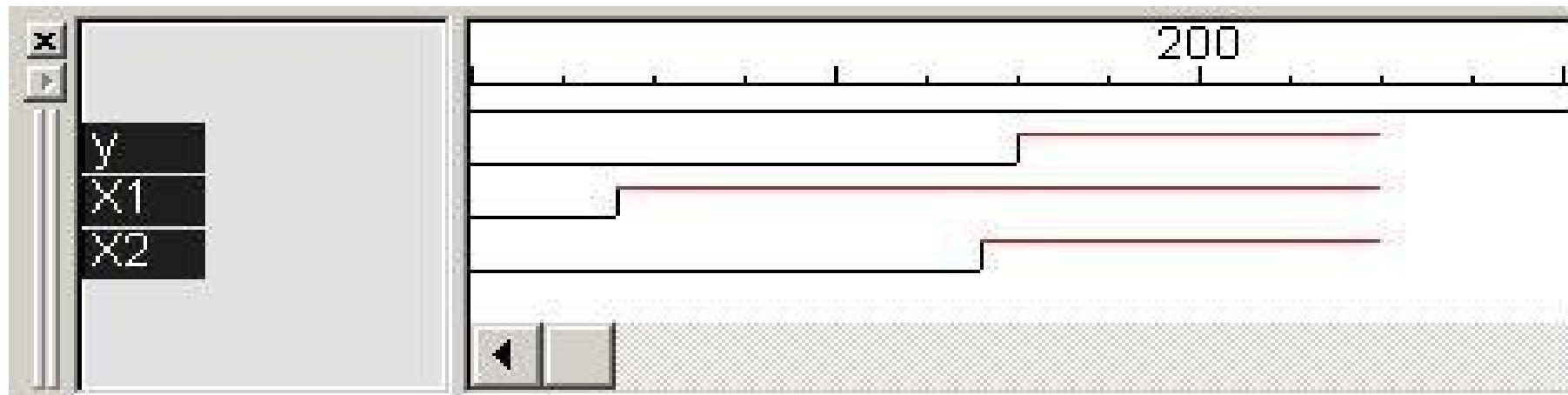
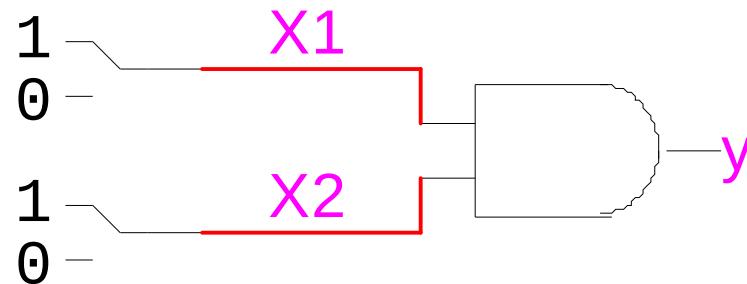
# I limiti delle macchine reali

- **Tempo di risposta**
  - Una rete ideale reagisce “istantaneamente” ad ogni sollecitazione in ingresso, ovvero  $U(t)=\omega(I(t))$
  - In una rete reale la variazione dell’uscita a fronte di una variazione degli ingressi avviene con un ritardo  $\Delta$  (tempo di risposta):  $U(t+\Delta)= \omega(I(t))$



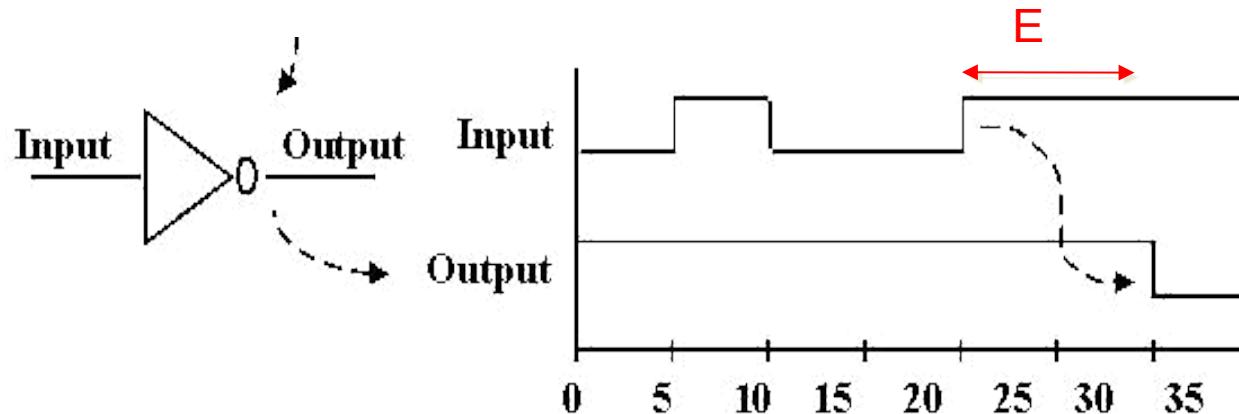
# Il tempo di risposta

- Il Tempo di risposta di una macchina è il ritardo  $d=t_f - t_i$  con il quale una variazione sull'ingresso è seguita da una variazione sull'uscita



# Il Ritardo Inerziale

- Una rete reale tende a permanere nello stato precedente se non è sufficientemente sollecitata → INERZIA
- Sensibilità all'ingresso → durata minima  $E$ 
  - Un input è “sentito” dalla rete se dura almeno  $E$
  - L'output ritarda di  $E$
- Ritardo effettivo  $R=E+\Delta$
- Vincolo sulla frequenza di variazione dell'ingresso:  $f \leq 1/2E$



- La presenza di ritardi nei dispositivi utilizzati può avere l'effetto di modificare il comportamento delle uscite in alcuni casi
- Si chiamano **Alee** quei fenomeni per i quali le uscite, anche se solo per brevi intervalli di tempo, assumono dei valori imprevisti

# Classificazione delle Alee

- Alee Transitorie
  - Le uscite della rete assumono valori diversi da quelli progettati soltanto nel transitorio conseguente alle variazioni degli ingressi.
    - Ad una sequenza di ingressi ...  $i_n \ i_{n+1} \ i_{n+2} \dots$
    - Corrisponde un'uscita  $\dots f(i_n) \ S_1 \ f(i_{n+1}) \ S_2 \ f(i_{n+2}) \dots$
- Alee di Regime
  - L'uscita assume un valore diverso da quello progettato anche dopo il transitorio.
    - Ad una sequenza di ingressi ...  $i_n \ i_{n+1} \ i_{n+2} \dots$
    - Corrisponde un'uscita  $\dots f(i_n) \ f(i_{n+1}) \ S \dots$
  - Possibili per le macchine sequenziali

- **Alee Transitorie**

- **Alee Multiple**

- Variazione simultanea di due o più variabili di ingresso

- **Alee per Impulsi Concomitanti**

- Presenza di due o più impulsi

- **Alee Statiche**

- Variazione temporanea dell'uscita che dovrebbe rimanere costante

- **Alee Dinamiche**

- Oscillazione temporanea dell'uscita

- **Alee di Regime**

- **Alee Essenziali**

- Dovute alle caratteristiche della rete

- **Alee per Corse Critiche**

- A causa della codifica le variazioni delle uscite dipendono dall'ordine degli ingressi

- **Alee per frequenza elevata**

- Gli ingressi variano troppo rapidamente

# Alee Multiple (1/2)



DIE  
TI.  
UNI  
NA

- Definizione:
  - Due valori di ingresso si dicono **adiacenti** se codificati in modo che essi differiscano in una sola variabile



Valori Adiacenti

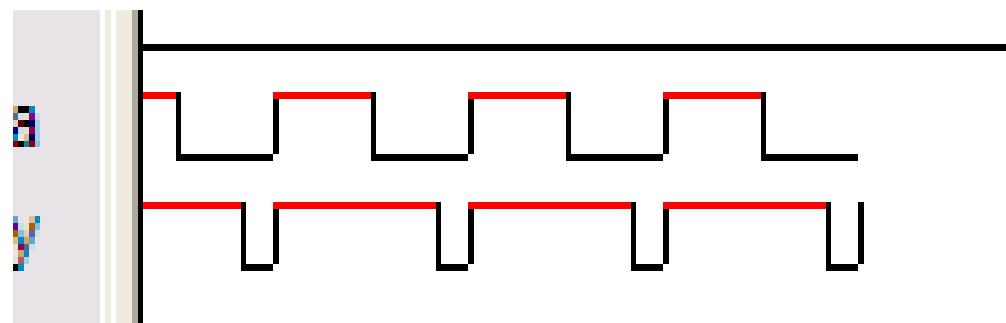
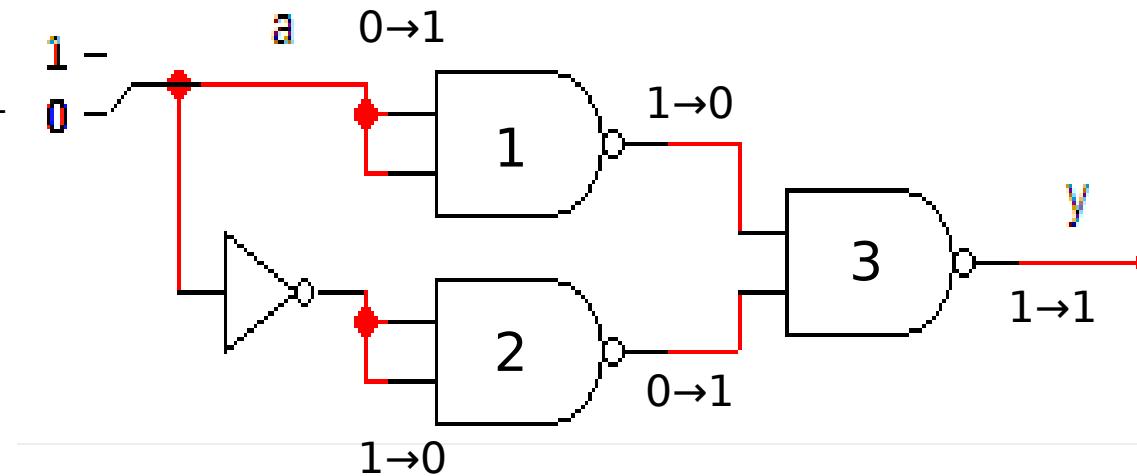


Valori Non Adiacenti

# Alee Multiple (2/2)



- Si ha un'Alea Multipla se due ingressi consecutivi nel tempo  $i_1$  e  $i_2$  non sono adiacenti
  - se la transizione in uscita alla porta 2 avviene prima di quella della porta 1, l'uscita  $y$  vale 0
- **L'unica soluzione è eliminare le transizioni tra ingressi non adiacenti**

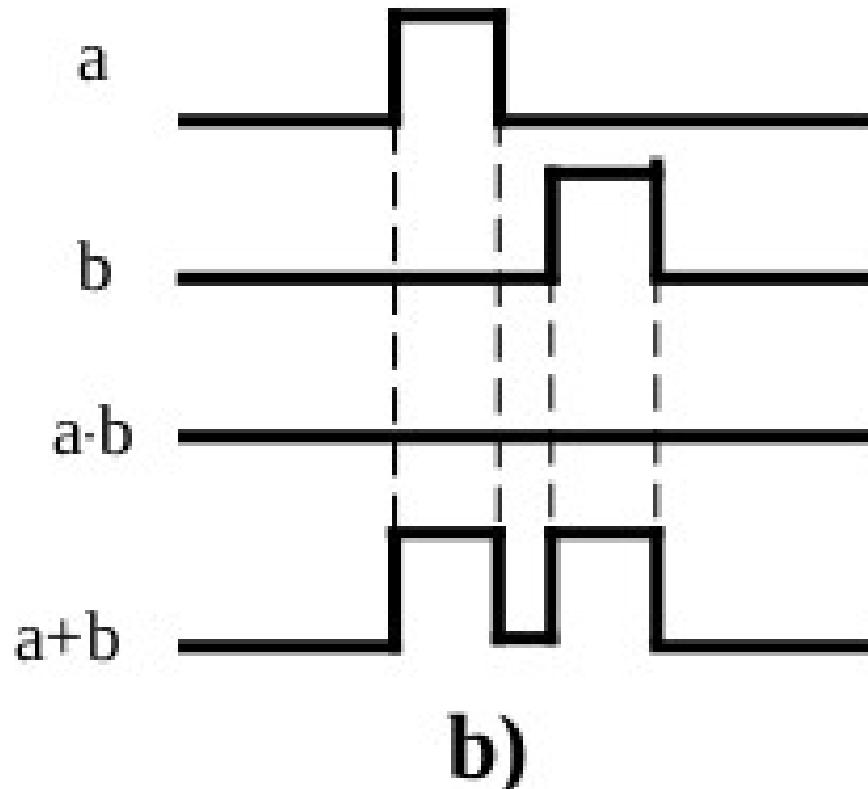
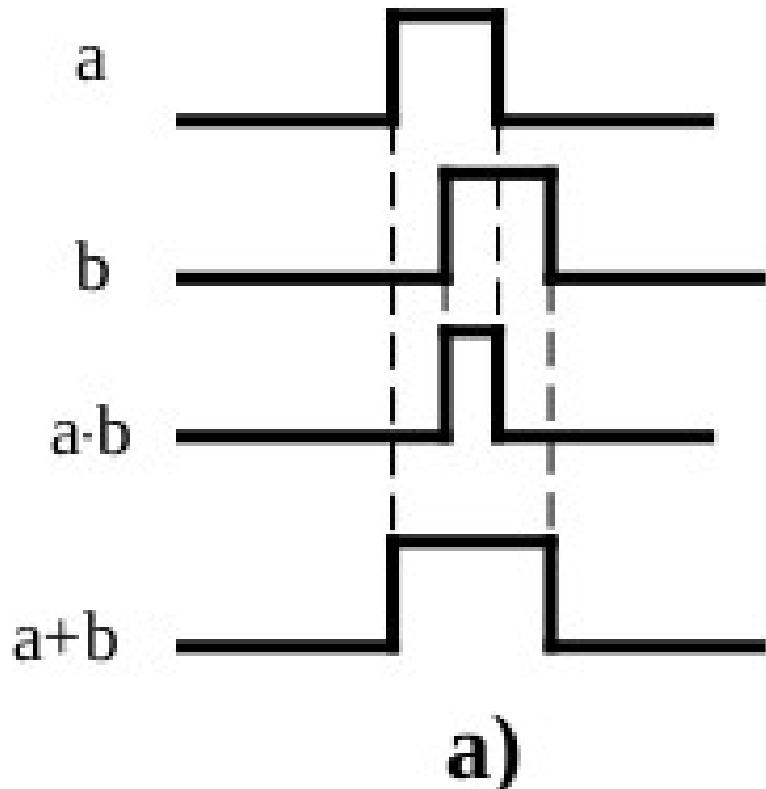


# Alee per Impulsi Concomitanti



DIE  
TI.  
UNI  
NA

- Se si suppone che due impulsi avvengano contemporaneamente i ritardi possono cambiare il comportamento della funzione

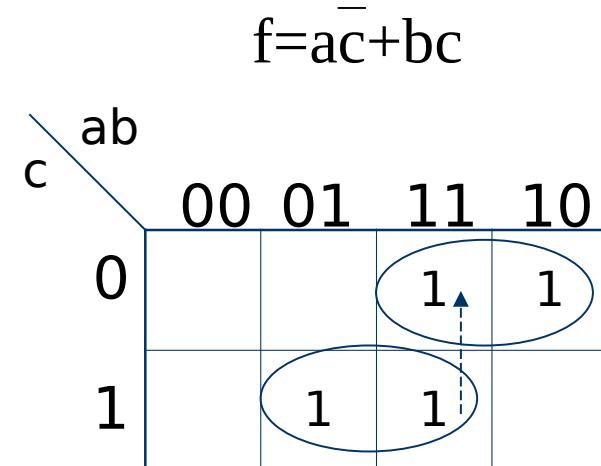
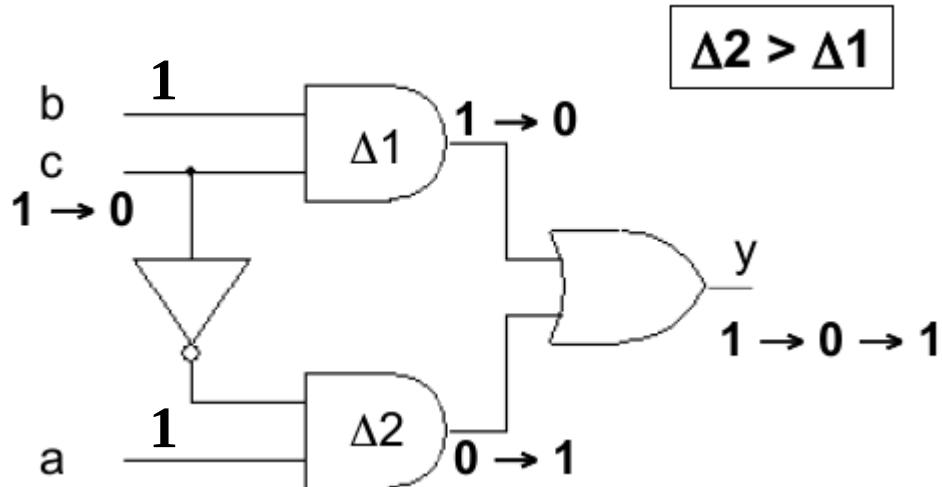


# Alee Statiche



DIE  
TI.  
UNI  
NA

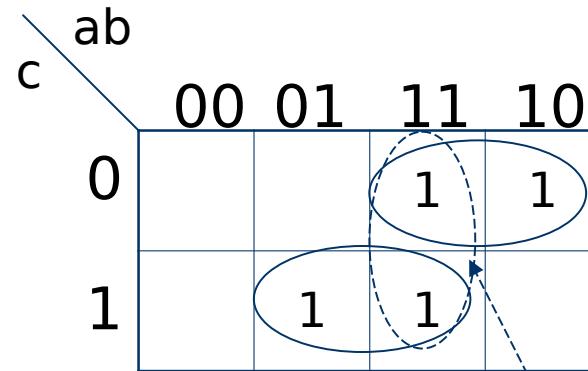
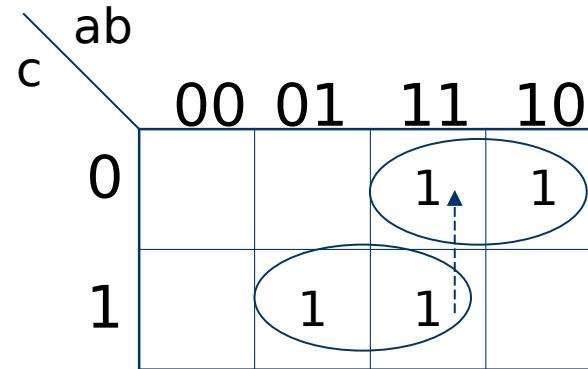
- Si ha un'alea statica se avendo due ingressi adiacenti  $i_1$  e  $i_2$  con uscite uguali  $f = f(i_1) = f(i_2)$ , l'uscita assume nel transitorio il valore  $\bar{f}$ 
  - Si manifesta come una variazione temporanea dell'uscita che dovrebbe rimanere costante
- Cause
  - diverse durate dei ritardi nelle singole porte
  - **transizione tra due implicanti distinti dell'uscita**



# Alee Statiche - Soluzione



- Il problema è legato ad una doppia variazione dei valori interni della rete a partire dalla variazione di un singolo ingresso
- Aggiungendo gli implicanti ridondanti si coprono le variazioni che determinano l'alea
- Aumenta il costo di realizzazione



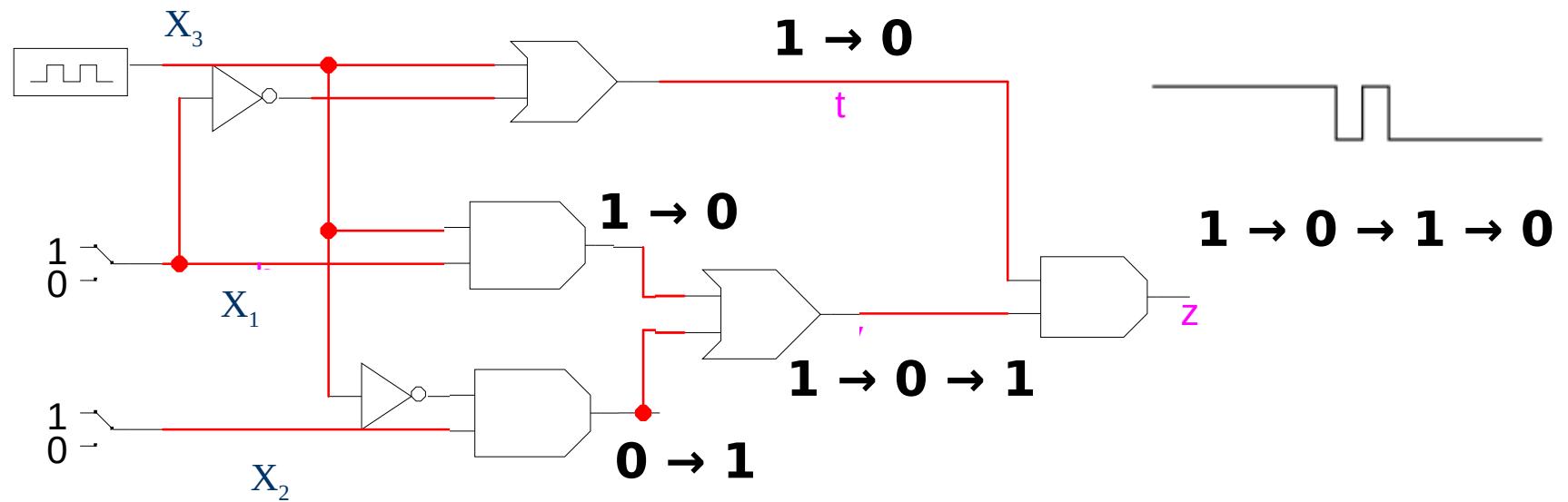
Implicante  
Ridondante

- Una rete AND-OR è esente da aleee statiche se nel primo livello della rete sono presenti tutti gli implicanti che coprano le transizioni fra gli ingressi adiacenti per i quali l'uscita sia 1 (transizioni  $1 \rightarrow 1$ )
- La rete è esente da aleee per transizioni  $0 \rightarrow 0$
- Le aleee statiche si possono eliminare aggiungendo ridondanza alla rete

- Si ha un'Alea Dinamica se avendo due ingressi  $i_1$  e  $i_2$  adiacenti con uscite  $f(i_1) = \alpha$  e  $f(i_2) = \beta$ , la sequenza di uscita è del tipo ...  $\alpha \dots \beta \alpha \dots \beta$

**Ese.  $i_1=111$ ,  $i_2=110$  ( $x_1x_2x_3$ )**

$$Y = (X_1 X_3 + X_2 \bar{X}_3)(\bar{X}_1 + X_3)$$



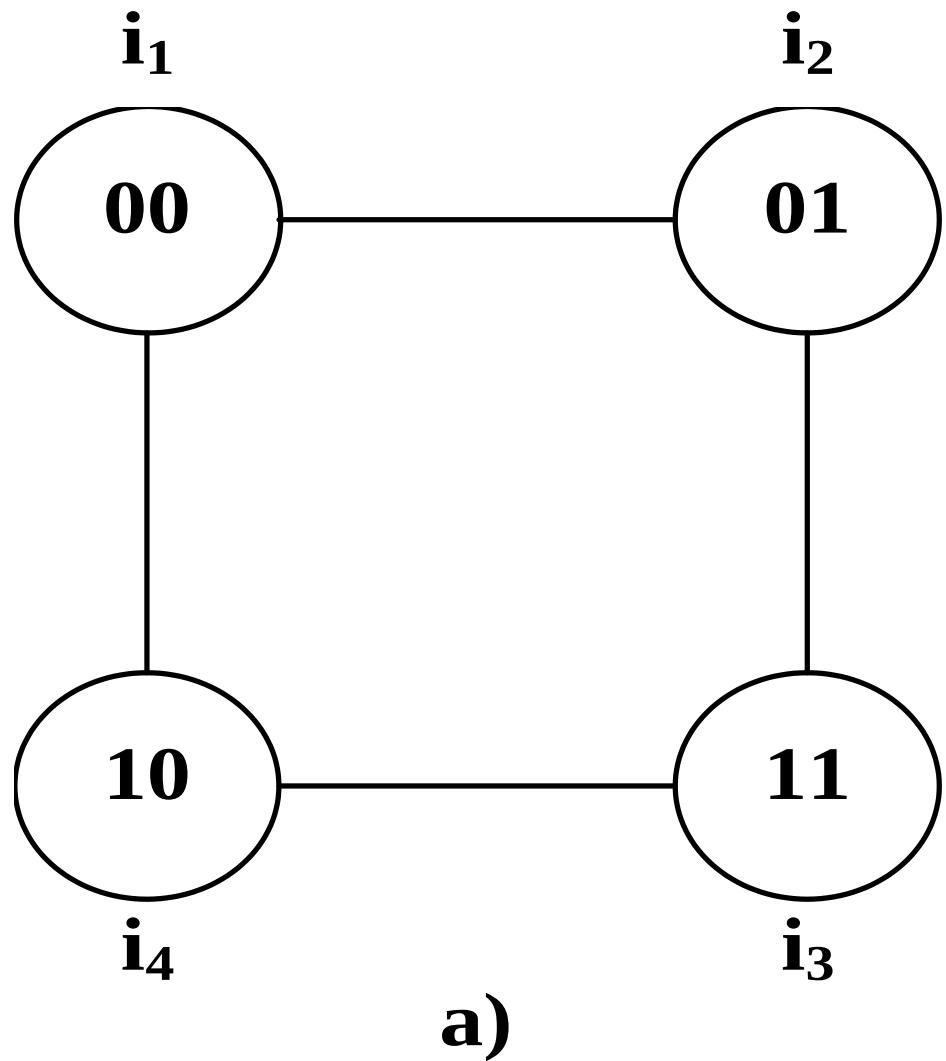
- Si verificano solo in reti a più di due livelli
- Sono dovute ad alee statiche nei livelli precedenti e ritardi
- Si eliminano eliminando le alee statiche nelle sottoreti componenti

# Codifica degli ingressi



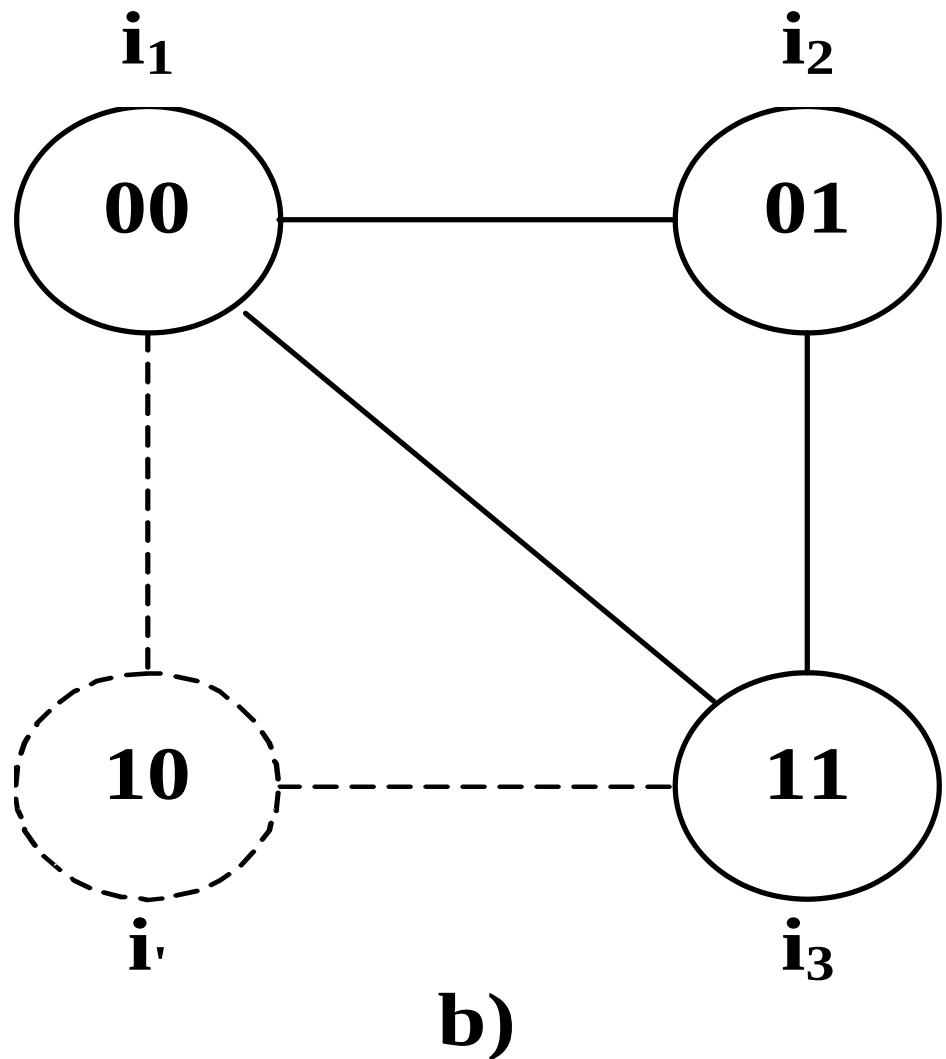
- La presenza di alee influenza il progetto delle reti logiche
  - Aggiunta di ridondanza (alee statiche, aleee dinamiche)
  - Codifica degli ingressi (alee multiple)
    - Forzare transizioni tra stati adiacenti
    - Eventualmente aggiungendo variabili (e quindi stati di ingresso)

# Grafo di transizione degli ingressi



- Le transizioni possibili degli ingressi sono  $i_1 \rightarrow i_2$ ,  $i_2 \rightarrow i_3$ ,  $i_3 \rightarrow i_4$ ,  $i_4 \rightarrow i_1$
- È possibile codificare i valori in ingresso con il numero minimo di variabili binarie (2) evitando transizioni tra ingressi non adiacenti (e quindi le alee multiple)

# Grafo di transizione degli ingressi

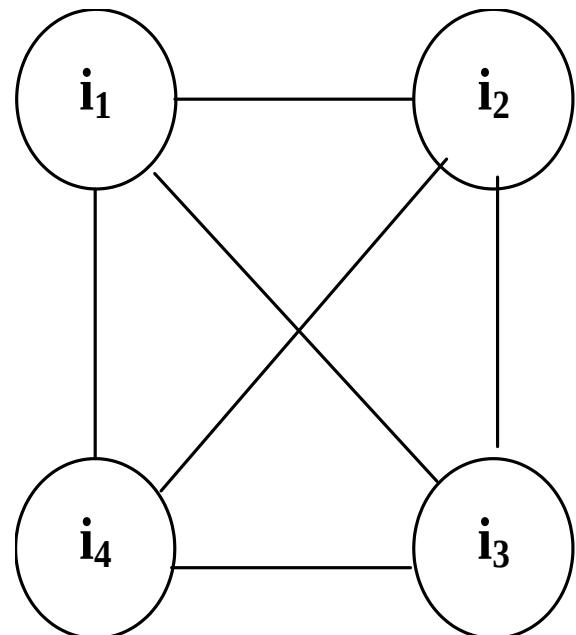


- Con tre valori di ingresso e le transizioni  $i_1 \rightarrow i_2$ ,  $i_2 \rightarrow i_3$ ,  $i_3 \rightarrow i_1$  non è possibile evitare transizioni tra ingressi non adiacenti
- Si può aggiungere il valore  $i'$  e modificare la transizione  $i_3 \rightarrow i_1$  in  $i_3 \rightarrow i' \rightarrow i_1$  ponendo  $f(i') = f(i_1)$  oppure  $f(i') = f(i_3)$

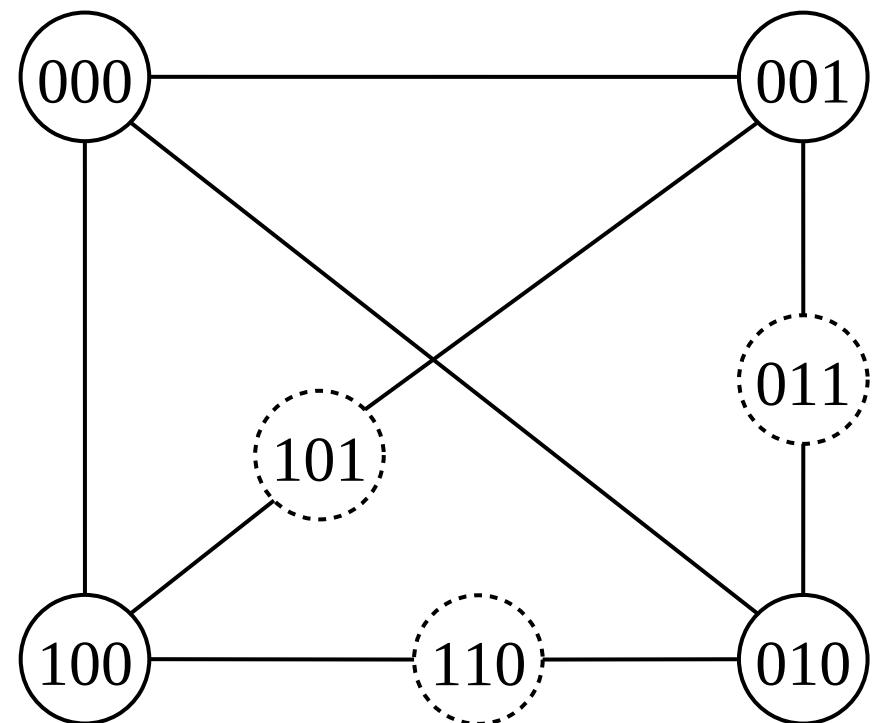
# Aggiunta di stati



- Non sempre è possibile mantenere la codifica con il minor numero di variabili (nell'esempio, si passa da 4 stati a 7, con l'aggiunta di una variabile binaria)



a)



b)