



Contenido

- Asignación de ubicación de pines con la herramienta I/O Planner
- Descripción de los caminos de temporización
- Creación de relojes reales y virtuales
- Creación de retardos de entrada y salida
- Uso de relojes virtuales para los retardos de entrada y salida
- Uso del asistente de restricciones (Constraints Wizard)

Temario

- **Restricciones de Pin**
- Restricciones de Temporización
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Planificación de la ubicación de Pines y Reloj

➤ La planificación de la ubicación de Pines y reloj se realiza en las primeras etapa del proyecto

– Las decisiones respecto de ambos tienen profundo impacto en el sistema

- Excesivo skew
- Mala temporización de I/O
- Problemas para pasar señales de un dominio a otro
- Restricciones en la ubicación física de módulos
- Menor posibilidad de usar recursos de temporización
- Mala ubicación de la lógica
- Retardos excesivos en el ruteo
- Mal aprovechamiento de los recursos del dispositivo

➤ La planificación de la ubicación de Pines y reloj debe hacerse simultaneamente

- Las decisiones sobre pines de reloj afectan la temporización y el uso de recursos
- Las decisiones sobre pines de datos afecta la ubicación de los pines de reloj

Planificación de E/S

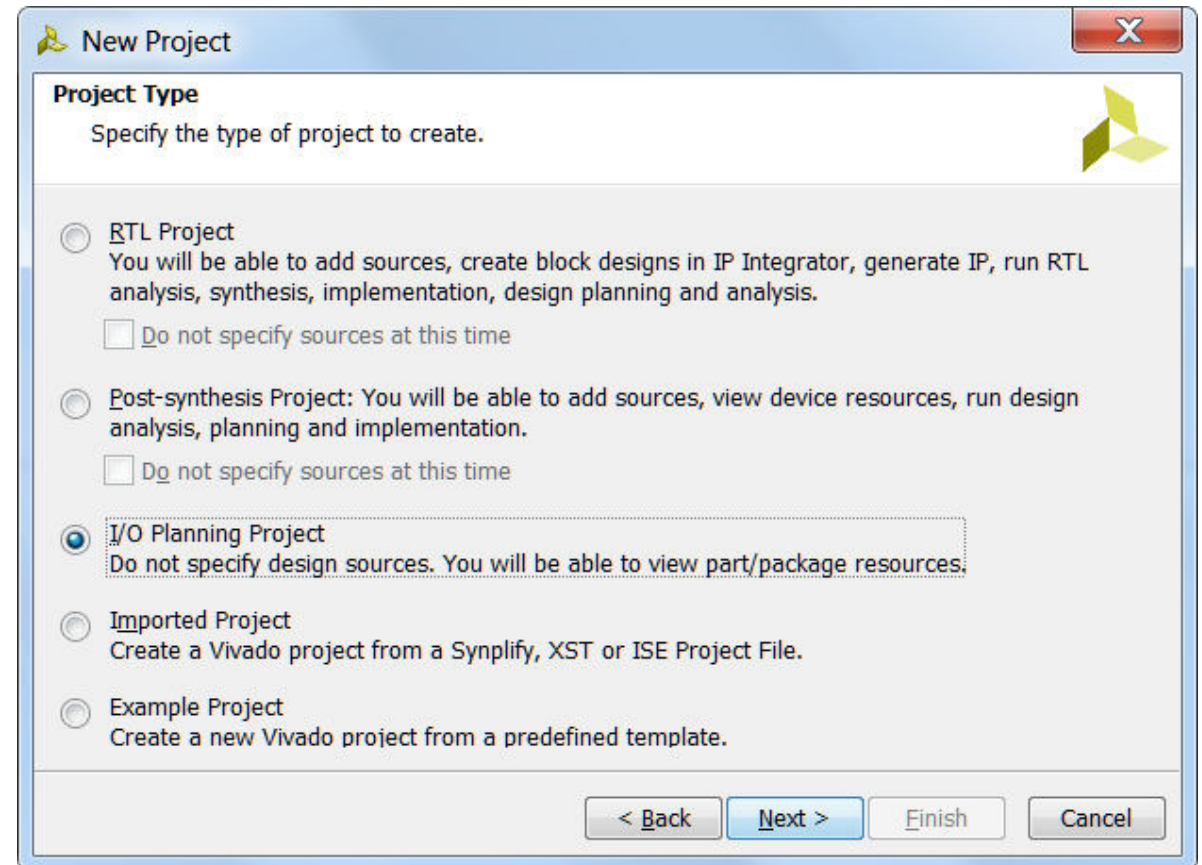
Cuando se crea un nuevo proyecto desde la página inicial, existe la opción de crear una planificación de I/O sin archivos fuente RTL asociados

- De esta manera se puede verificar la asignación de pines

- Reglas de los bancos de I/O
- Variaciones de la tierra de referencia
- La herramienta *I/O Planner* realiza la verificación para los pines asignados

- Sin embargo, es recomendable tener archivos fuente RTL asociados

- El chequeo DRC es más extenso



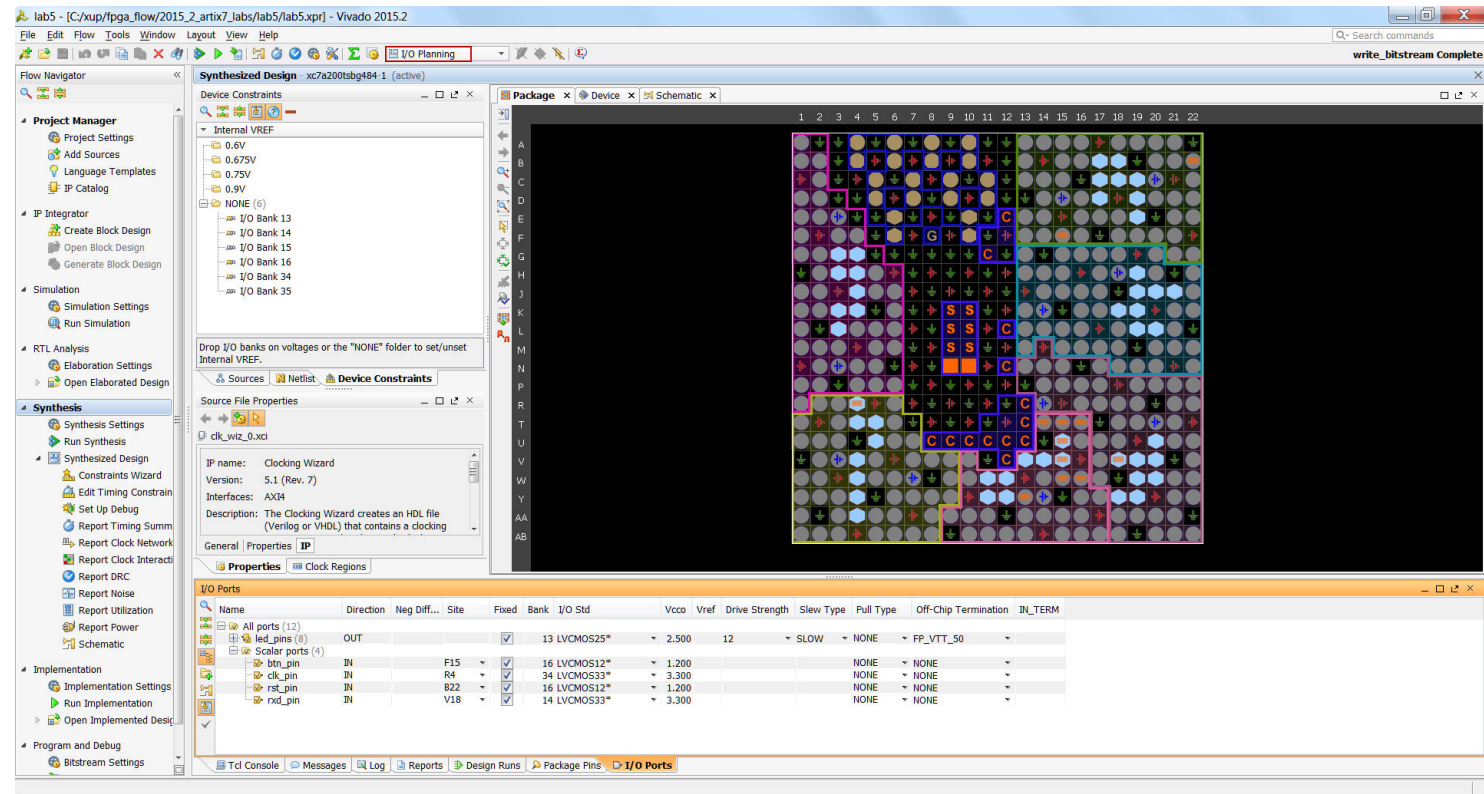
Ejecutar la herramienta I/O Planner con código fuente RTL

➤ Esto se hace dentro de un proyecto RTL

– Sintetizar el sistema

- Abir el sistema sintetizado presionando *Open Synthesized Design*
- Ejecutar el I/O Planner seleccionando la vista *I/O Planning* en el menu desplegable de la barra de herramientas

- Esto permite ver e ingresar las ubicaciones físicas de las señales de I/O



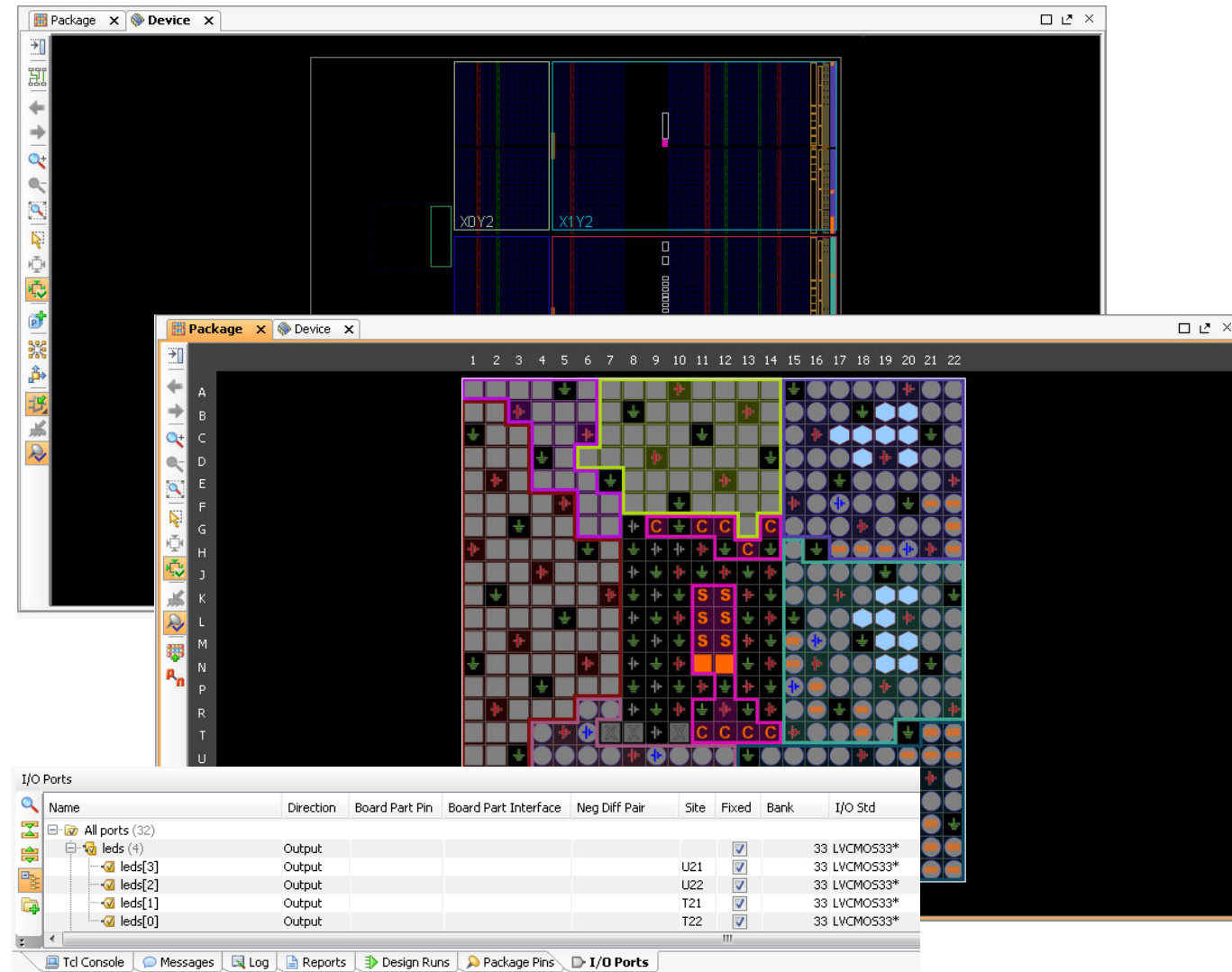
Herramienta I/O Planner

➤ Esta herramienta realiza chequeos en la asignación de pines

- Para ello, la asignación de I/O está basada en reglas
 - El chequeo DRC permite la asignación de pines a lógica específica de la FPGA (microprocesador, MGT, o pares diferenciales, por ejemplo)
 - Análisis de ruido
 - Verificar las reglas de los bancos de I/O
- La asignación de pines puede ser manual o automática
 - Es recomendable primero asignar manualmente los pines asociados a puertos con requerimientos estrictos de temporización y luego realizar una asignación automática del resto de los pines
- Se pueden agrupar los pines para gestionar su ubicación

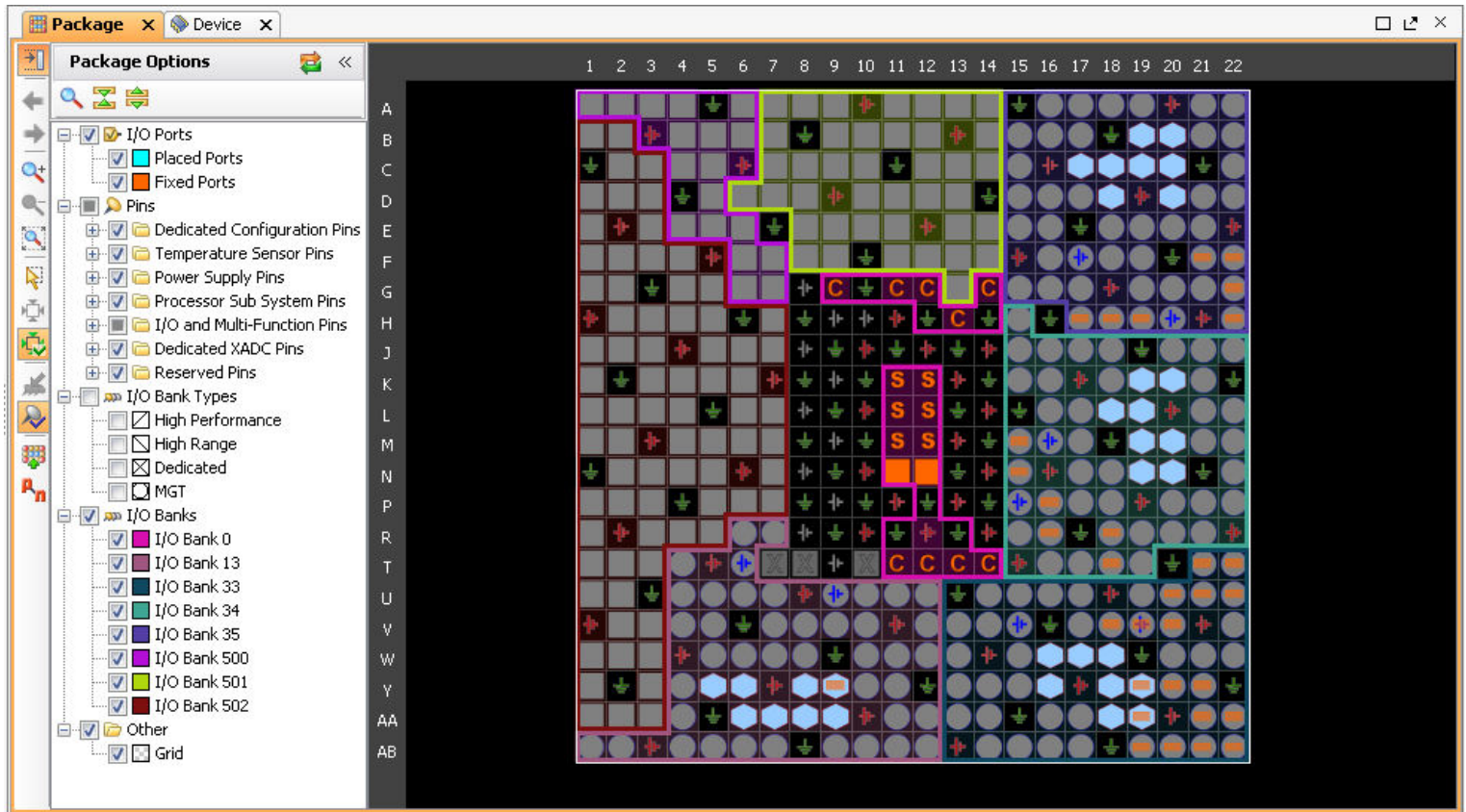
Herramienta I/O Planner

- Esta herramienta permite ver el dispositivo y la ubicación física, de manera de analizar relaciones entre los bancos de I/O y la lógica del sistema.
- **Vista de encapsulado y de dispositivo**
 - Muestra en forma gráfica los pines del encapsulado, los contactos en el silicio y los bancos e I/O
 - Los pines de I/O se pueden asignar en cualquiera de las dos vistas
- **Vista de pines de encapsulado**
 - Muestra la asignación de pines
Permite analizar retardos, tipos de pines, estandar de I/O asignado y pares diferenciales
 - Se pueden ver los pines como grupo, como banco de I/O o como una lista
 - La información asociada al pin se puede ver pasando por arriba de cada uno en la interfaz gráfica



Vista de encapsulado (Package View)

- Las áreas coloreadas entre los pines muestran los bancos de I/O
- También se muestran los pares diferenciales
- Clock-capable pins (🕒),
VCC (⬆), GND (⬇),
no connection (⬜),
XADC (S),
Temperature Sensor (🔥)



Vista de puertos de E/S (I/O Ports View)

- Muestra todos los puertos de E/S definidos en el proyecto
- Agrupa los buses
- Se puede ver como grupo de buses e interfaces o como una lista
- La mayor parte de las asignaciones de E/S se realizan en esta vista
- Mediante iconos se indica la dirección y el estado del puerto

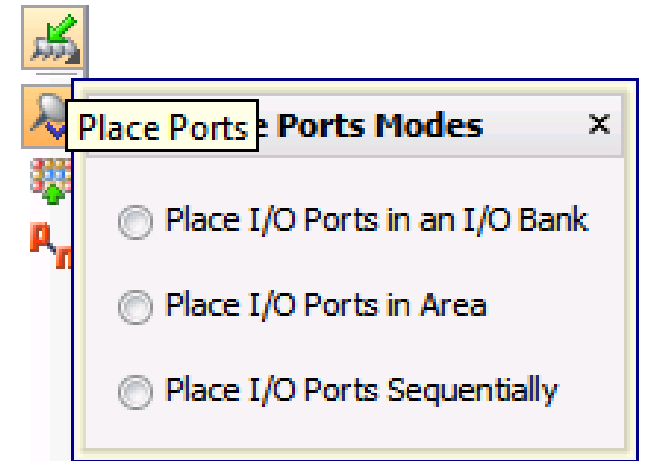
I/O Ports

Name	Direction	Board Part Pin	Board Part Interface	Neg Diff Pair	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination
All ports (32)														
leds (4)	Output					<input checked="" type="checkbox"/>		33 LVCMOS33*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[3]	Output				U21	<input checked="" type="checkbox"/>		33 LVCMOS33*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[2]	Output				U22	<input checked="" type="checkbox"/>		33 LVCMOS33*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[1]	Output				T21	<input checked="" type="checkbox"/>		33 LVCMOS33*	3.300	12	SLOW	NONE	FP_VTT_50	
leds[0]	Output				T22	<input checked="" type="checkbox"/>		33 LVCMOS33*	3.300	12	SLOW	NONE	FP_VTT_50	
sw (8)	Input					<input checked="" type="checkbox"/>		(Multiple) LVCMOS33*	3.300				NONE	NONE
sw[7]	Input				M15	<input checked="" type="checkbox"/>		34 LVCMOS33*	3.300				NONE	NONE
sw[6]	Input				H17	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE
sw[5]	Input				H18	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE
sw[4]	Input				H19	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE
sw[3]	Input				F21	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE
sw[2]	Input				H22	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE
sw[1]	Input				G22	<input checked="" type="checkbox"/>		35 LVCMOS33*	3.300				NONE	NONE

Tcl ConsoleMessagesLogReportsDesign RunsPackage PinsI/O Ports

Asignación de puertos de I/O en forma interactiva

- En la vista de Dispositivo o de Encapsulado, seleccionar el botón *Place Ports*
- *Place I/O Ports in an I/O Bank* – Ubica puertos de I/O en bancos específicos
- *Place I/O Ports in Area* – Dibujar un rectángulo alrededor de los pines o pads a ubicar
- *Place I/O Ports Sequentially* – Seleccionar un pin o pad para cada puerto de I/O en forma individual
- El modo de ubicación permanece constante hasta que se ubican todos los puertos de I/O o hasta cancelar la ubicación
- La dirección (entrada, salida o bidireccional) se establece en la primera asignación de pin o pad



Asignacion mediante Tcl: comando set_property

➤ **Se puede asignar pines mediante el comando set_property:**

```
-set_property PACKAGE_PIN T22 [get_ports led_pins[0]]
```

```
-set_property IOSTANDARD LVCMOS33 [get_ports led_pins[0]]
```

```
0
```

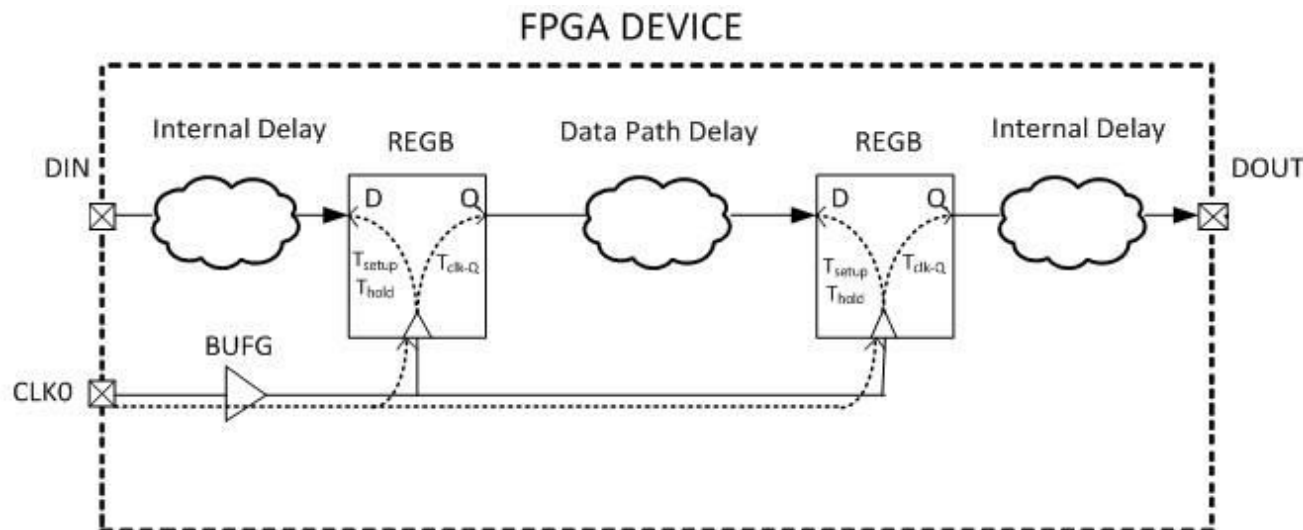
```
-set_property -dict {PACKAGE_PIN H17 IOSTANDARD LVCMOS33} [get_ports { led_pins[0] }]
```


Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Caminos de temporización y I/O

- **Los caminos de temporización comienzan en un elemento sincronizado y terminan en otro elemento sincronizado**
 - Los caminos desde un flip-flop a otro flip-flop generan restricciones sobre la señal de reloj
- **Las entradas y salidas de la FPGA no son comienzo ni final de un camino de temporización**
 - La lógica entre un I/O y un elemento sincronizado no es un camino de temporización
 - Si no hay restricciones adicionales, no se hace verificación de tiempos de estabilización o retención (setup/hold) sobre la lógica asociada a un I/O

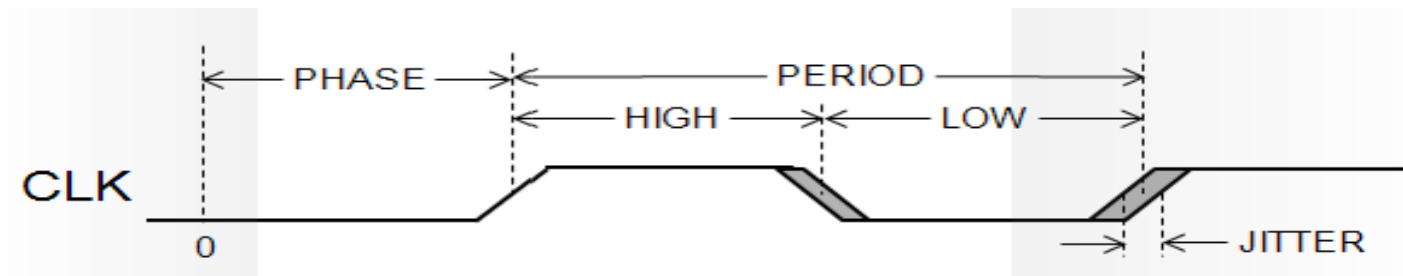


Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - **Periodo**
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Relojes

- Las señales de temporización (relojes) son señales periódicas que comandan a elementos sincronizados
- Los relojes tienen atributos:
 - Periodo (Period)
 - Tiempo entre el flanco ascendente de la señal hasta el siguiente flanco ascendente
 - Ciclo activo (Duty cycle)
 - Cociente entre el tiempo en que la señal esta activa (normalmente el estado "alto") y el periodo
 - Variacion (Jitter)
 - Variacion del periodo respecto de su valor nominal
 - Fase (Phase)
 - Posicion relativa del flanco ascendente dentro del periodo



Los relojes como objetos

➤ Propiedades de los relojes

- *NAME* Nombre de la señal de reloj
 - Se usa un nombre asignado o generado en forma automática dependiendo del tipo de reloj
- *PERIOD* es el periodo del reloj
- *WAVEFORM* describe la posición de los flancos del reloj
- *IS_GENERATED*, *IS_VIRTUAL* son flags que describen el tipo de reloj
- *SOURCE_PINS* son los Pines/Puertos/redes del reloj

Creación de relojes

➤ Los relojes se crean con el comando Tcl `create_clock`

`-create_clock -name <name> -period <period> <objects>`

`-<period>` es el periodo del reloj

`-<name>` es el nombre del reloj

`-<objects>` es la lista de pines, puertos, o redes del reloj

– Si `<objects>` no está, el reloj no está asociado a una señal física y es un reloj virtual (se utiliza para fijar las restricciones de retardo de entrada y salida en un circuito puramente combinacional)

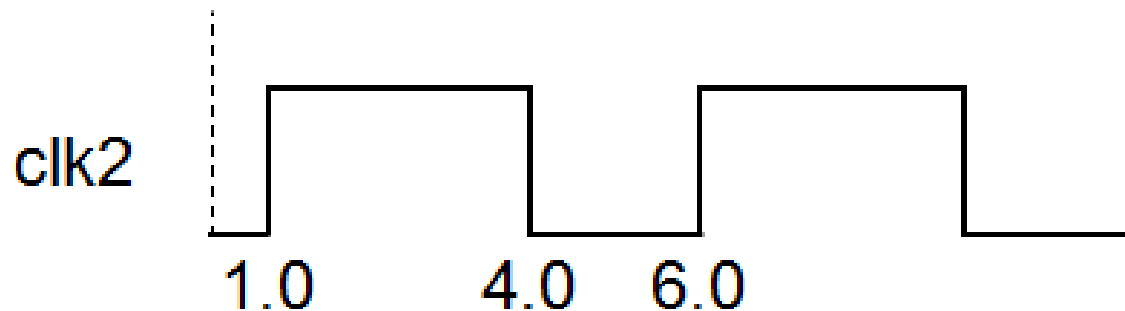
```
create_clock -name my_clock -period 5.0
```



Atributo Waveform

- **Los relojes se pueden crear con flancos en diferentes posiciones**
 - Permite la descripción de relojes con desplazamientos de fase y diferentes ciclos activos internamente (tipo tren de pulsos)
 - Se indica mediante `-waveform <edges>`
 - `<edges>` es una lista de números que representa el tiempo de los sucesivos flancos
 - El primer número es el tiempo del primer flanco ascendente
 - Las opciones por defecto son 0.00 para el flanco ascendente y PERIOD/2 para el flanco descendente (reloj simétrico con 50% de ciclo activo)

```
create_clock -name clk2 -period 5.0 -waveform {1.0 4.0}
```

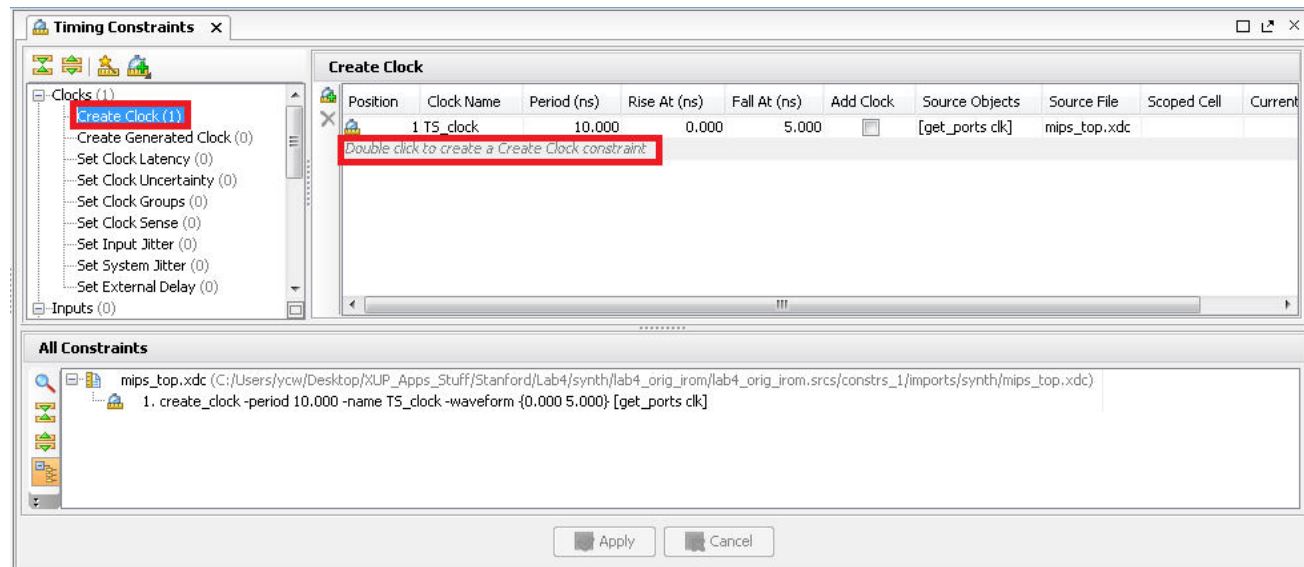


Creación de relojes utilizando la interfaz gráfica

➤ La ventana *Timing Constraint* se abre usando la opción de menu **Window -> Timing Constraints**

– Un reloj se crea dando doble click en la opción *Create Clock*, o en una nueva fila de la tabla *Create Clock*

➤ También se puede crear a través del asistente de restricciones (Constraints Wizard)



Asistente Create Clock

Nombre
del reloj a
crear

The 'Create Clock' dialog box contains the following fields and controls:

- Info:** Creates a clock object. The created clock is applied to the specified source objects. If you do not specify source objects, but give a clock name, a virtual clock is created.
- Clock name:** A text field containing 'clk'.
- Source objects:** A text field containing '[get_ports clk]'.
- Waveform:** A section with three rows:
 - Period:** A text field with '10' and a unit dropdown set to 'ns'.
 - Rise at:** A text field with '0' and a unit dropdown set to 'ns'.
 - Fall at:** A text field with '5' and a unit dropdown set to 'ns'.
- Checkbox:** ☐ Add this clock to the existing clock (no overwriting)
- Command:** A text field containing the Tcl command: `create_clock -period 10.000 -name clk -waveform {0.000 5.000} [get_ports clk]`
- Buttons:** Reference, Reset to Defaults, OK, and Cancel.

Objetos a los
que será
adjuntado el
reloj

Periodo y flancos
del reloj

Comando Tcl
para crear el
reloj

Temario

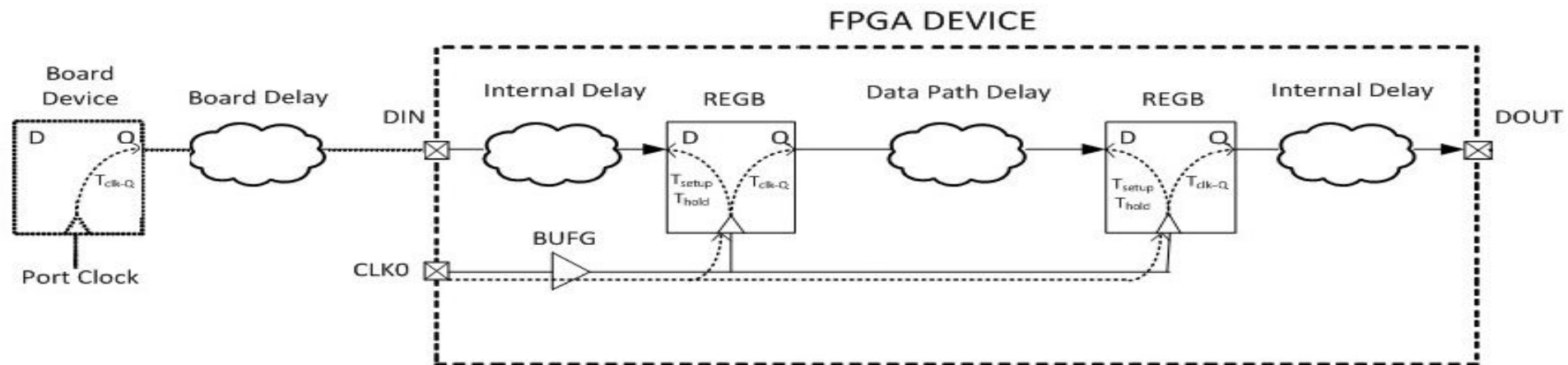
- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - **Retardo de entrada**
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Interfaces de entrada sincrónicas

- **La mayoría de las interfaces entre dispositivos (memorias, conversores A/D y D/A, capturadores de imágenes/video, etc) y la FPGA utilizan comunicación sincrónica**
 - La FPGA y el dispositivo comparten una señal de temporización
 - Usualmente una señal de reloj en común
- **Camino de temporización en una entrada:**
 - Comienza en un elemento sincronizado en el dispositivo
 - Referido a un reloj provisto por el dispositivo
 - Finaliza en un elemento sincronizado dentro de la FPGA
 - Referido a un reloj que se propaga a un elemento sincronizado dentro de la FPGA
 - Se propaga a través de los elementos entre ambos
 - CLK -> Q del dispositivo
 - Tiempo de propagación de la placa
 - Tiempo de propagación en el puerto de la FPGA
 - Tiempo de propagación en los elementos combinacionales de la FPGA antes de llegar al elemento sincronizado

Completando el camino de temporización de la entrada

- **Para completar el camino de temporización de la entrada, se deben describir los elementos externos**
 - Como es el reloj utilizado en el dispositivo externo
 - El retardo entre el reloj del dispositivo externo y la entrada de la FPGA
 - Incluye el tiempo de CLK \rightarrow Q (propagación interna en el dispositivo externo) y el retardo por el ruteo en placa (board delay)



Comando set_input_delay

➤ El comando `set_input_delay` provee la información para completar el camino temporización de la entrada

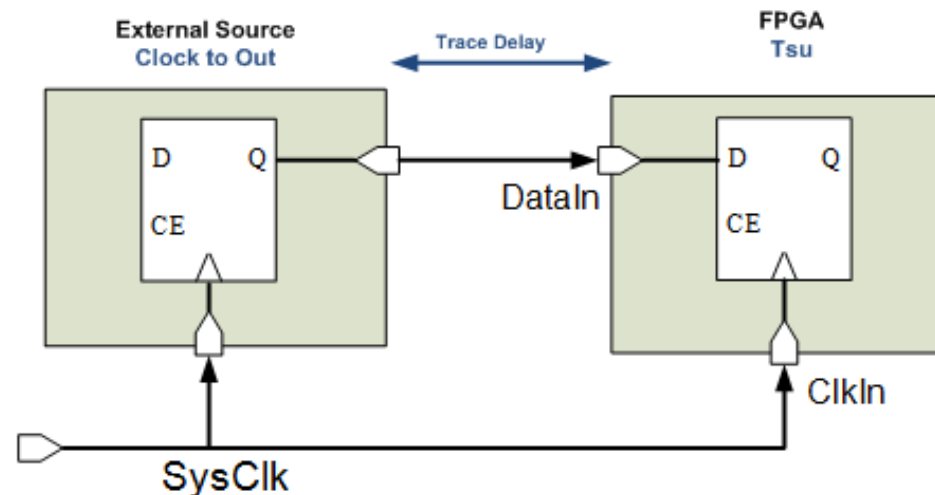
`-set_input_delay -clock <clock_name> <delay> <objects>`

- `<clock_name>` es el nombre del reloj usado por el dispositivo externo
 - Puede ser un reloj real o virtual
 - Puede ser el nombre de un reloj, no es necesario que sea un objeto reloj, aunque también puede serlo
- `<objects>` es la lista de objetos a los cuales se les asigna esta información
 - Usualmente un conjunto de puertos de entrada
 - Se lo suele utilizar junto con el comando `get_ports` o el comando `all_inputs`
- `<delay>` es el retardo desde `<clock_name>` hasta los objetos `<objects>`
 - Incluye los retardos internos del dispositivo externo y el retardo de propagación de la placa

Uso de un reloj en común

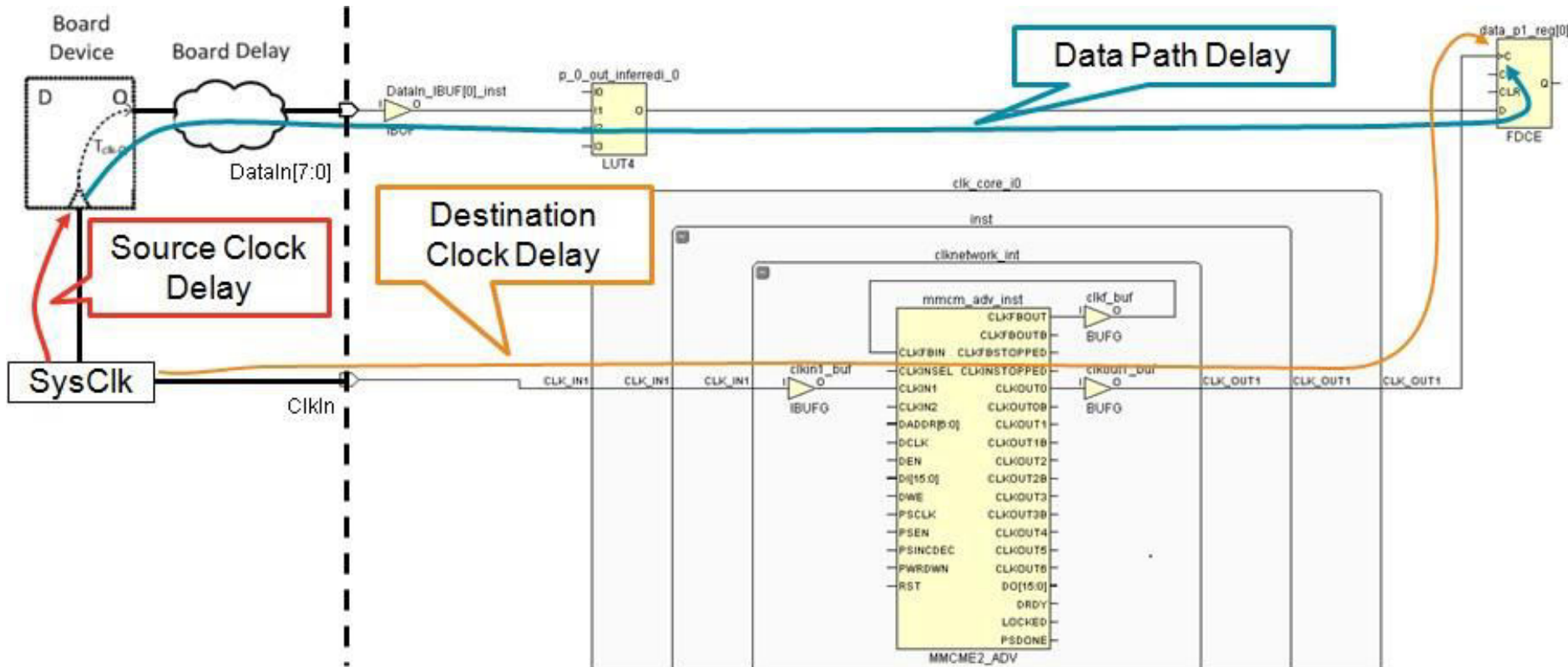
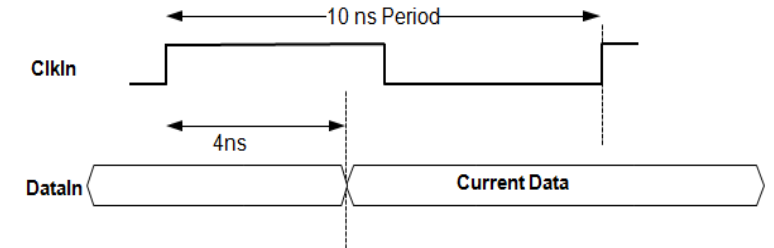
- Un comando `set_input_delay` puede estar referido a un reloj existente
 - Puede ser el reloj asociado al pin de entrada de reloj de la FPGA
- El valor utilizado para el comando `set_input_delay` es la suma de:
 - El tiempo de reloj a salida del dispositivo externo
 - Retardo de ruteo de la placa (Trace delay)

```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_input_delay -clock SysClk 4 [get_ports DataIn]
```



Ejemplo de set_input_delay

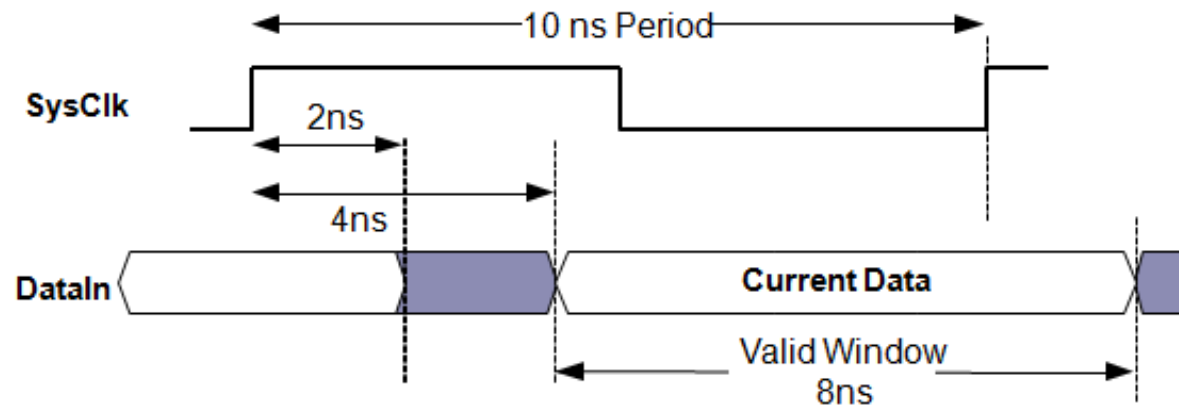
```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_input_delay -clock SysClk 4 [get_ports DataIn]
```



Retardos máximos y mínimos

- Cada puerto de entrada tiene un retardo máximo y mínimo asociado
 - El retardo máximo se usa para verificar los tiempos de establecimiento (Setup)
 - El retardo mínimo se usa para verificar los tiempos de retención (Hold)
- Si no se aplica la opción `-max` o `-min` el valor previsto se aplica a ambos retardos

```
create_clock -name SysClk -period 10 [get_ports ClkIn]  
set_input_delay -clock SysClk 4 [get_ports DataIn]  
set_input_delay -clock SysClk -min 2 [get_ports DataIn]
```



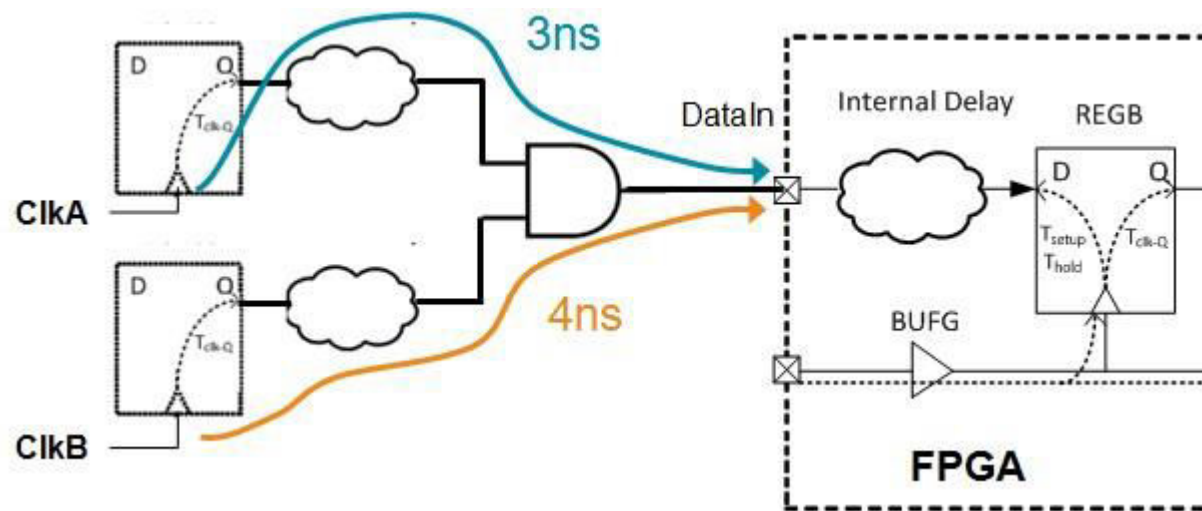
Retardos múltiples en un mismo puerto

➤ Una entrada puede tener varios comandos `set_input_delay` asociados, para modelizar distintos caminos de señal

- Se utiliza la opción `-add_delay`
- Esto implica tener distintos caminos de temporización

```
set_input_delay -clock ClkA 3 [get_ports DataIn]
```

```
set_input_delay -clock ClkB 4 [get_ports DataIn] -add_delay
```

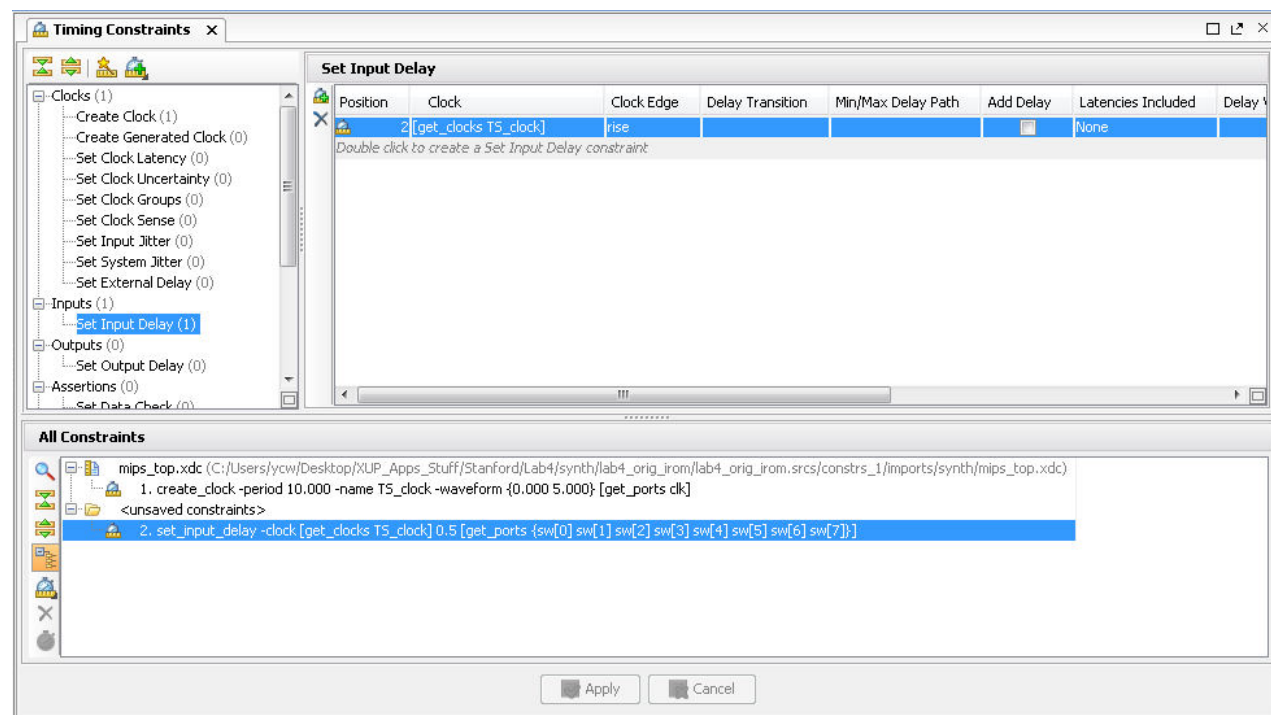


Crear retardos de entrada con la interfaz gráfica

➤ La ventana *Timing Constraint* se abre usando la opción de menú **Window -> Timing Constraints**

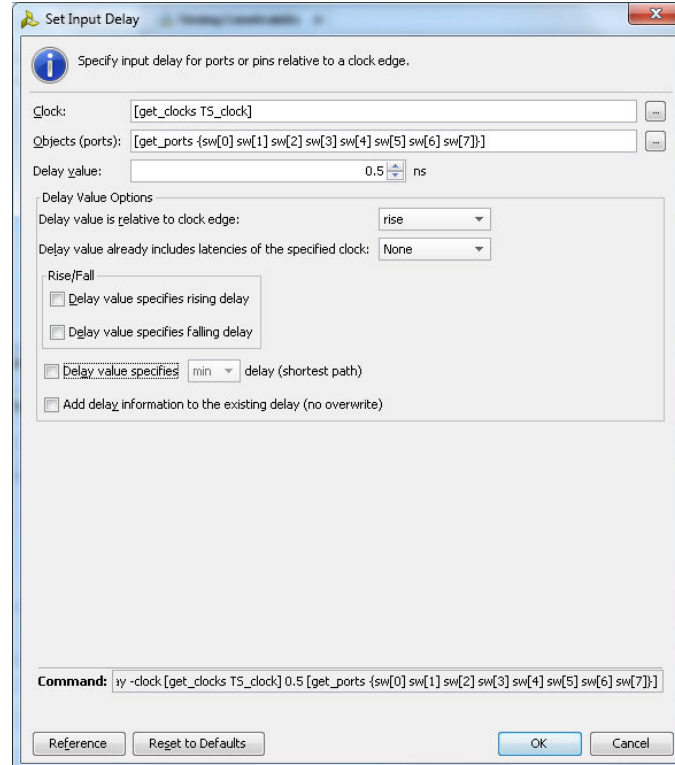
– El retardo se crea dando doble click en la opción *Set Input Delay*, o en una nueva fila de la tabla *Set Input Delay*

➤ También se puede crear a través del asistente de restricciones (Constraints Wizard)



Asistente Set Input Delay

- Se establecen restricciones separadas para los valores máximos y mínimos



Set Input Delay

Specify input delay for ports or pins relative to a clock edge.

Clock: [get_clocks TS_clock]

Objects (ports): [get_ports {sw[0] sw[1] sw[2] sw[3] sw[4] sw[5] sw[6] sw[7]}]

Delay value: 0.5 ns

Delay Value Options

Delay value is relative to clock edge: rise

Delay value already includes latencies of the specified clock: None

Rise/Fall

☐ Delay value specifies rising delay

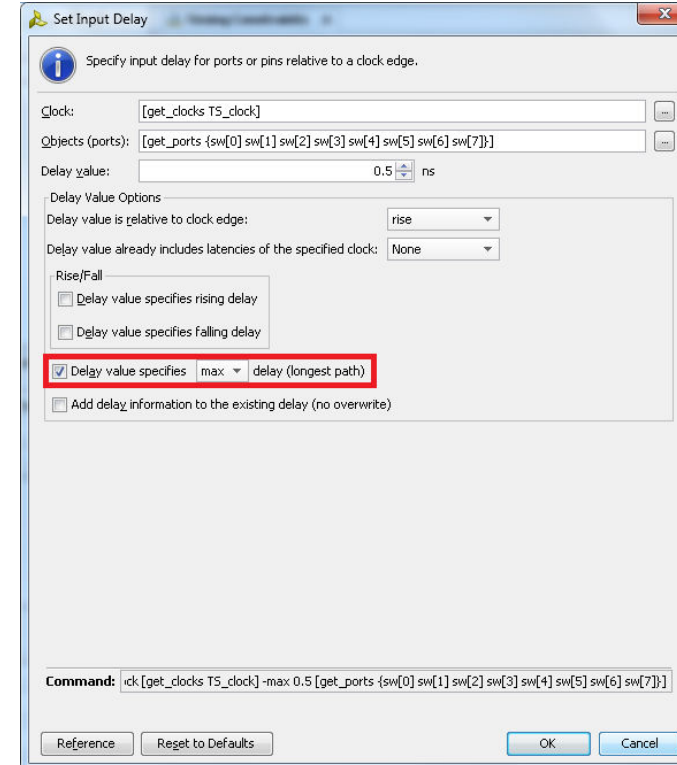
☐ Delay value specifies falling delay

☐ Delay value specifies min delay (shortest path)

☐ Add delay information to the existing delay (no overwrite)

Command: `xy -clock [get_clocks TS_clock] 0.5 [get_ports {sw[0] sw[1] sw[2] sw[3] sw[4] sw[5] sw[6] sw[7]}]`

Reference Regret to Defaults OK Cancel



Set Input Delay

Specify input delay for ports or pins relative to a clock edge.

Clock: [get_clocks TS_clock]

Objects (ports): [get_ports {sw[0] sw[1] sw[2] sw[3] sw[4] sw[5] sw[6] sw[7]}]

Delay value: 0.5 ns

Delay Value Options

Delay value is relative to clock edge: rise

Delay value already includes latencies of the specified clock: None

Rise/Fall

☐ Delay value specifies rising delay

☐ Delay value specifies falling delay

☒ Delay value specifies max delay (longest path)

☐ Add delay information to the existing delay (no overwrite)

Command: `xy -clock [get_clocks TS_clock] -max 0.5 [get_ports {sw[0] sw[1] sw[2] sw[3] sw[4] sw[5] sw[6] sw[7]}]`

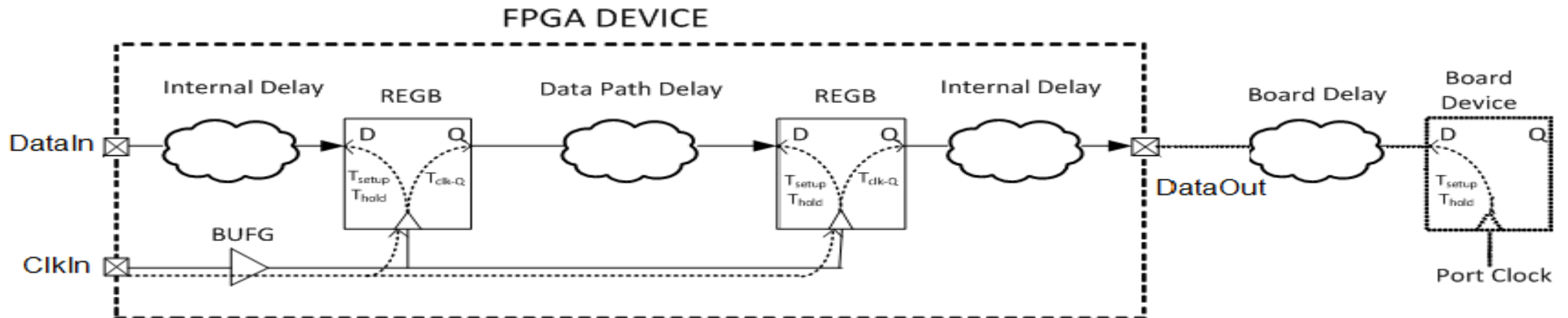
Reference Regret to Defaults OK Cancel

Temario

- Restricciones de Pin
- **Restricciones de Temporizacion**
 - Periodo
 - Retardo de entrada
 - **Retardo de salida**
 - Relojes virtuales
- Asistente de Restricciones
- Resumen

Completando el camino de temporización de la salida

- **Para completar el camino de temporización de la salida, se deben describir los elementos externos**
 - Cómo es el reloj utilizado en el dispositivo externo
 - El retardo entre el reloj del dispositivo externo y la salida de la FPGA
 - Incluye el tiempo de setup (estabilización de señal de entrada antes del flanco de reloj en el dispositivo externo) y el retardo por el ruteo en la placa (board delay)



Comando set_output_delay

➤ El comando `set_output_delay` provee la información necesaria para completar el camino de temporización de salida

`-set_output_delay -clock <clock_name> <delay> <objects>`

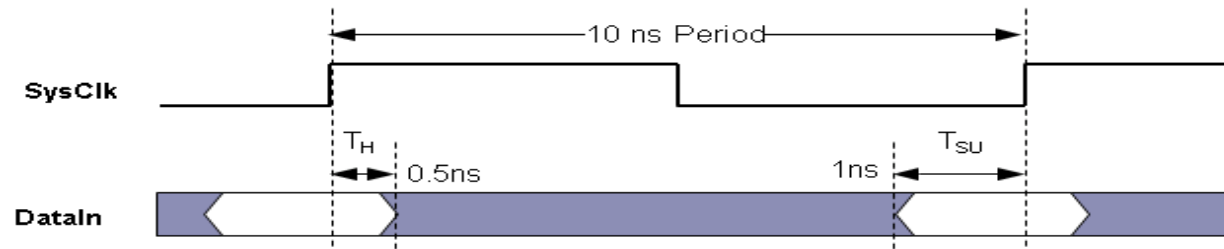
- `<clock_name>` es el nombre del reloj utilizado por el dispositivo externo
 - Puede ser un reloj real o virtual
 - Puede ser el nombre de un reloj, no es necesario que sea un objeto reloj, aunque también puede serlo
- `<objects>` es la lista de objetos a los cuales se les asigna esta información
 - Usualmente un conjunto de puertos de salida
 - Se lo suele utilizar junto con el comando `get_ports` o el comando `all_inputs`
- `<delay>` es el retardo desde los objetos `<objects>` hasta `<clock_name>`
 - Incluye los retardos internos del dispositivo externo y el retardo de propagación de la placa

Requerimientos de estabilización y retención del dispositivo externo (External Setup and Hold)

➤ Los dispositivos externos tienen tiempos de estabilización y retención propios

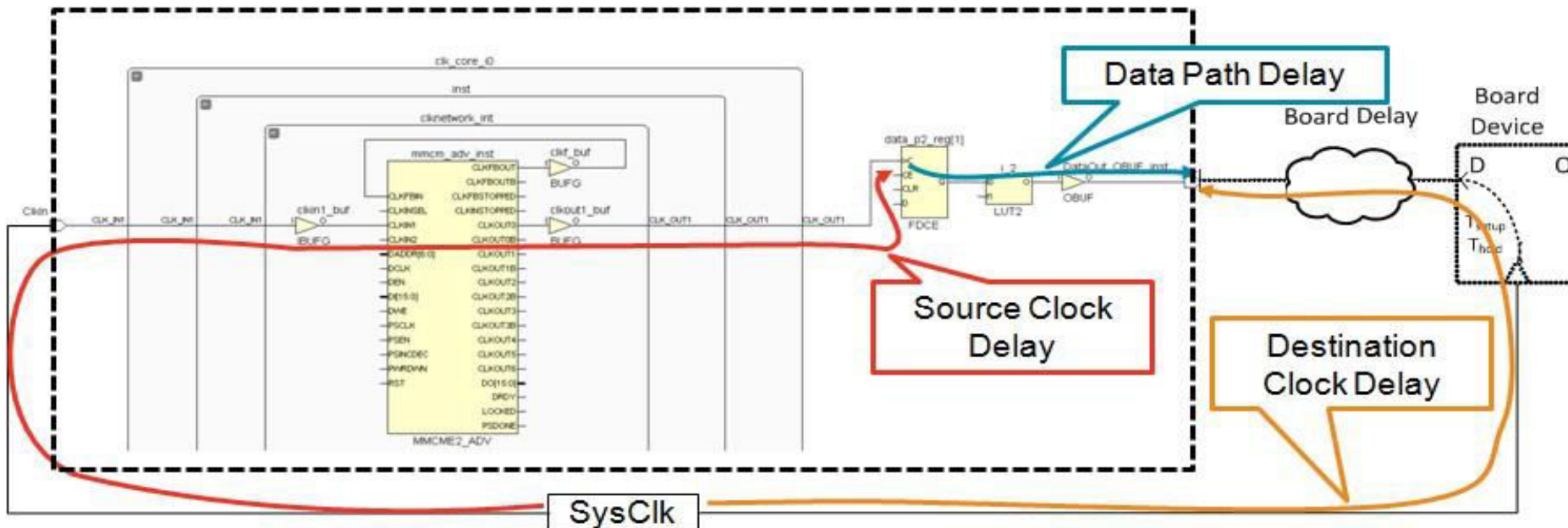
- set_output_delay -max especifica el tiempo de estabilización (setup time)
- set_output_delay -min especifica el tiempo de retención (hold time), se especifica como un número negativo

```
create_clock -name SysClk -period 10 [get_ports ClkIn]
set_output_delay -clock SysClk 1 [get_ports DataIn]
set_output_delay -clock SysClk -min -0.5 [get_ports DataIn]
```



Camino de temporización de la salida

- El camino de temporización de salida se descompone en tres partes
 - Data path delay: tiempo de propagación en el puerto de la FPGA
 - Destination clock delay: tiempo de propagación del reloj del dispositivo externo
 - Source clock delay: tiempo de propagación del reloj de la FPGA



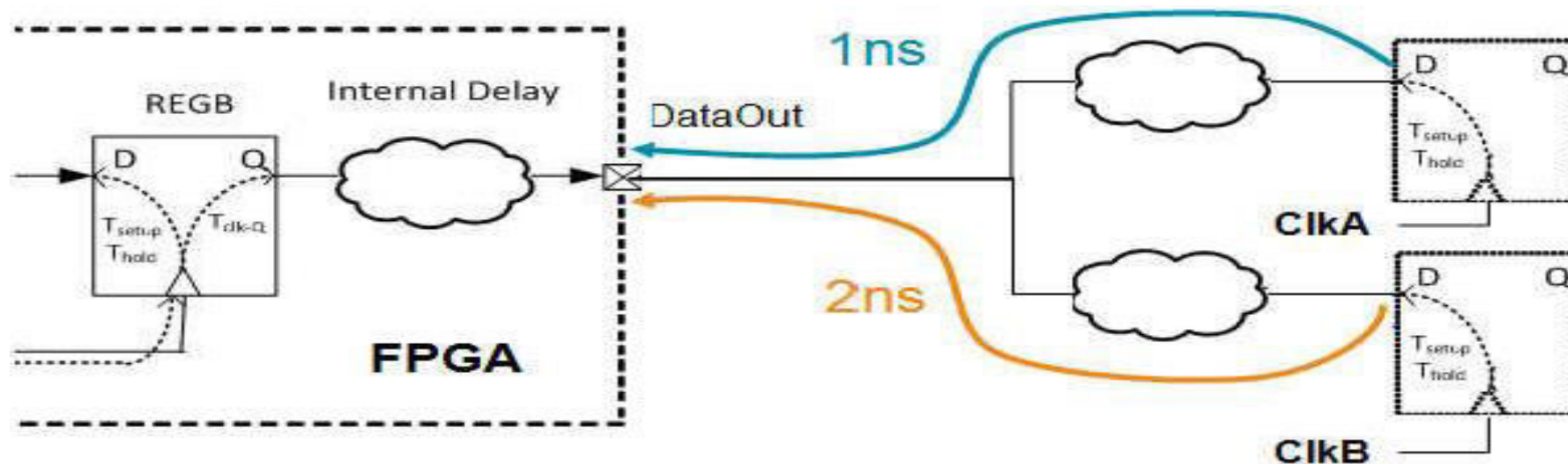
Distintos retardos de salida en el mismo puerto

➤ Una salida puede tener varios comandos `set_output_delay` asociados, para modelar distintos caminos de señal

- Se utiliza la opción `-add_delay`
- Esto implica tener distintos caminos de temporización

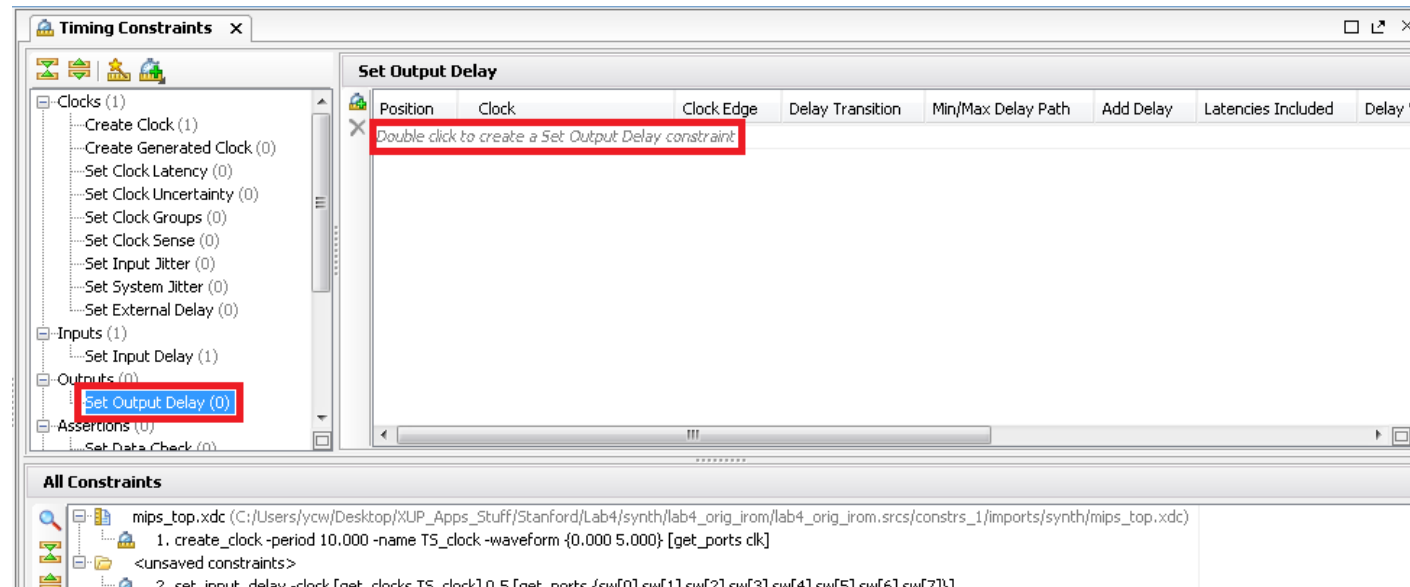
```
set_output_delay -clock ClkA 1 [get_ports DataOut]
```

```
set_output_delay -clock ClkB 2 [get_ports DataOut] -add_delay
```



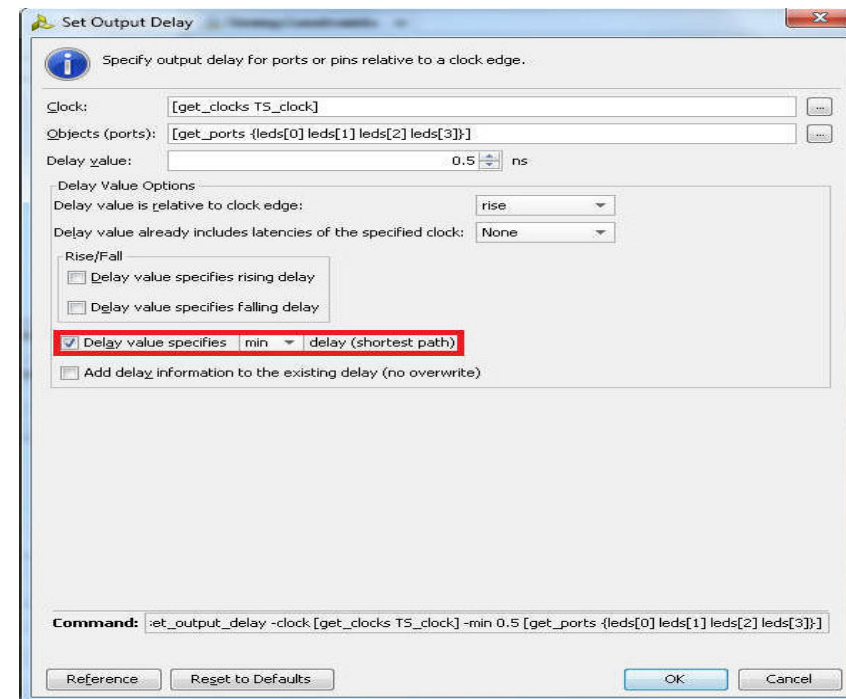
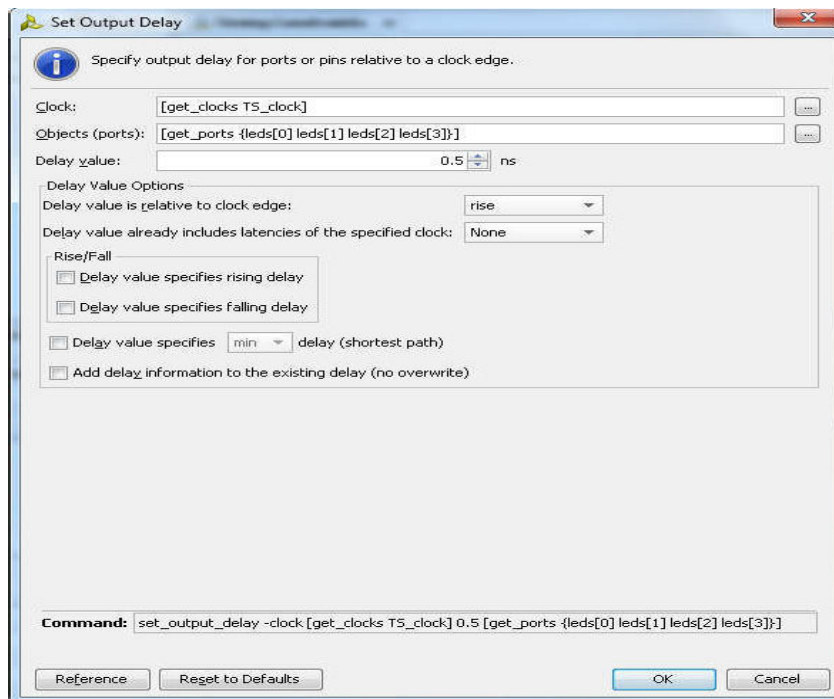
Crear retardos de salida usando la interfaz gráfica

- La ventana **Timing Constraint** se abre usando la opción del menu Window -> Timing Constraints
 - El retardo se crea dando doble click en la opción **Set Output Delay**, o en una nueva fila de la tabla **Set Output Delay**
- También se puede crear a través del asistente de restricciones (Constraints Wizard)



Asistente Set Output Delay

- Se establecen restricciones separadas para los valores máximos y mínimos



Temario

- Restricciones de Pin
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - **Relojes virtuales**
- Asistente de Restricciones
- Resumen

Relojes para los retardos de entrada y salida

- **Los relojes especificados en los comandos `set_input_delay` y `set_output_delay` pueden ser cualquier reloj definido**
 - Puede ser un reloj creado manualmente y asociado a una entrada de reloj de la FPGA
 - Puede ser un reloj derivado de uno generado dentro de la FPGA
 - Se puede hacer, pero no suele ser útil, salvo que la FPGA genere la temporización de los dispositivos externos
- **Algunas veces el reloj necesario no se ha definido aún**
 - Los relojes virtuales pueden ser creados con el solo propósito de especificar retardos de entrada y salida

Crear relojes virtuales

- **Se crean también utilizando el comando Tcl** `create_clock`
 - No se le asigna ningún objeto asociado
 - `create_clock -name <name> -period <period>`
 - `<period>` es el periodo del reloj
 - `<name>` es el nombre del reloj
 - Se puede usar la opción `-waveform`
- **Se puede especificar el jitter con el comando** `set_input_jitter`
- **Se puede especificar la latencia con el comando** `set_clock_latency -source`
- **Los relojes virtuales se gestionan igual que los otros relojes**
 - Se pueden ver con el comando `report_clocks`
 - Se pueden acceder con el comando `get_clocks`

Temario

- Restricciones de Pin
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- **Asistente de Restricciones**
- Resumen

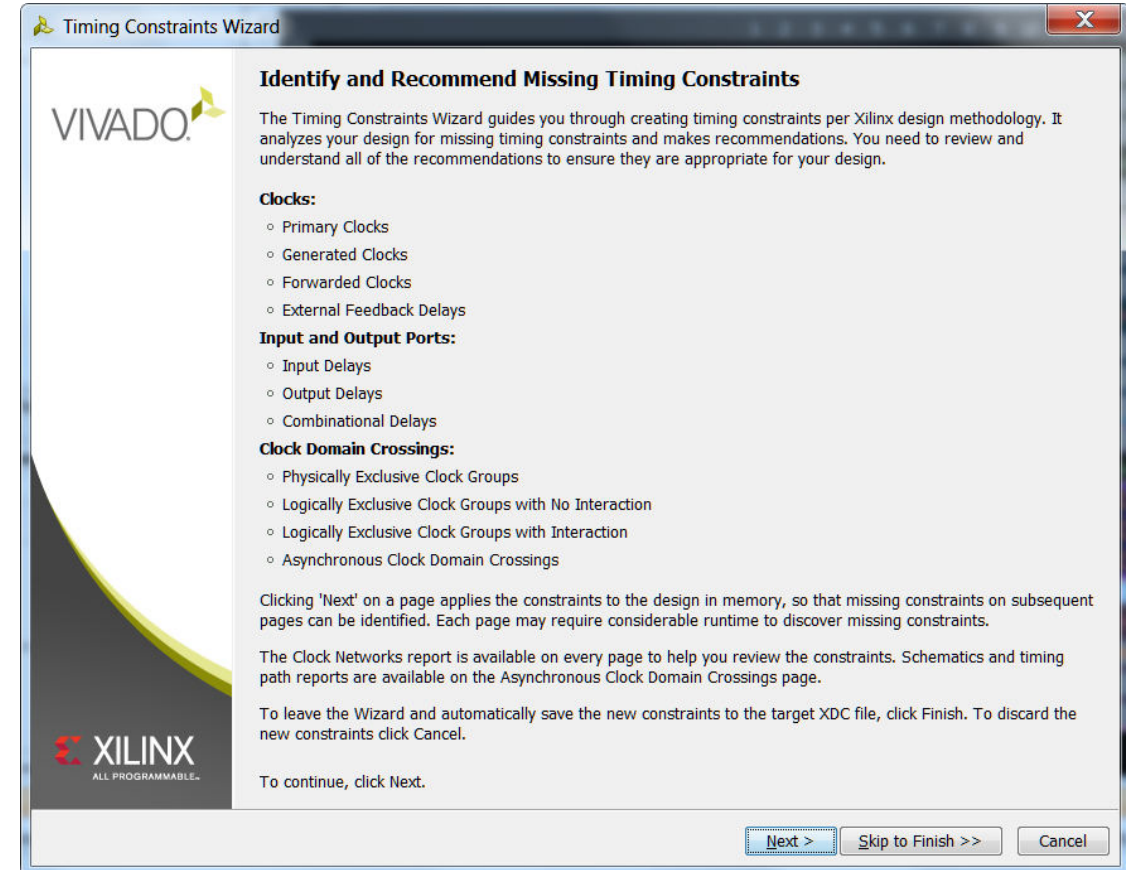
Asistente de restricciones (Constraints Wizard)

Sólo puede ejecutar después del proceso de síntesis o de implementación

- Permite a Vivado identificar y sugerir restricciones de temporización
- Las restricciones se establecen en el archivo XDC a través del editor de restricciones temporales
- No es mandatorio pero es altamente recomendable su uso para verificar que no falten definir restricciones o comprobar las restricciones establecidas

Flexibilidad

- No es obligatorio aceptar las restricciones ropuestas
- El asistente se puede ejecutar aún si ya hay restricciones definidas en el archivo XDC

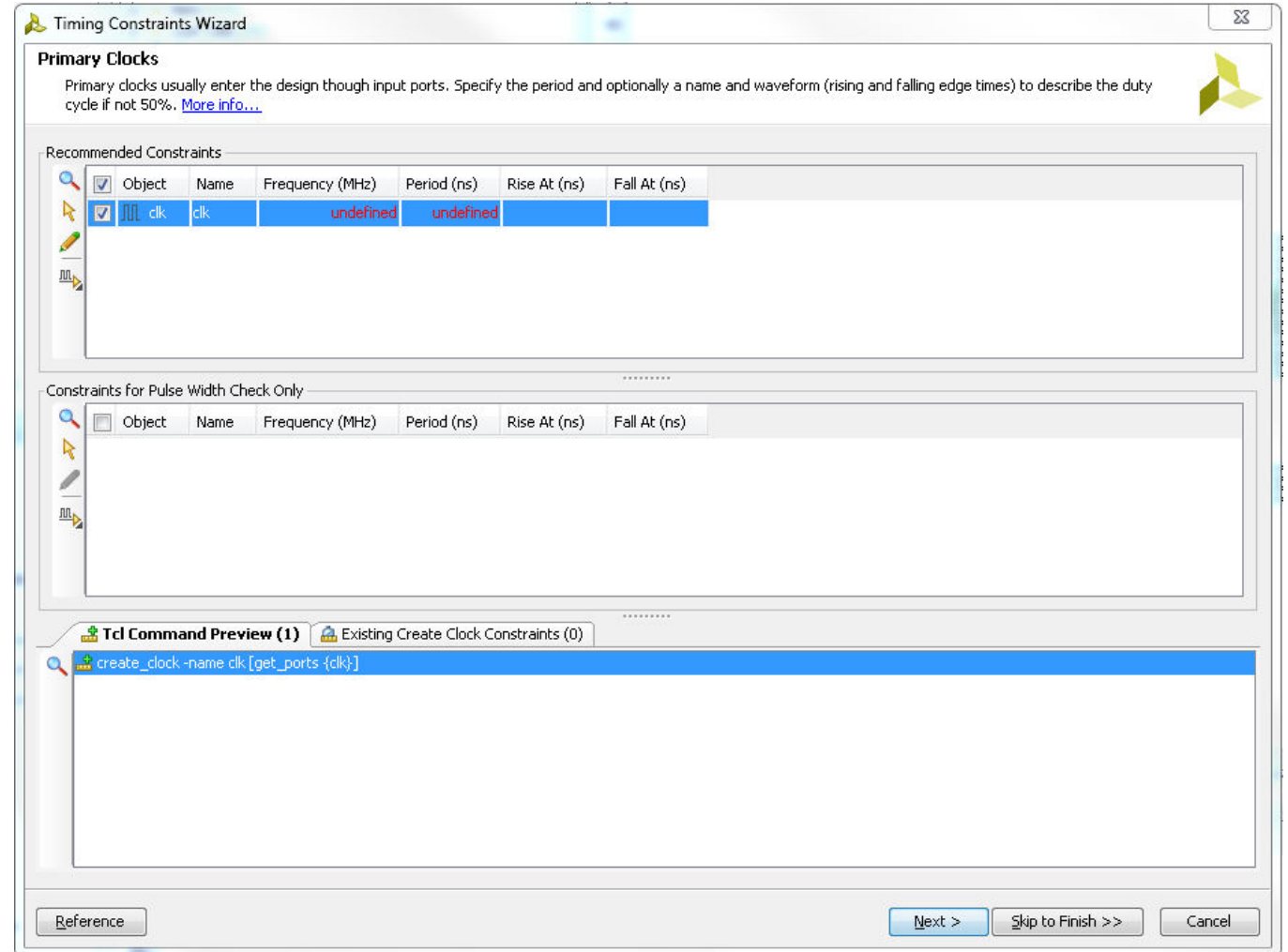


Reloj Principal

Define la forma de onda del reloj

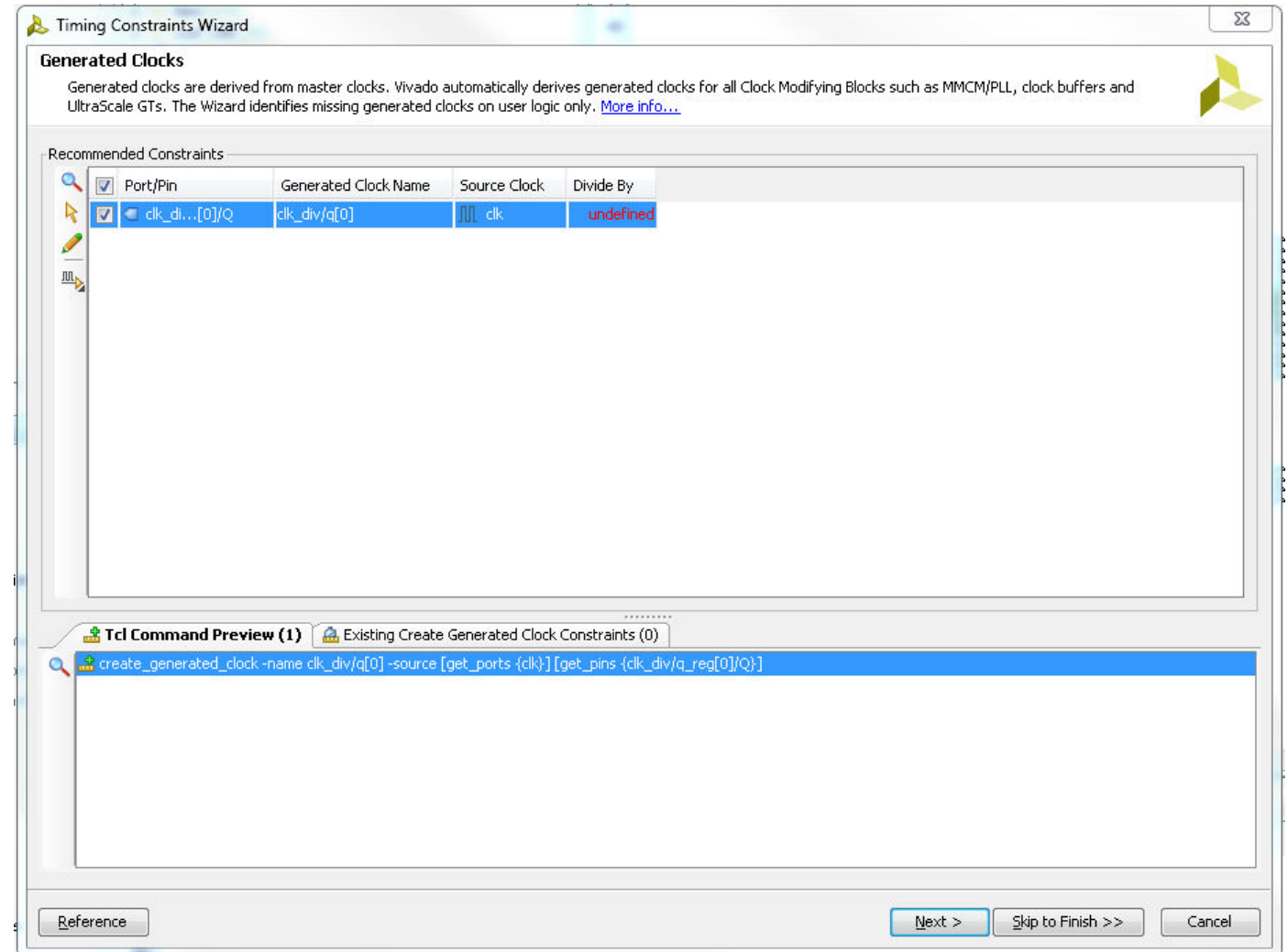
- Objecto
- Nombre
- Frecuencia (MHz)
- Periodo (ns)
- Tiempo de flanco ascendente (ns)
- Tiempo de flanco descendente (ns)

Los comandos Tcl a aplicar se pueden ver en la ventana de la parte inferior del asistente



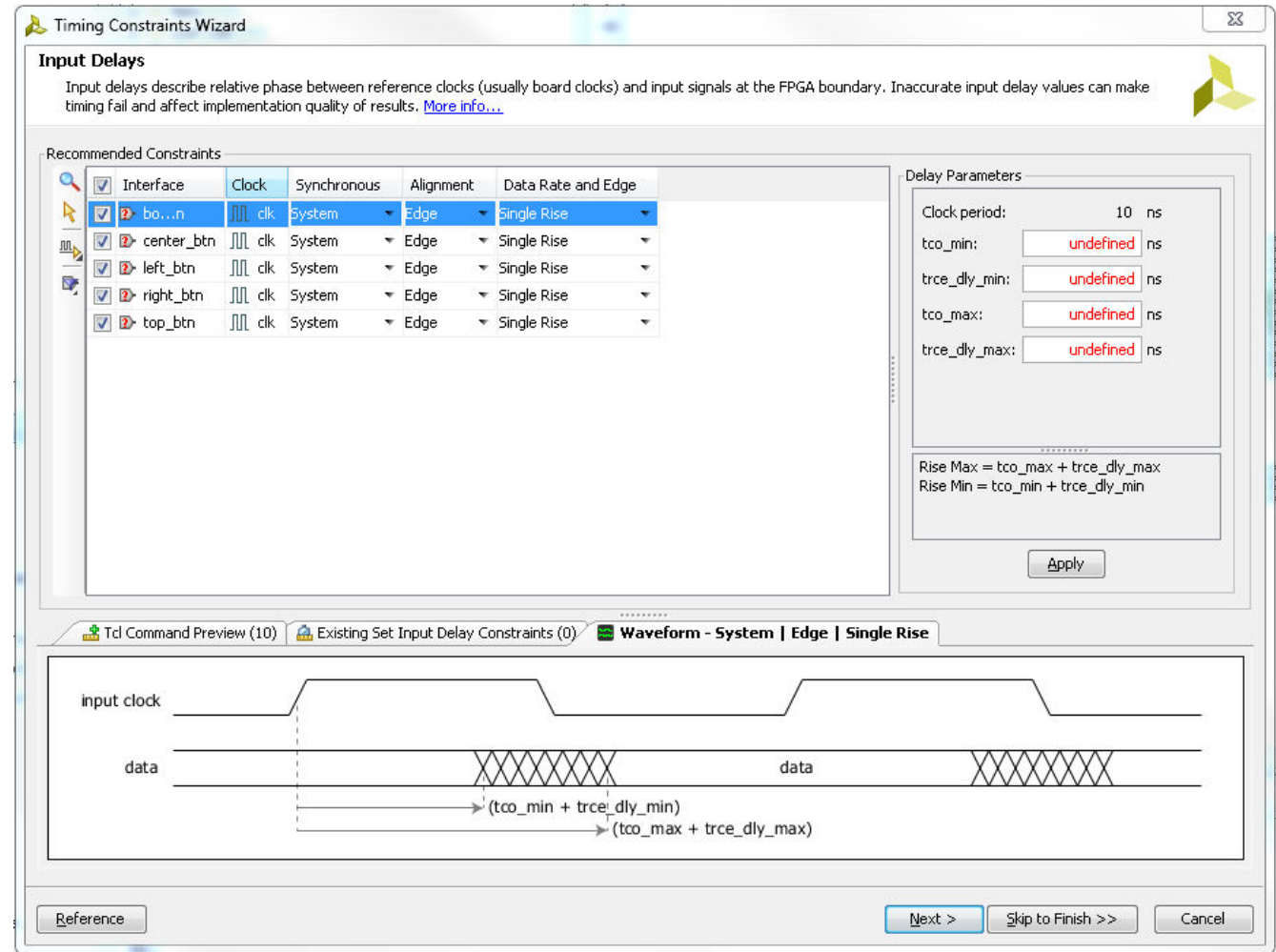
Relojes asociados

- Se presentan los relojes derivados del reloj principal
- Estos relojes son derivados de la fuente del reloj principal
 - Bloques MMCM/PLL
 - Buffers de relojes externos



Retardos de Entrada

- **Define en forma gráfica los retardos de entrada**
 - Se identifican todas las señales que entran a la FPGA
- **Se definen los parámetros del retardo**
 - tco_min
 - trce_dly_min
 - tco_max
 - trce_dly_max

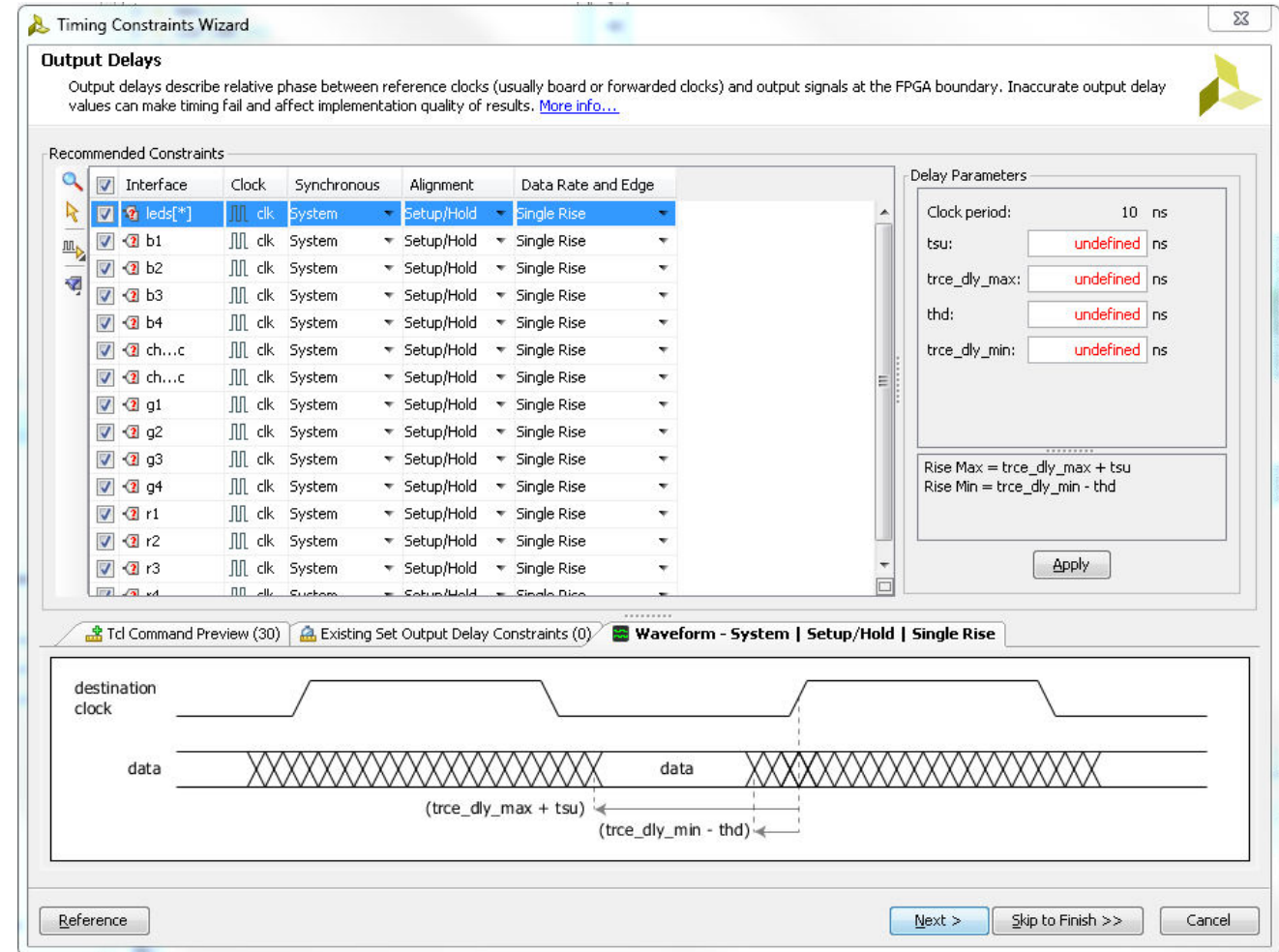


Retardos de Salida

- Define en forma gráfica los retardos de salida
 - Se identifican todas las señales que salen de la FPGA

- Se definen los parámetros del retardo

- tsu
- trce_dly_min
- thd
- trce_dly_max



Otras restricciones

Forwarded Clocks

- Se aplica a señales de salida que se utilizaran como señales de reloj en dispositivos externos

External Feedback Delays

- Se aplica si el lazo de realimentación del bloque MMCM/PLL se rutea fuera de la FPGA y se lo vuelve a ingresar a través de puertos de entrada o salida

Cobinatorial Delay

- Se aplica a caminos que atraviesan la FPGA sin pasar por elementos secuenciales

Physically Exclusive Clock Groups

- Define relojes que no existen simultáneamente en el sistema (cuando se hace reconfiguración parcial)

Logically Exclusive Clock Groups with No Interaction

- Define relojes que no tienen caminos en común

Logically Exclusive Clock Groups with Interaction

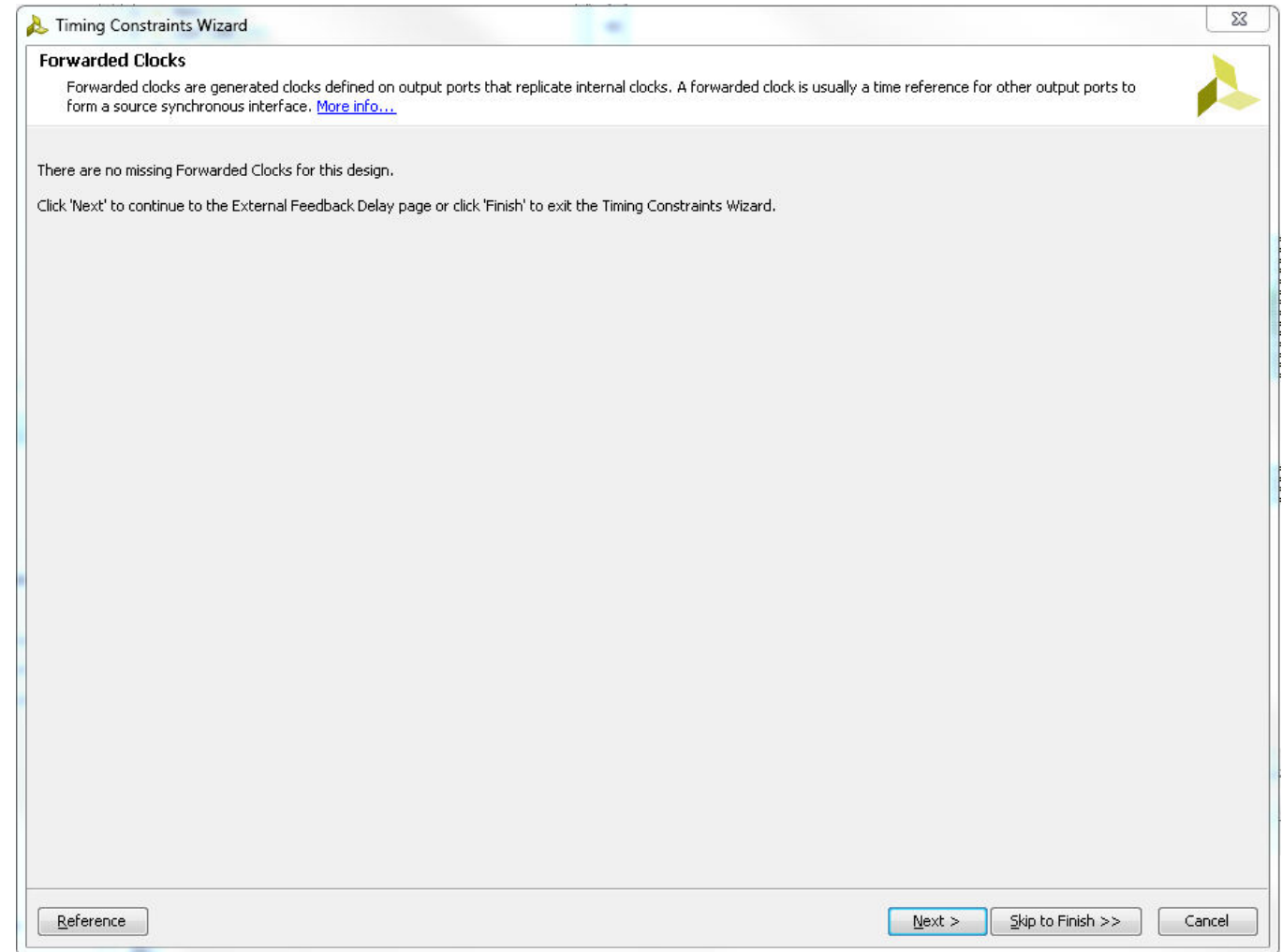
- Define relojes que tienen caminos de señal en común

Asynchronous Clock Domain Crossings

- Define caminos para transferir datos entre dominios de reloj que no tienen una relación de frecuencia/fase establecida.

Restricciones no aplicables

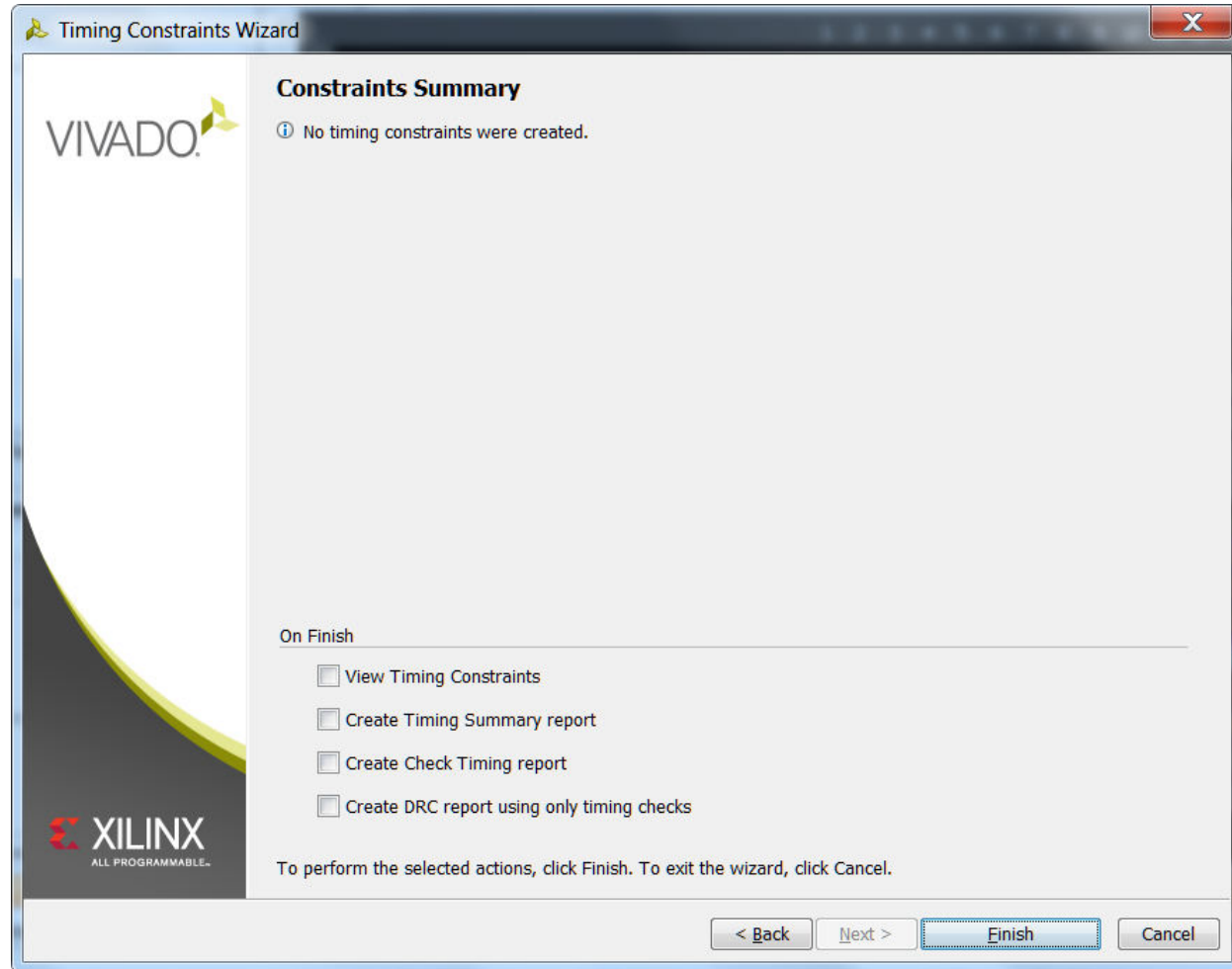
- Cuando las restricciones no son aplicables al sistema, no aparecen sus opciones



Sumario de restricciones

➤ **La última pantalla del asistente muestra las restricciones que se agregarán al archivo XDC**

- Las restricciones generadas no se aplican inmediatamente al archivo XDC
- Se pueden hacer otras operaciones luego de finalizar el asistente
 - Ver las restricciones
 - Crear un reporte Timing Summary
 - Crear un reporte Check Timing
 - Crear un reporte DRC usando sólo chequeos de tiempos



Temario

- Restricciones de Pin
- Restricciones de Temporizacion
 - Periodo
 - Retardo de entrada
 - Retardo de salida
 - Relojes virtuales
- Asistente de Restricciones
- **Resumen**

Resumen

- La herramienta I/O Planner se puede utilizar para asignar pines en forma gráfica
- La herramienta I/O Planning se utiliza al principio del proyecto para agregar información a los reportes y análisis
 - Chequeos DRC
 - Análisis de ruido SSO
 - Verificar las reglas de los bancos de I/O
- Los caminos de temporización comienzan en elementos sincronizados y terminan en elementos sincronizados
- Los caminos de temporización se analizan para verificar los tiempo se establecimiento y retención
- Los relojes se crean con el comando Tcl `create_clock`

Resumen

- Los comandos `set_input_delay` y `set_output_delay` permiten configurar los parámetros de los caminos de temporización

`set_input_delay` especifica el retardo de entrada

`set_output_delay` especifica el retardo de salida

`--max` es el tiempo de establecimiento

`--min` es el tiempo de retencion

- Los puertos tienen valores `-min` y `-max` por defecto
- Se pueden agregar retardos adicionales a un puerto mediante la opcion `-add_delay`
- Los retardos de I/O se pueden especificar también relativos a relojes virtuales
- El asistente de restricciones permite crear las restricciones en forma gráfica