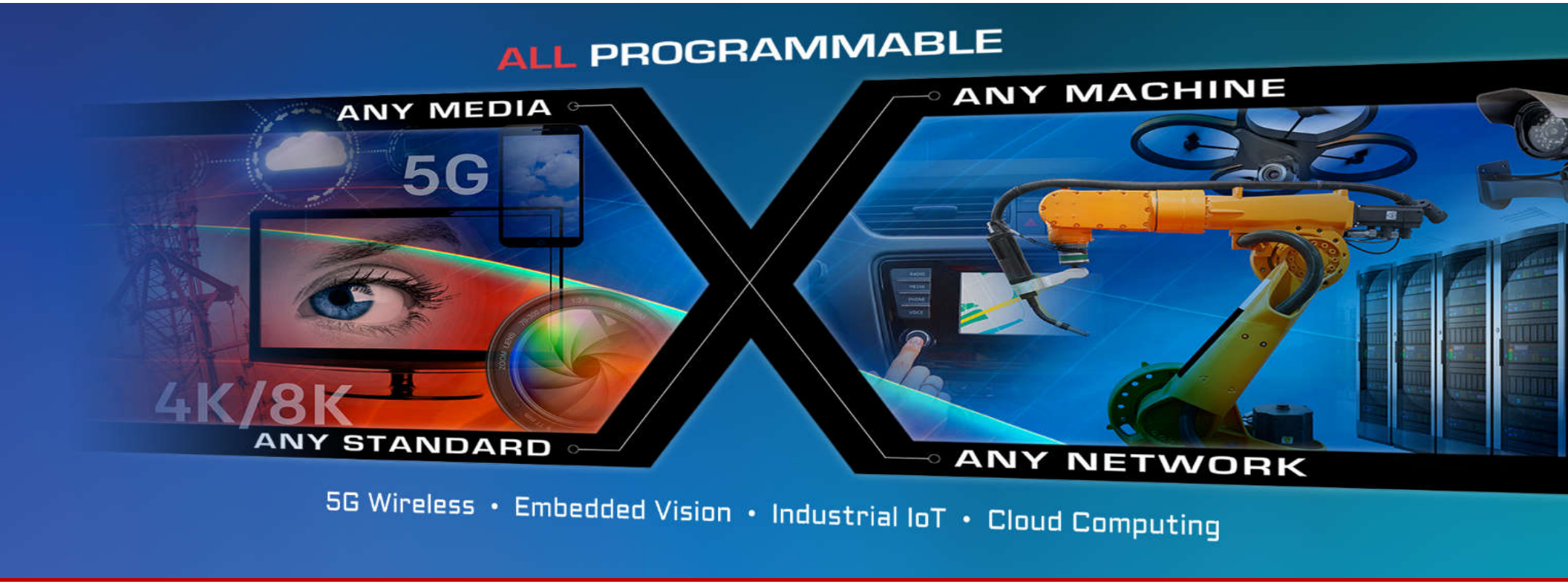


XILINX
ALL PROGRAMMABLE™

Implementacion y analisis estático de temporizacion (Static Timming Analysis – STA)

Contenido

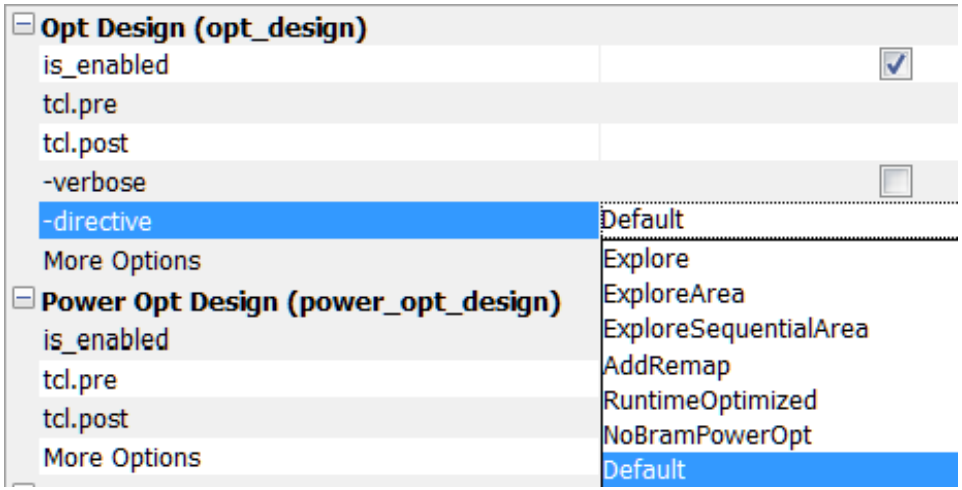
- Implementacion completa de un sistema
- Generacion de reportes de implementacion
- Descripcion del analisis estatico de temporizacion y los caminos estaticos de temporizacion
- Descripcion de las verificaciones de tiempos de estabilizacion (setup) y retencion (hold)
- Analisis de la relacion entre la frecuencia de los relojes y la verificacion de tiempos
- Generacion de reportes para hacer analisis estatico de temporizacion
- Usu del reporte *Timing Summary* para verificar el cumplimiento de las restricciones temporales
- Generacion de un archivo de configuracion y verificacion de su funcionalidad en el hardware

Temario

- **Implementacion**
- Reportes
- Analisis estático de temporizacion
- Generacion del archivo de configuracion y verificacion en el hardware
- Resumen

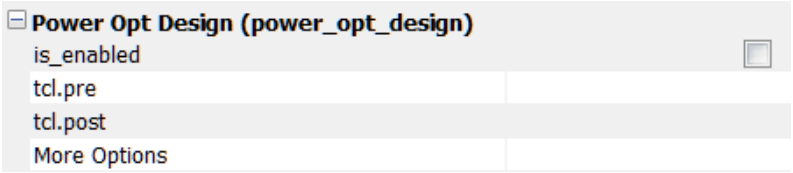
opt_design: Optimizacion de la Logica

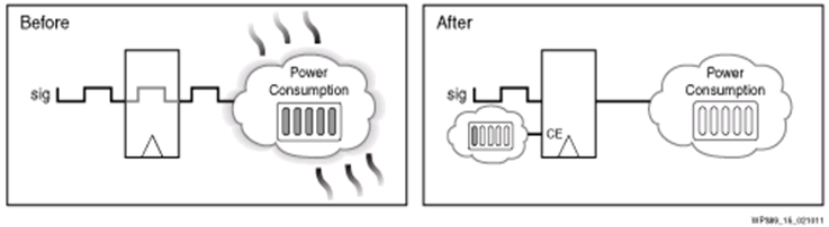
- **Busca una netlist optima para ubicacion y ruteo**
  - Se hace una nueva optimizacion de la lógica en la netlist completa a partir del RTL sintetizado y la IP agregada
    - Realiza recortes de la lógica no utilizada en la netlist de entrada
    - Busca un tiempo de propagacion constante
    - Recalcula las ecuaciones de las LUTs
- **Es opcional en desarrollos independientes (aunque es recomendable)**
  - Por ejemplo: elimina la logica asociada a bancos no usados cuando se utiliza la IP *MIG* (Memory Interface Generator) (bloques phaser/iodelay/….)
- **Se ejecuta automaticamente en desarrollos basados en proyectos**



power_opt: Optimizacion del consumo

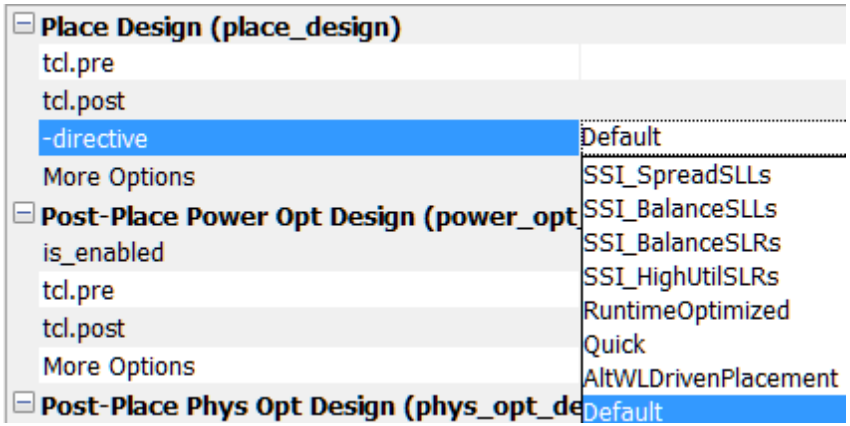
- La optimizacion del consumo incluye realizar habilitaciones de reloj (clock gating), de manera de lograr reducciones del consumo dinamico de hasta un 30%
- Las optimizaciones de habilitacion de reloj se realizan a nivel del sistema completo y no realizan cambios en la logica o las señales de reloj definidas
- Esta técnica tambien se aplica sobre los bloques IP





place_design

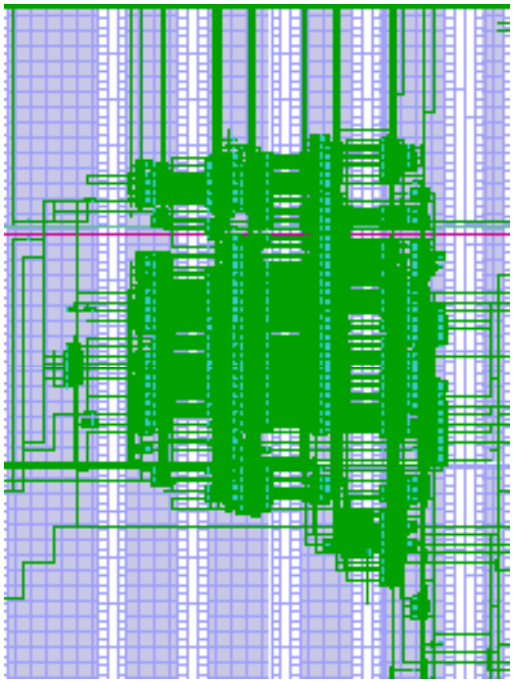
- **Desarrollos basados en proyectos**
  - Se ejecuta en la etapa de implementacion
- **Desarrollos independientes**
  - Comando Tcl *place_design*
- **Puede usar un archivo XDEF para ubicaciones iniciales**




```
place_design

Description:
Automatically place ports and leaf-level instances

Syntax:
place_design  [-directive <arg>] [-no_timing_driven] [-timing_summary]
              [-unplace] [-post_place_opt] [-quiet] [-verbose]

Usage:
  Name                  Description
  --------------------------------
  [-directive]          Mode of behavior (directive) for this command. Please
                        refer to Arguments section of this help for values for
                        this option.
                        Default: Default
  [-no_timing_driven]   Do not run in timing driven mode
  [-timing_summary]     Enable accurate post-placement timing summary.
  [-unplace]            Unplace all the instances which are not locked by
                        Constraints.
  [-post_place_opt]     Run only the post commit optimizer
  [-quiet]              Ignore command errors
  [-verbose]            Suspend message limits during command execution
```

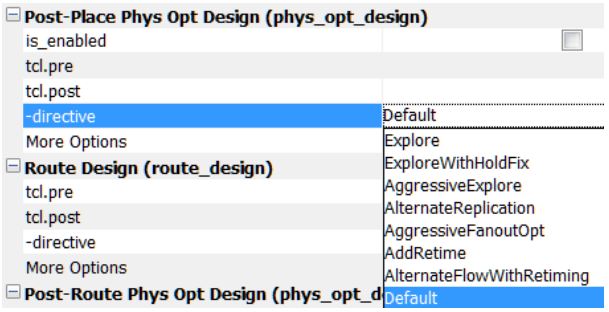
Ubicacion

- **Etapas de la Ubicacion**
  - Chequeo DRC Pre-ubicacion
    - Verifica conexiones no ruteables, restricciones fisicas validas y sobreutilizacion de recursos
  - Ubicacion
    - Ubicacion de I/O y relojes
- **Ubicacion de Macros y bloques basicos**
  - Comandadas por temporizacion y por recorrido de señales
  - Busca evitar el congestionamiento en el ruteo
- **Ubicacion detallada**
  - Establece la ubicacion de flip-flops, LUTs, etc.
  - Empaqueta los bloques en Slices
- **Optimizaciones Post-ubicacion detallada**



phys_opt_design:

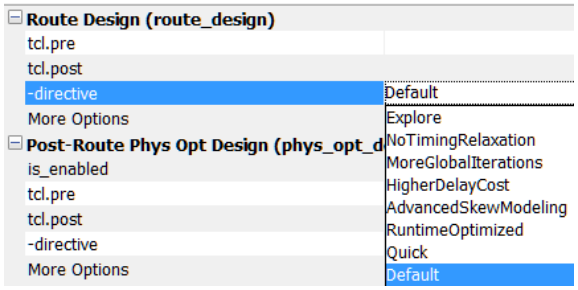
- **Optimizacion Post-ubicacion comandada por temporizacion**
  - Copia y ubica amplificadores para redes con alto fanout y retardo negativo
    - La copia solo se hace si mejora la temporizacion
    - El retardo debe estar dentro de un limite especifico
      - Alrededor del 10% del worst negative slack (WNS)
- **Disponible en la interface grafica**
  - `phys_opt_design`
  - Se ejecuta entre *`place_design`* y *`route_design`*




```
phys_opt_design

Description:
Optimize the current placed netlist.

Syntax:
phys_opt_design  [-fanout_opt] [-placement_opt] [-routing_opt] [-rewire]
                 [-critical_cell_opt] [-dsp_register_opt] [-bram_register_opt]
                 [-bram_enable_opt] [-shift_register_opt] [-hold_fix] [-retime]
                 [-force_replication_on_nets <args>] [-directive <arg>]
                 [-critical_pin_opt] [-clock_opt] [-quiet] [-verbose]

Usage:
  Name                           Description
  ----------------------------------------
  [-fanout_opt]                  Do cell-duplication based optimization on
                                 high-fanout timing critical nets
  [-placement_opt]               Do placement based optimization on timing
                                 critical nets
  [-routing_opt]                 Do routing based optimization on timing
                                 critical nets
  [-rewire]                      Do rewiring optimization
  [-critical_cell_opt]           Do cell-duplication based optimization on
                                 timing critical nets
  [-dsp_register_opt]            Do DSP register optimization
  [-bram_register_opt]           Do BRAM register optimization
  [-bram_enable_opt]             Do BRAM enable optimization
  [-shift_register_opt]          Do Shift register optimization
  [-hold_fix]                    Attempt to improve slack of high hold
                                 violators
  [-retime]                      Do retiming optimization
  [-force_replication_on_nets]   Force replication optimization on nets
  [-directive]                   Mode of behavior (directive) for this
                                 command. Please refer to Arguments section of
                                 this help for values for this option
                                 Default: Default
  [-critical_pin_opt]            Do pin-swapping based optimization on timing
                                 critical nets
  [-clock_opt]                   Do clock skew optimization in post-route
                                 optimization
  [-quiet]                       Ignore command errors
  [-verbose]                     Suspend message limits during command
                                 execution
```

route_design:

- **Desarrollos basados en proyectos**
  - Se incluye en la etapa de implementacion
- **Desarrollos independientes**
  - Comando Tcl *route_design*
- **Reporte de ruteo**
  - Comando Tcl *report_route_status*
  - Verifica el ruteo de redes individuales
    - Totalmente ruteadas: lista los recursos de ruteo
    - Listado de Ruteos fallidos




```
route_design

Description:
Route the current design

Syntax:
route_design  [-unroute] [-release_memory] [-nets <args>] [-physical_nets]
              [-pin <arg>] [-directive <arg>] [-tns_cleanup]
              [-no_timing_driven] [-preserve] [-delay] -max_delay <arg>
              -min_delay <arg> [-timing_summary] [-quiet] [-verbose]

Usage:
  Name                  Description
  ------------------------------
  [-unroute]            Unroute whole design or the given nets/pins if used
                        with -nets or -pin.
  [-release_memory]     Release Router memory. Not compatible with any other
                        options.
  [-nets]               Operate on the given nets.
  [-physical_nets]      Operate on all physical nets.
  [-pin]                Operate on the given pin.
  [-directive]          Mode of behavior (directive) for this command. Please
                        refer to Arguments section of this help for values for
                        this option.
                        Default: Default
  [-tns_cleanup]        Do optional TNS clean up.
  [-no_timing_driven]   Do not run in timing driven mode.
  [-preserve]           Preserve existing routing.
  [-delay]              Use with -nets or -pin option to route in delay driven
                        mode.
  -max_delay            Use with -pin option to specify the max_delay
                        constraint on the pin.When specified -delay is
                        implicit.
  -min_delay            Use with -pin option to specify the max_delay
                        constraint on the pin.When specified -delay is
                        implicit.
  [-timing_summary]     Enable post-router signoff timing summary.
  [-quiet]              Ignore command errors
  [-verbose]            Suspend message limits during command execution
```

Routeo

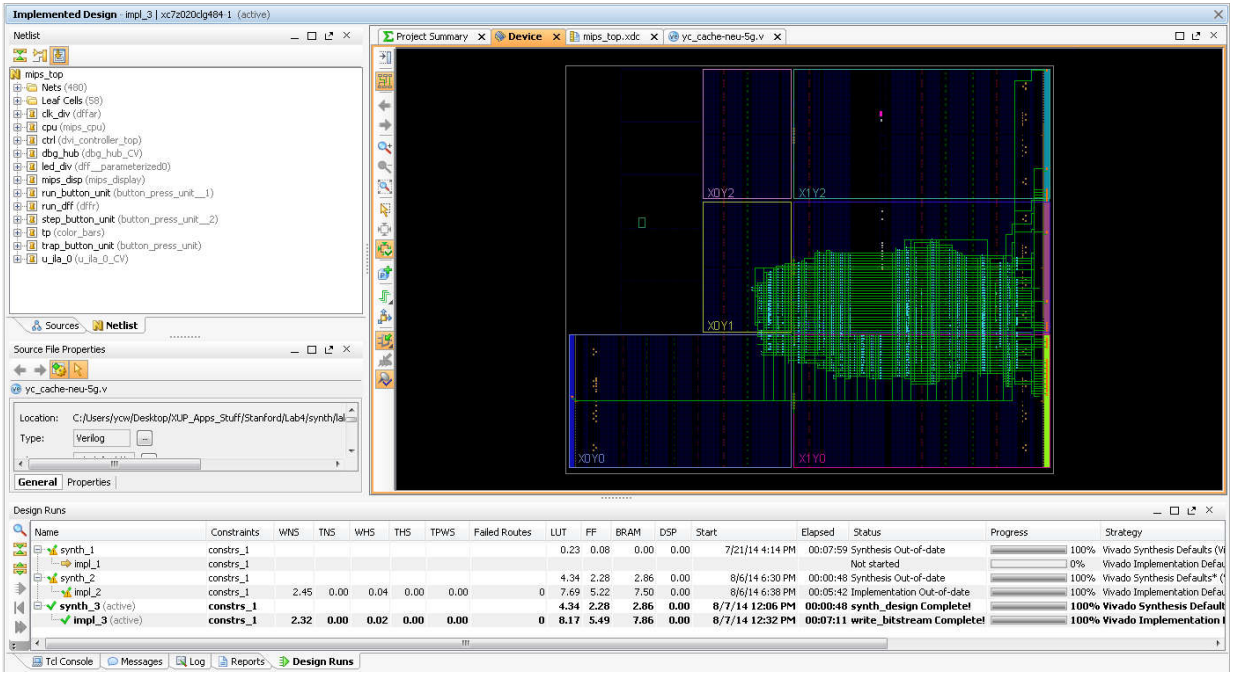
- **Etapas del ruteo**
  - Ruteo de redes especiales y señales de reloj
  - Ruteo comandado por temporizacion
    - Priorizado por tiempos de setup/hold
    - Intercambio de entradas en las LUTs para mejorar los caminos criticos
    - Corrige dentro de ciertos limites las violaciones a los tiempos de setup/hold violations
- **Dos modos**
  - Normal (por defecto): El ruteo comienza con los componentes ubicados y se intenta rutear todas las redes
  - Re-Entrante (solo en diseños independientes): se puede rerutear y mantener fijo el ruteo de redes especificas

Temario

- Implementacion
- **Reportes**
- Analisis estático de temporizacion
- Generacion del archivo de configuracion y verificacion en el hardware
- Resumen

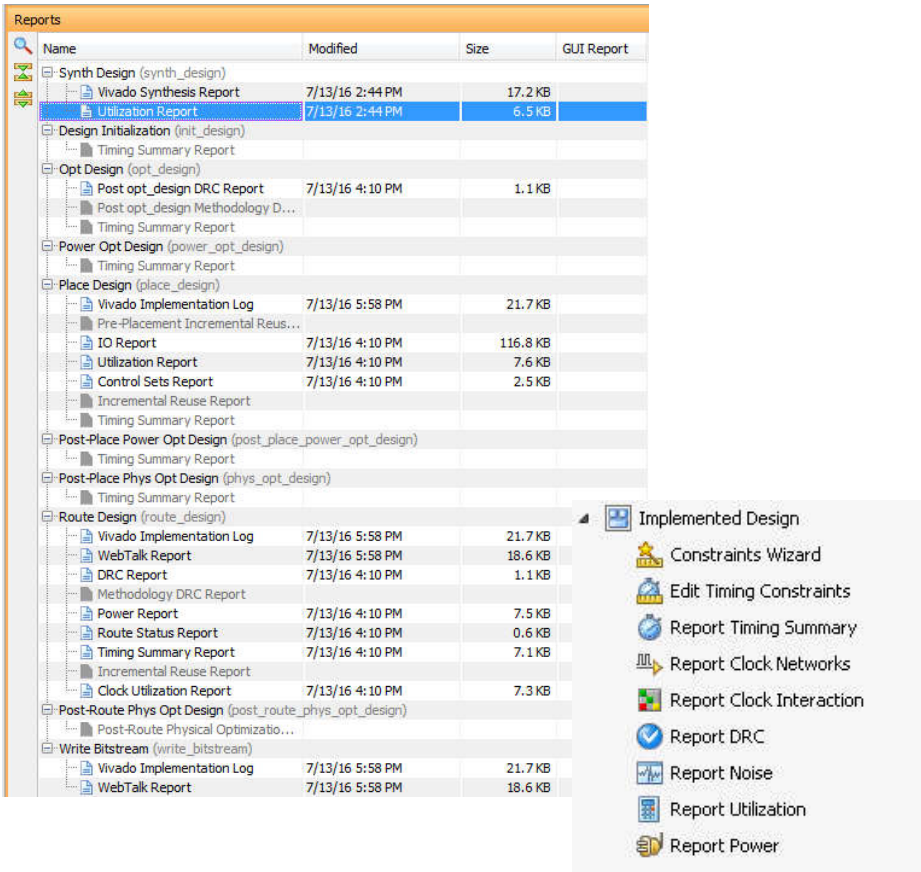
Luego de la Implementacion

- **Las pestañas de Fuentes (Sources) y Redes (Netlist) no cambian**
  - A medida que se selecciona un recurso, se muestra su ubicacion en el dispositivo físico (FPGA)
- **Los resultados de temporizacion se puedne ver en el reporte *Timing Summary***
- **Al seleccionar cada red, la ubicacion de la lógica y el ruteo se muestra en la vista del dispositivo**
  - Esta forma de ver la ubicacion ayuda cuando es necesario reubicar para mejorar el analisis de temporizacion



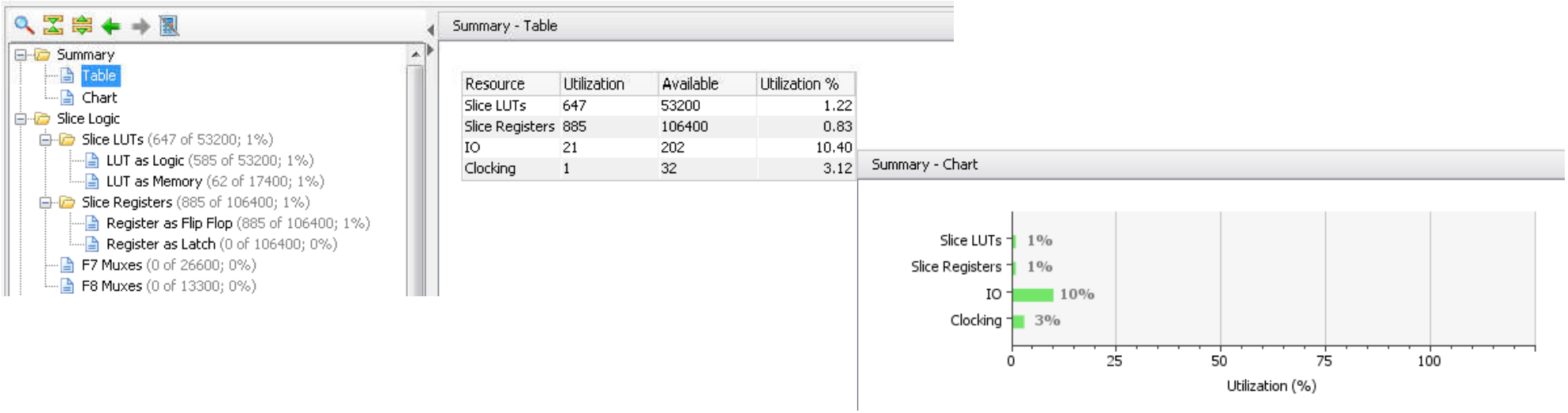
Reportes de Implementacion

- **En el menu *Flow Navigator* se muestran los reportes mas usados, mientras que la pestaña *Reports* contiene otros reportes mas detallados**
  - Reporte *Post Optimization DRC*: Enumera los chequeos de DRC en las I/O que fueron exitosos
  - Reporte *Post Power Optimization DRC*: Enumera los chequeos de DRC de consumo que fueron exitosos
  - Reporte *Place and Route Log*: Describe el proceso de implementacion y los resultados obtenidos
  - Reporte *IO*: Enumera el pinout final del sistema
  - Reporte *Clock Utilization*: Describe los recursos de reloj utilizados y la utilizacion de recursos en cada dominio de reloj
  - Reporte *Utilization*: Describe los recursos de la FPGA utilizados en formato texto
  - Reporte *Control Sets*: describe como se agruparon las señales de control



Reporte Utilization

- Presionar dos veces en la pestaña *Reports* para verlo en formato texto
- En el menu *Flow Navigator*, en la seccion *Implementation*, Presionar en el reporte **Utilization** para ver los resultados en formato tabular



Resource	Utilization	Available	Utilization %
Slice LUTs	647	53200	1.22
Slice Registers	885	106400	0.83
IO	21	202	10.40
Clocking	1	32	3.12

Reporte I/O

- **En este reporte se ve una tabla con el listado de todas las señales, sus propiedades y su ubicacion**
  - Es importante verificar la asignacion de pines, ya que las herramientas reubican todos los pines que no tienen señales asignadas. Por ejemplo, si se define un bus de 16 bits en I/O, pero solo se utilizan 12 en el sistema; los 4 no utilizados pueden ser reubicados en lugares fisicos no relacionados con los 12 utilizados.

Project Summary | Device | Utilization Report - synth_1 | IO Report - impl_1

C:/CTT-Vivado/sw_led_20142/sw_led_20142.runs/impl_1/system_wrapper_io_placed.rpt

```
+---------------+
| Total User IO |
+---------------+
|           151 |
+---------------+


2. IO Assignments by Package Pin
--------------------------------

+------------+---------------------+------------+-------------------------+------------
| Pin Number | Signal Name         | Bank Type  | Pin Name                | Use
+------------+---------------------+------------+-------------------------+------------
| A1         | FIXED_IO_mio[1]     |            | PS_MIO1_500             | BIDIR
| A2         | FIXED_IO_mio[2]     |            | PS_MIO2_500             | BIDIR
| A3         | FIXED_IO_mio[5]     |            | PS_MIO5_500             | BIDIR
| A4         | FIXED_IO_mio[6]     |            | PS_MIO6_500             | BIDIR
| A5         |                     |            | GND                     | GND
| A6         | FIXED_IO_mio[13]    |            | PS_MIO13_500            | BIDIR
| A7         | FIXED_IO_mio[18]    |            | PS_MIO18_501            | BIDIR
| A8         | FIXED_IO_mio[20]    |            | PS_MIO20_501            | BIDIR
| A9         | FIXED_IO_mio[36]    |            | PS_MIO36_501            | BIDIR
| A10        |                     |            | VCCO_MIO1_501           | VCCO
| A11        | FIXED_IO_mio[30]    |            | PS_MIO30_501            | BIDIR
| A12        | FIXED_IO_mio[28]    |            | PS_MIO28_501            | BIDIR
| A13        | FIXED_IO_mio[26]    |            | PS_MIO26_501            | BIDIR
| A14        | FIXED_IO_mio[22]    |            | PS_MIO22_501            | BIDIR
```

Reporte Clock Utilization

- **Este reporte describe los recursos de reloj utilizados en el sistema**
  - Listado de BUFG, BUFH, BUFHCE, MMCM, y un analisis por dominio de reloj

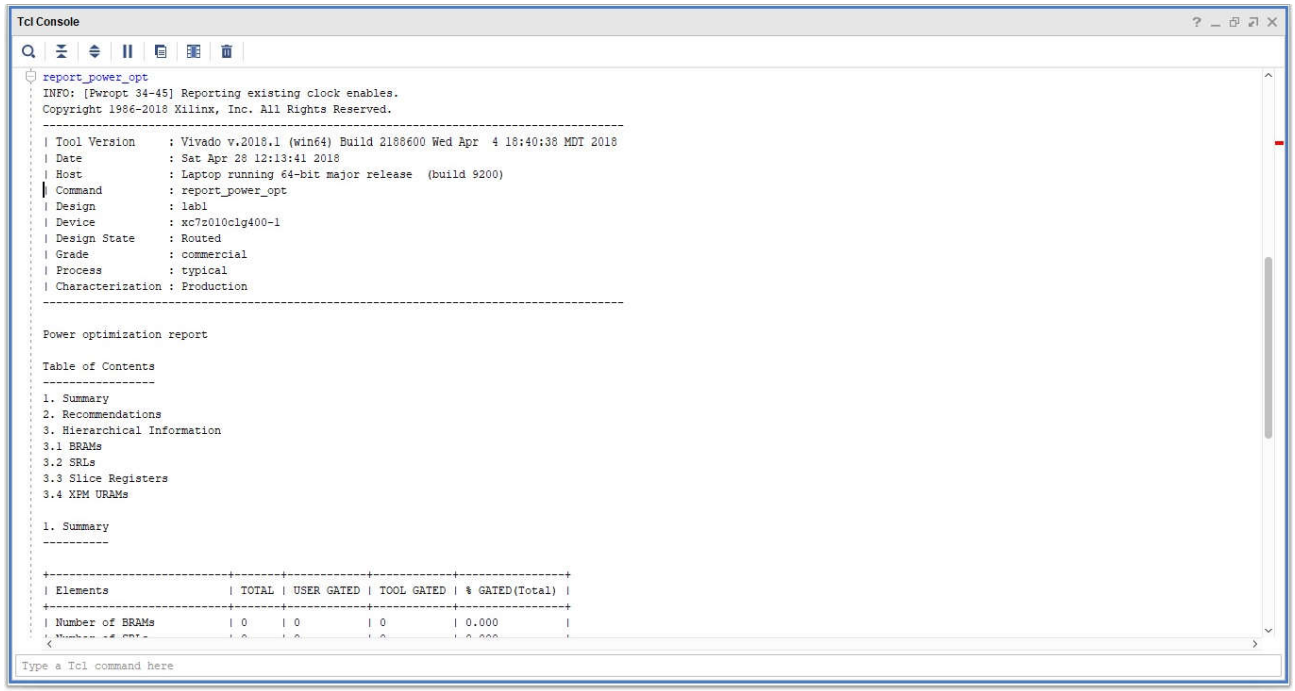
Project Summary | Device | Utilization Report - synth_1 | IO Report - impl_1 | **Clock Utilization Report - impl_1**

C:/CTT-Vivado/sw_led_20142/sw_led_20142.runs/impl_1/system_wrapper_clock_utilization_placed.rpt

```
10
11 Clock Utilization Report
12
13 Table of Contents
14 -----------------
15 1. Clock Primitive Utilization
16 2. Details of Global Clocks
17 3. Details of Regional Clocks
18 4. Details of Multi-Regional Clocks
19 5. Details of I/O Clocks
20 6. Details of Local Clocks
21 7. Clock Regions : Key Resource Utilization
22 8. Net wise resources used in clock region X0Y1
23 9. Net wise resources used in clock region X1Y1
24 10. Net wise resources used in clock region X0Y2
25 11. Net wise resources used in clock region X1Y2
26
27 1. Clock Primitive Utilization
28 ------------------------------
29
30 +-------+------+-----------+-----------+
31 | Type  | Used | Available | Num Fixed |
32 +-------+------+-----------+-----------+
33 | BUFG  |    1 |        32 |         0 |
34 | BUFH  |    0 |        72 |         0 |
35 | BUFIO |    0 |        16 |         0 |
36 | MMCM  |    0 |         4 |         0 |
37 | PLL   |    0 |         4 |         0 |
38 | BUFR  |    0 |        16 |         0 |
39 | BUFMR |    0 |         8 |         0 |
40 +-------+------+-----------+-----------+
41
```

Reporte power_opt:

- **Se puede invocar con el comando Tcl** `report_power_opt`
  - Se puede ejecutar antes y despues de la optimizacion de consumo, para analizar las mejoras obtenidas en el sistema



Temario

- Implementacion
- Reportes
- **Analisis estático de temporizacion**
- Generacion del archivo de configuracion y verificacion en el hardware
- Resumen

Analisis estático de temporizacion (Static Timing Analysis – STA)

- **Un sistema es basicamente un conjunto de bloques lógicos interconectados**
- **La funcionalidad del sistema esta definida en el codigo fuente RTL**
  - Esta funcionalidad se verifica mediante simulacion y archivos de prueba
- **El desempeño del sistema esta determinado por los retardos en los bloques lógicos**
  - Esto se verifica mediante un analisis estático de temporizacion (STA)
- **En un analisis STA la funcionalidad de los bloques lógicos no es importante**
  - Solo es importante el desempeño de cada componente
  - De esta manera, solo es necesario clasificar los bloques lógicos en combinatorios o secuenciales

Retardo de los componentes

- **Cada componente tiene un retardo asociado**
  - Una LUT tiene un retardo de propagacion desde la entrada a la salida
  - El ruteo tiene un retardo de propagacion desde el amplificador (buffer/driver) hasta el/los receptores
  - Un flip-flop necesita que los datos esten estables un cierto tiempo antes y despues del momento en que se almacenan
- **Estos retardos dependen de distintos factores**
  - Algunos dependen del dispositivo (FPGA) y de la implementacion del sistema
    - Las caracteristicas físicas del componente (como y con que esta construido)
    - La ubicacion del componente (su ubicacion absoluta y relativa a otros componentes)
  - Otras caracteristicas estan determinadas por factores ambientales (PVT)
    - Las variaciones propias del proceso de fabricacion del dispositivo **(P)**
    - La tension de alimentacion aplicada **(V)**
    - La temperatura del componente **(T)**

Retardos

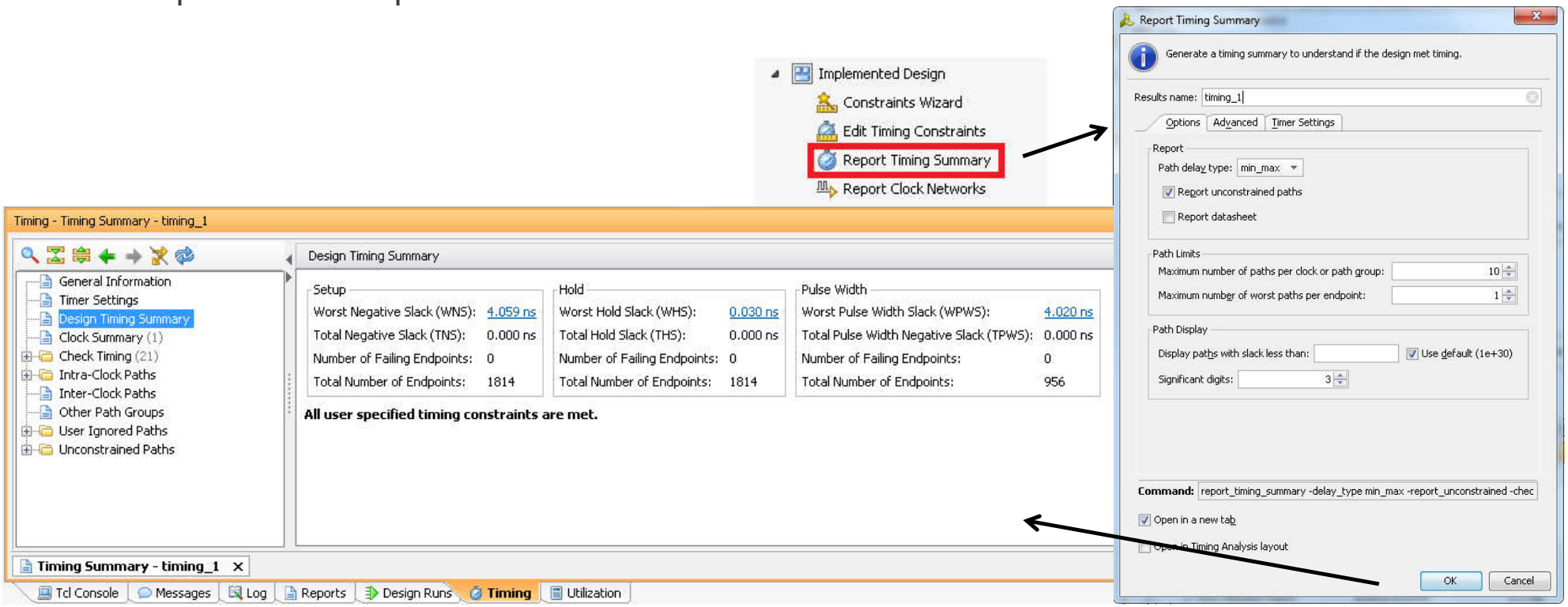
- **Los retardos de componentes y ruteo son provistos por el fabricante de la FPGA, mediante caracterizacion de la implementacion fisica de los dispositivos**
  - La temporizacion se calcula sobre todo el rango de operacion del dispositivo
    - Los retardos debidos al proceso de fabricacion (P) estan dentro de un intervalo
      - Cada modelo tiene distintos intervalos(speed grades: -1, -2, -3, etc)
    - Los retardos debidos a la alimentacion (V) se calculan dentro del maximo y el minimo que admite el dispositivo
      - Dentro de un mismo modelo puede haber distintos rangos de alimentacion (p.ej. -1 y -1L)
    - El retardo debido a la temperatura (T) tambien se calcula dentro del maximo y minimo que admite el dispositivo
      - Un mismo modelo puede tener un rango Comercial (0° a 85°) o Industrial (-40° a 100°)
  - Estos rangos de retardo (PVT) se utilizan por las herramientas para el analisis STA

Aplicacion del analisis STA

- **Los procesos de implementacion del sistema son comandados por los requisitos de temporizacion**
  - Sintesis (Synthesis) para la construccion de la netlist
  - Ubicacion (Placer) para la ubicacion fisica de los componentes
  - Ruteo (Router) para la interconexion de los componentes
- **El analisis STA se utiliza antes y despues de cada proceso para obtener reportes de la temporizacion del sistema a medida que el mismo es implementado**
- **De esta manera, el analisis STA determina si el sistema cumple los requerimientos de temporizacion establecidos**

Reporte report_timing_summary:

- El reporte de temporizacion se genera en el menu *Flow Navigator* luego de realizar el proceso de implementacion

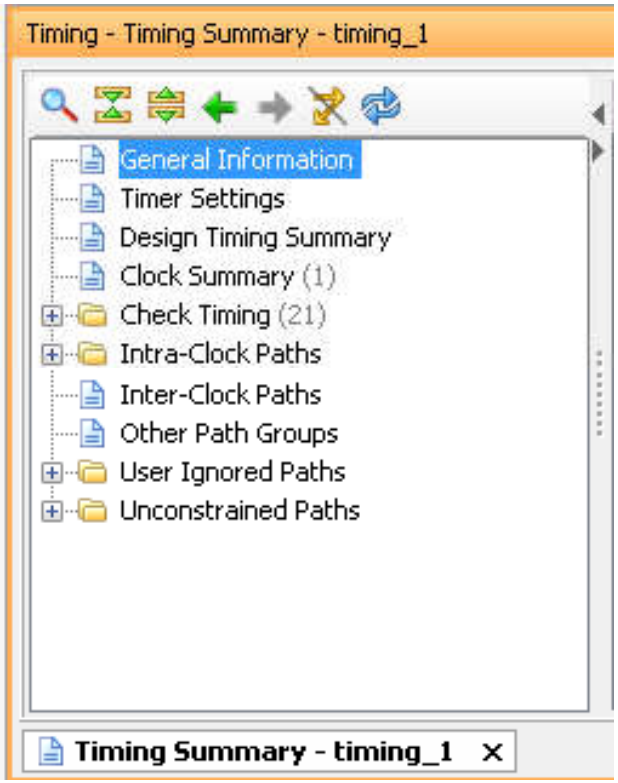


Reporte Timing Summary

- **Este reporte muestra los resultados de temporizacion para *Setup*, *Hold*, y *Pulse Width***
  - Setup
    - Worst Negative Slack (WNS): El peor retardo en cada camino de señal, se utiliza para el calculo del maximo retardo. Puede ser positivo o negativo. Si es positivo significa que se cumplen los requisitos de temporizacion aun para el camino de mayor retardo. Si es negativo, significa que hay caminos de señal cuyo retardo es mayor que el requerido.
    - Total Negative Slack (TNS): La suma de todos los WNS negativos asociados a un punto del circuito (endpoint)
    - Number of Failing Endpoints: La cantidad de puntos del circuito que no cumplen los requerimientos de termporizacion
  - Hold
    - Worst Hold Slack (WHS): El peor retardo de estabilizacion para cada camino de señal, se utiliza para calcular el retardo minimo del sistema
  - Pulse Width
    - Worst Pulse Width Slack (WPWS): Es el peor retardo del sistema, calculado con los valores de Setup y Hold

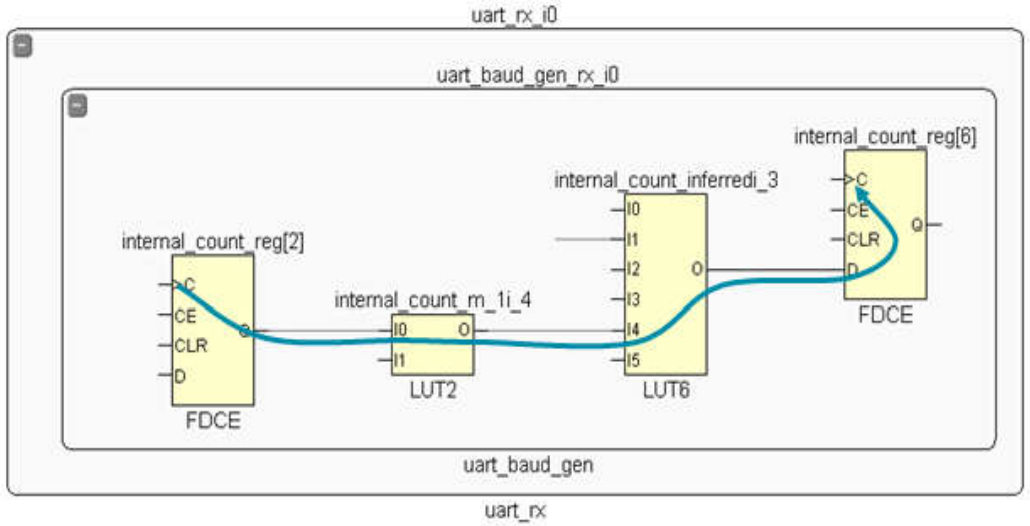
Reporte Timing Summary en formato de tabla

- **La tabla Timing Summary muestra:**
  - General Information: nombre del proyecto, dispositivo, encapsulado, speed grade etc.
  - Timer Settings: configuracion de la herramienta de analisis de temporizacion
  - Design Timing Summary: resumen de todos los reportes de temporizacion
  - Clock Summary: informacion resumida del reporte *report_clocks*
  - Check Timing: informacion sobre restricciones de temporizacion que no se cumplen y/o caminos de señal que deben revisarse
  - Intra-Clock Paths: informacion de los valores de worst slack para caminos de señal que tienen el mismo reloj
  - Inter-Clock Paths: informacion de los valores de worst slack para caminos de señal que tienen distintos relojes
  - Other Path Groups: muestra los caminos de señal que no estan en los otros reportes
  - User Ignored Paths: caminos de señal que no fueron tenidos en cuenta para el analisis de temporizacion
  - Unconstrained Paths: caminos de señal que no tienen restricciones asociadas



Caminos de señal utilizados para el analisis STA

- **Un camino de señal es un camino que:**
  - Comienza en un elemento sincronizado
  - Se propaga a traves de elementos combinacionales y las redes que los interconectan
  - Finaliza en un elmento sincronizado
- **Los elementos sincronizados son los flip-flops, block RAMs, bloque DSP, etc**
- **Los elementos combinacionales son las LUTs, los MUXes, carry chains, etc.**



Estructura del reporte Timing Report

```
------------------------------------------------------------------------------
| Report  : timing
| Design  : uart_led
| Part    : Device=7k325t  Package=ffg900  Speed=-2  (PREVIEW 1.04 2012-05-04)
| Version : Vivado v2012.2.TSC (64-bit)  Build 183099 by xbuild on Sat May 19 01:25:01 MDT 2012
| Date    : Sun Jun 03 12:40:06 2012
| Command : report_timing -from [get_cells uart_tx_i0/uart_baud_gen_tx_i0/*] -to [get_cells uart_tx_i0/uart_baud_gen_tx_i0/*]
------------------------------------------------------------------------------
Slack (MET) :             3.446ns
  Source:                 uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[2]/C
                            (rising edge-triggered cell FDCE clocked by clk_pin_p  (rise@0.000ns fall@2.500ns period=5.000ns))
  Destination:            uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[6]/D
                            (rising edge-triggered cell FDCE clocked by clk_pin_p  (rise@0.000ns fall@2.500ns period=5.000ns))
  Path Group:             clk_pin_p
  Path Type:              Max at Slow Process Corner
  Requirement:            5.000ns
  Data Path Delay:        1.497ns  (logic 0.242ns (16.164%)  route 1.255ns (83.836%))
  Logic Levels:           2  (LUT2=1 LUT6=1)
  Clock Path Skew:        -0.021ns (DCD - SCD + CPR)
    Destination Clock Delay (DCD):    4.498ns
    Source Clock Delay      (SCD):    4.959ns
    Clock Pessimism Removal (CPR):    0.440ns
  Clock Uncertainty:      0.035ns  ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
    Total System Jitter     (TSJ):  0.071ns
    Total Input Jitter      (TIJ):  0.000ns
    Discrete Jitter          (DJ):  0.000ns
    Phase Error              (PE):  0.000ns

  Location             Delay type                Incr(ns)  Path(ns)    Netlist Resource(s)
  -------------------------------------------------------------------
                       (clock clk_pin_p rise edge)
                                                    0.000     0.000 r
  AD12                                              0.000     0.000 r  clk_pin_p
  AD12                 IBUFGDS (Prop_ibufgds_I_O)
                                                    0.917     0.917 r  IBUFG_clk_i0/O
  BUFGCTRL_X0Y0        BUFG (Prop_bufg_I_O)         2.714     3.631 r  BUFG_clk_tx_i0/O
  SLICE_X7Y223         net (fo=49, routed)          1.328     4.959 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[2]/C
  -------------------------------------------------------------------
  SLICE_X7Y223         FDCE (Prop_fdce_C_Q)         0.223     5.182 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[2]/Q
  SLICE_X5Y223         LUT2 (Prop_lut2_I0_O)        0.712     5.895 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_m_ii_4/O
  SLICE_X6Y223         LUT6 (Prop_lut6_I4_O)        0.632     6.527 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_inferred__3/0
  SLICE_X6Y223         net (fo=1, routed)           0.000     6.527 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[6]/D
  SLICE_X6Y223         FDCE (Setup_fdce_C_D)       -0.071     6.456    uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[6]
  -------------------------------------------------------------------
                       (clock clk_pin_p rise edge)
                                                    5.000     5.000 r
  AD12                                              0.000     5.000 r  clk_pin_p
  AD12                 IBUFGDS (Prop_ibufgds_I_O)
                                                    0.835     5.835 r  IBUFG_clk_i0/O
  BUFGCTRL_X0Y0        BUFG (Prop_bufg_I_O)         2.471     8.306 r  BUFG_clk_tx_i0/O
  SLICE_X6Y223         net (fo=49, routed)          1.192     9.498 r  uart_tx_i0/uart_baud_gen_tx_i0/internal_count_reg[6]/C
                       clock pessimism              0.440     9.938
                       clock uncertainty           -0.035     9.903
  -------------------------------------------------------------------
                       required time                          9.903
                       arrival time                          -6.456
  -------------------------------------------------------------------
                       slack                                  3.446
```

Report Summary

Path Summary

Source Clock Delay

Data Path Delay

Destination Clock Delay

Slack Calculation

Secciones del Reporte

- **Report summary**

C:/xup/fpga_flow/2016_2_ZYNQ_labs/zed/lab4/lab4.runs/impl_1/wave_gen_top_timing_summary_routed.rpt

```
1 Copyright 1986-2016 Xilinx, Inc. All Rights Reserved.
2 ------------------------------------------------------------------------------------------------------------
3 | Tool Version : Vivado v.2016.2 (win64) Build 1577090 Thu Jun  2 16:32:40 MDT 2016
4 | Date         : Wed Jul 20 09:36:50 2016
5 | Host         : XSJNPURUSHO30 running 64-bit Service Pack 1  (build 7601)
6 | Command      : report_timing_summary -warn_on_violation -max_paths 10 -file wave_gen_top_timing_summary_routed.rpt
7 | Design       : wave_gen_top
8 | Device       : 7z020-clg484
9 | Speed File   : -1  PRODUCTION 1.11 2014-09-11
10 ------------------------------------------------------------------------------------------------------------
```

- **Design timing summary**

```
120 ------------------------------------------------------------------------------------------------------
121 | Design Timing Summary
122 | ---------------------
123 ------------------------------------------------------------------------------------------------------

125     WNS(ns)      TNS(ns)  TNS Failing Endpoints  TNS Total Endpoints      WHS(ns)      THS(ns)
126     -------      -------  ---------------------  -------------------      -------      -------
127       0.810        0.000                      0                  105        0.175        0.000

130 All user specified timing constraints are met.
```

- **Clock summary**

```
133 ------------------------------------------------------------------------
134 | Clock Summary
135 | -------------
136 ------------------------------------------------------------------------

138 Clock    Waveform(ns)       Period(ns)      Frequency(MHz)
139 -----    ------------       ----------      --------------
140 clk_pin  {0.000 5.000}      10.000          100.000
141
```

Secciones del Reporte

- **Intra clock table**

```
143 ----------------------------------------------------------------------------------------------------
144 | Intra Clock Table
145 | -----------------
146 ----------------------------------------------------------------------------------------------------
147
148 Clock              WNS(ns)      TNS(ns)  TNS Failing Endpoints  TNS Total Endpoints      WHS(ns)
149 -----              -------      -------  ---------------------  -------------------      -------
150 clk_pin              0.810        0.000                      0                  105        0.175
151
```

- **Maximum delay path**

```
187 Max Delay Paths
188 --------------------------------------------------------------------------------------
189 Slack (MET) :             0.810ns  (required time - arrival time)
190   Source:                 led_ctl_i0/led_o_reg[0]/C
191                             (rising edge-triggered cell FDRE clocked by clk_pin  {rise@0.000ns fall@5.000ns period=10.000ns})
192   Destination:            led_pins[0]
193                             (output port clocked by clk_pin  {rise@0.000ns fall@5.000ns period=10.000ns})
194   Path Group:             clk_pin
195   Path Type:              Max at Slow Process Corner
196   Requirement:            10.000ns  (clk_pin rise@10.000ns - clk_pin rise@0.000ns)
197   Data Path Delay:        3.442ns  (logic 3.441ns (99.971%)  route 0.001ns (0.029%))
198   Logic Levels:           1  (OBUF=1)
199   Output Delay:           0.000ns
200   Clock Path Skew:        -5.713ns (DCD - SCD + CPR)
201     Destination Clock Delay (DCD):    0.000ns = ( 10.000 - 10.000 )
202     Source Clock Delay      (SCD):    5.713ns
203     Clock Pessimism Removal (CPR):    0.000ns
204   Clock Uncertainty:      0.035ns  ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
205     Total System Jitter     (TSJ):    0.071ns
206     Total Input Jitter      (TIJ):    0.000ns
207     Discrete Jitter          (DJ):    0.000ns
208     Phase Error              (PE):    0.000ns
209
210     Location             Delay type                Incr(ns)  Path(ns)    Netlist Resource(s)
211   -------------------------------------------------------------------    -------------------
212                          (clock clk_pin rise edge)    0.000     0.000 r
213     R4                                                0.000     0.000 r  clk_pin (IN)
214                          net (fo=0)                   0.000     0.000    clk_pin
215     R4                   IBUF (Prop_ibuf_I_O)         1.475     1.475 r  clk_pin_IBUF_inst/O
216                          net (fo=1, routed)           2.114     3.589    clk_pin_IBUF
```

Secciones del Reporte

- **Delay path**

```
210   Location             Delay type                Incr(ns)  Path(ns)    Netlist Resource(s)
211 -------------------------------------------------------------------    -------------------
212                        (clock clk_pin rise edge)    0.000     0.000 r
213   R4                                                0.000     0.000 r  clk_pin (IN)
214                        net (fo=0)                   0.000     0.000    clk_pin
215   R4                   IBUF (Prop_ibuf_I_O)         1.475     1.475 r  clk_pin_IBUF_inst/O
216                        net (fo=1, routed)           2.114     3.589    clk_pin_IBUF
217   BUFGCTRL_X0Y0        BUFG (Prop_bufg_I_O)         0.096     3.685 r  clk_pin_IBUF_BUFG_inst/O
218                        net (fo=48, routed)          2.029     5.713    led_ctl_i0/CLK
219   OLOGIC_X0Y90         FDRE                                         r  led_ctl_i0/led_o_reg[0]/C
220 -------------------------------------------------------------------    -------------------
221   OLOGIC_X0Y90         FDRE (Prop_fdre_C_Q)         0.472     6.185 r  led_ctl_i0/led_o_reg[0]/Q
222                        net (fo=1, routed)           0.001     6.186    led_pins_OBUF[0]
223   Y13                  OBUF (Prop_obuf_I_O)         2.969     9.155 r  led_pins_OBUF[0]_inst/O
224                        net (fo=0)                   0.000     9.155    led_pins[0]
225   Y13                                                                r  led_pins[0] (OUT)
226 -------------------------------------------------------------------    -------------------
227
228                        (clock clk_pin rise edge)   10.000    10.000 r
229                        clock pessimism              0.000    10.000
230                        clock uncertainty           -0.035     9.965
231                        output delay                -0.000     9.965
232 -------------------------------------------------------------------
233                        required time                           9.965
234                        arrival time                           -9.155
235 -------------------------------------------------------------------
236                        slack                                   0.810
```

Temario

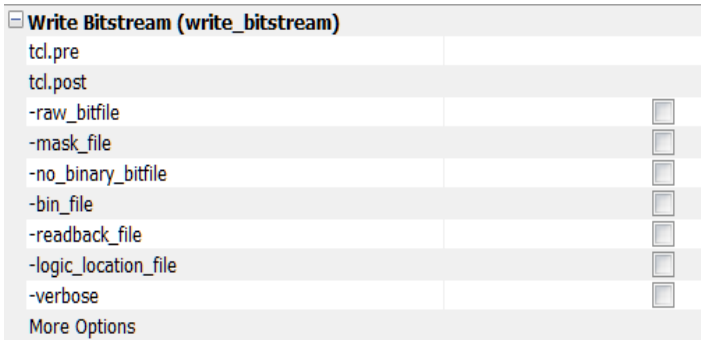
- Implementacion
- Reportes
- Analisis estático de temporizacion
- **Generacion del archivo de configuracion y verificacion en el hardware**
- Resumen

Generacion del archivo de configuracion (Bitstream)

- **Genera el archivo de configuracion para el dispositivo seleccionado para el proyecto actual**
- **Se ejecuta sobre un sistema implementado**
- **Se ejecuta nuevamente el proceso de implementacion si hubo modificaciones**
- **Desarrollo basado en proyectos o desarrollos independientes**
  - IDE: Menu *Generate bitstream*
  - Comando Tcl: `launch_runs impl_1 -to_step write_bitstream`

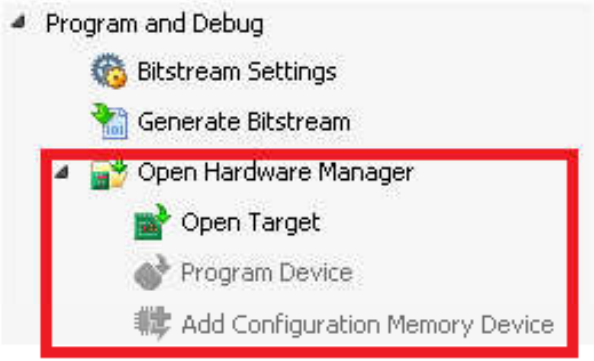
Configuracion del proceso de generacion del archivo de configuracion

- **Por defecto se usa el formato binario**
- **-raw_bitfile: el archivo de configuracion se genera en formato ascii y extension (.rbt).**
- **-mask_file: Generacion de un archivo de mascara para verificacion de un archivo de configuracion cargado**
- **-no_binary_bitfile: No crea el archivo de configuracion (.bit)**
  - Se usa esta opcion para generar un archivo de configuracion ASCII o un archivo de mascara sin generar el archivo de configuracion binario
- **-bin_file: Crea un archivo de configuracion binario (.bin) solo con la informacion de configuracion**
- **-logic_location_file: Genera un archivo de extension (.ll) con la ubicacion de las LUTs, BRAM, flip-flops, latches, I/O block, entradas y salidas**



Administrador de Hardware (Hardware Manager)

- **Los pasos para conectarse al hardware y configurar la FPGA son:**
  - Abrir el administrador de hardware
  - Abrir un dispositivo de hardware, administrado por un servidor de hardware. Esto puede ser en forma local o remota
  - Asociar el archivo de configuracion al dispositivo FPGA
  - Configurar el dispositivo.
  - Opcionalmente, abrir la vista *hardware analyzer* para depuracion



Temario

- Implementacion
- Reportes
- Analisis estático de temporizacion
- Generacion del archivo de configuracion y verificacion en el hardware
- **Resumen**

Resumen

- La implementacion utiliza las herramientas *link, opt_design, power_opt, place_design, phys_opt_design*, y *route_design*
- Hay distintos tipos de reportes que permiten analizar el sistema que se esta implementando
- Los caminos de señal utilizados en el analisis STA comienzan en un elemento sincronizado y terminan en otro elemento sincronizado
- Los caminos de señal se analizan para verificar los tiempos de setup y hold. Este analisis incluye la verificacion de los tiempos de propagacion de la señal de reloj
- El reporte *report_timing_summary* se utiliza para verificar el cumplimiento de las restricciones de temporizacion del sistema implementado
- El reporte *report_timing* se usa para un analisis detallado de la temporizacion luego de los procesos de sintesis y de implementacion