

**ALL PROGRAMMABLE**



5G Wireless • Embedded Vision • Industrial IoT • Cloud Computing



IP Integrator y el catalogo de IP

# Temario

- **Herramienta IP Integrator**
- Herramienta IP Packager
- Catalogo de IP
- Asistente de Temporizacion
- Resumen

# Diseño de sistemas con IP externa

## ➤ La IP externa suele tener distintas interfaces

- Muchas señales, mapeo complejo a archivos RTL
- La conectividad dentro del sistema no es simple

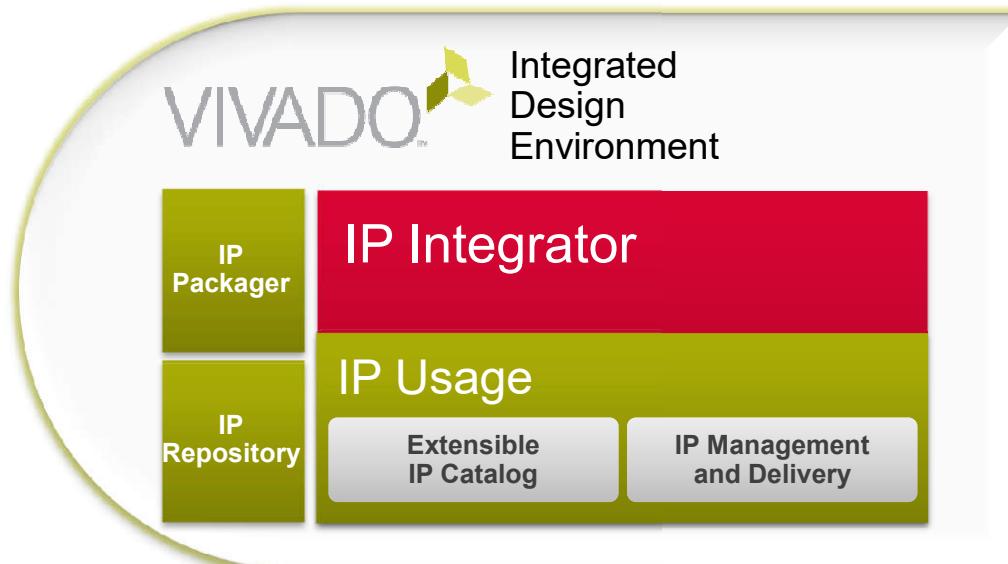
## ➤ La IP externa es parameterizable

- El sistema debe ser consistente en las interfaces entre bloques
- Se debe tener en cuenta la interaccion entre los distintos bloques

## ➤ Puede ser necesario reutilizar parte de un sistema y ponerlo disponible para utilizar en otros proyectos

# Herramienta IP Integrator

- Es una herramienta para agregar IP externa en sistemas basados en procesadores o sistemas basados en maquinas de estado
- Tiene un entorno grafico y se puede manejar mediante scripts para configurar la IP e integrarla al sistema



# Interface grafica de IP Integrator

The screenshot shows the Vivado 2015.2 interface with several key features highlighted:

- System Hierarchy View**: Located on the left, this panel shows the system hierarchy with components like `rst_processing_system7_0_100M`, `processing_system7_0_axi_periph`, and `zed_audio_ctrl_0`.
- TCL Console**: A command-line interface at the bottom left.
- IP Integrator**: A section in the Project Manager.
- Diagram**: The central workspace showing the system architecture with components like `processing_system7_0`, `rst_processing_system7_0_100M`, `fir_left`, `fir_right`, and `zed_audio_ctrl_0`. A red box highlights the **Hierarchy Support** feature.
- Address Editor**: A tool for managing memory addresses.
- Searchable IP Repository**: A list of available IP cores on the right, including 1G/2.5G Ethernet PCS/PMA or SGM, 2D Graphics Accelerator Bit Block T, 3GPP LTE Channel Estimator, 3GPP LTE MIMO Decoder, 3GPP LTE MIMO Encoder, 3GPP LTE Turbo Encoder, 3GPP Mixed Mode Turbo Decoder, 3GPP Turbo Encoder, 10G Ethernet MAC, Accumulator, Adder/Subtractor, AHB-Lite to AXI Bridge, Audio I2S Transmitter/Receiver, AXI-Stream FIFO, AXI 1G/2.5G Ethernet Subsystem, and AXI DMA.
- Extensible IP Repository**: A red box highlighting the repository search feature.
- Interface Connections with Live DRCs**: A red box highlighting the connection management feature.

The TCL Console output is as follows:

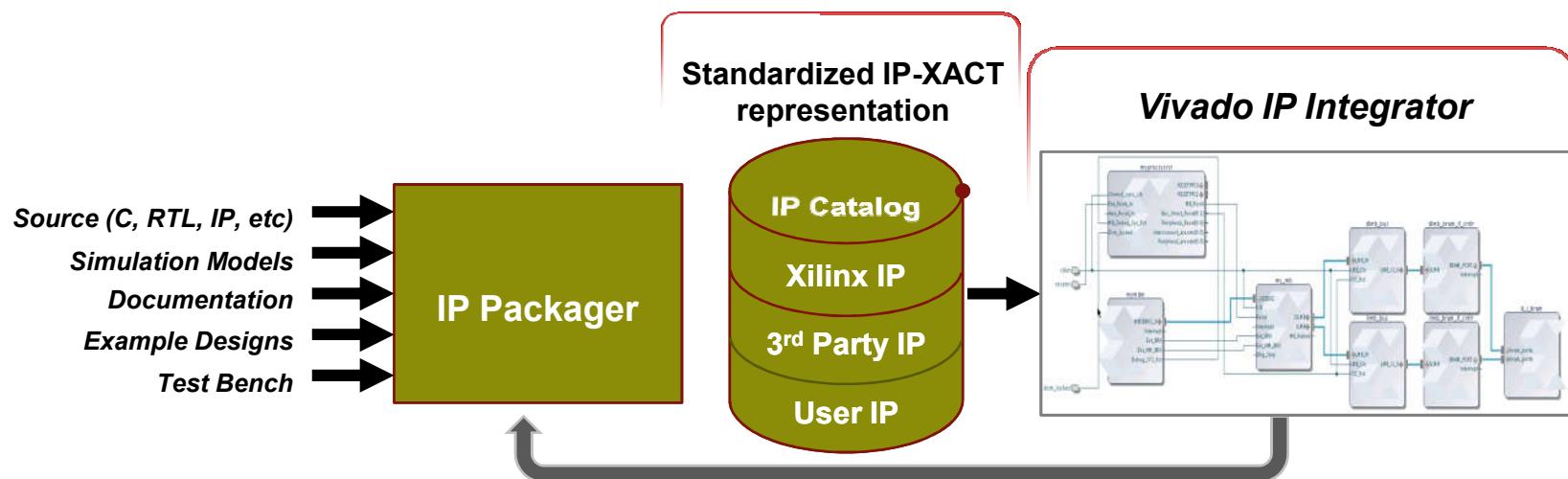
```
Adding component instance block -- xilinx.com:ip:axi_gpio:2.0 - axi_gpio_0
Adding component instance block -- xilinx.com:user:zed_audio_ctrl:1.0 - zed_audio_ctrl_0
Adding component instance block -- xilinx.com:ip:proc_sys_reset:5.0 - rst_processing_system7_0_100M
Adding component instance block -- xilinx.com:ip:fir:1.0 - fir_left
Adding component instance block -- xilinx.com:ip:axi_crossbar:2.1 - xbar
Adding component instance block -- xilinx.com:ip:axi_protocol_converter:2.1 - auto_pc
Successfully read diagram <system> from DD file <C:/xup/sys_design/2015_2_zynq_labs/lab6/audio/audio.scs>/sources_1/bd/system/system.
recreate_bd_layout
```

# Temario

- Herramienta IP Integrator
- **Herramienta IP Packager**
- Catalogo de IP
- Asistente de Temporizacion
- Resumen

# Reutilización de IP

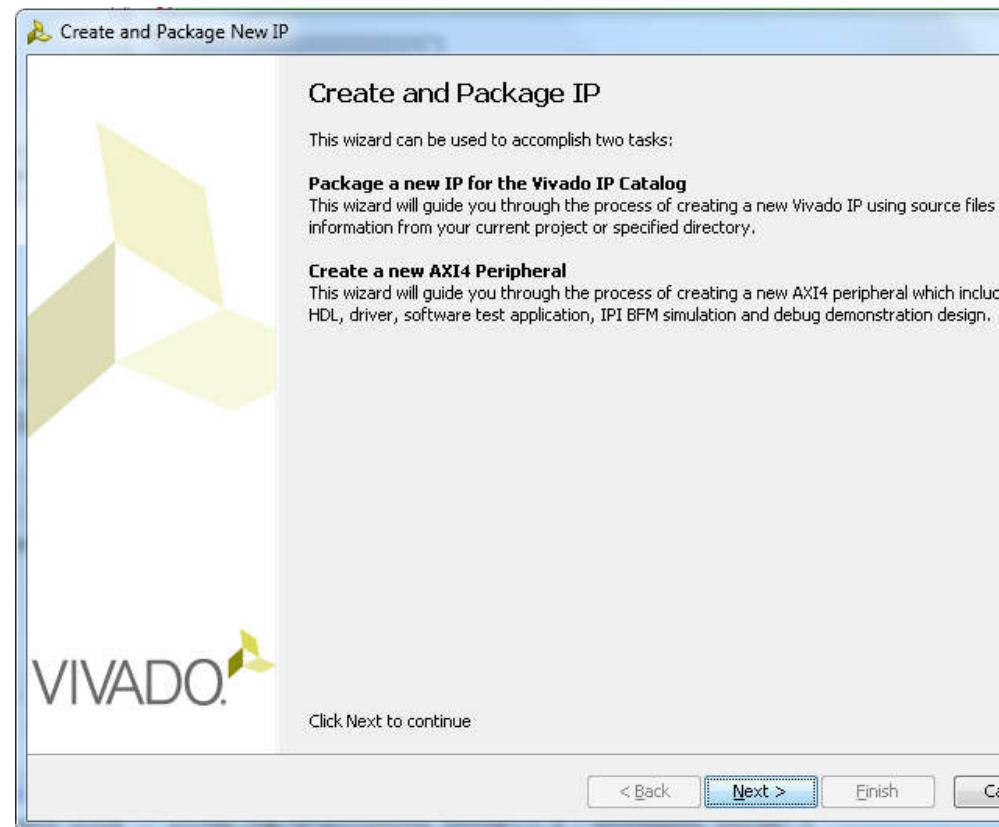
- Se puede integrar IP de distintas fuentes
- Toda la IP disponible en el catálogo se puede utilizar en un sistema
- Los diagramas creados con IP Integrator se pueden convertir en una sola IP, ocultando la complejidad del subsistema



# Creacion de IP propia utilizando IP Packager

## ► Se utiliza mediante un asistente

- Automatiza el proceso de generacion de IP
- Se infiere en forma automatica la informacion adicional (simulacion, documentacion, etc)
- Se puede agregar meta-data adicional



# Personalización de la IP propia en IP Packager

The screenshot shows the Xilinx IP Packager interface with the title bar "Project Summary" and "Package IP - myip". The left sidebar lists "IP Packaging Steps" with "IP Identification" selected, indicated by an orange highlight. The main panel displays the "IP Identification" configuration with the following fields:

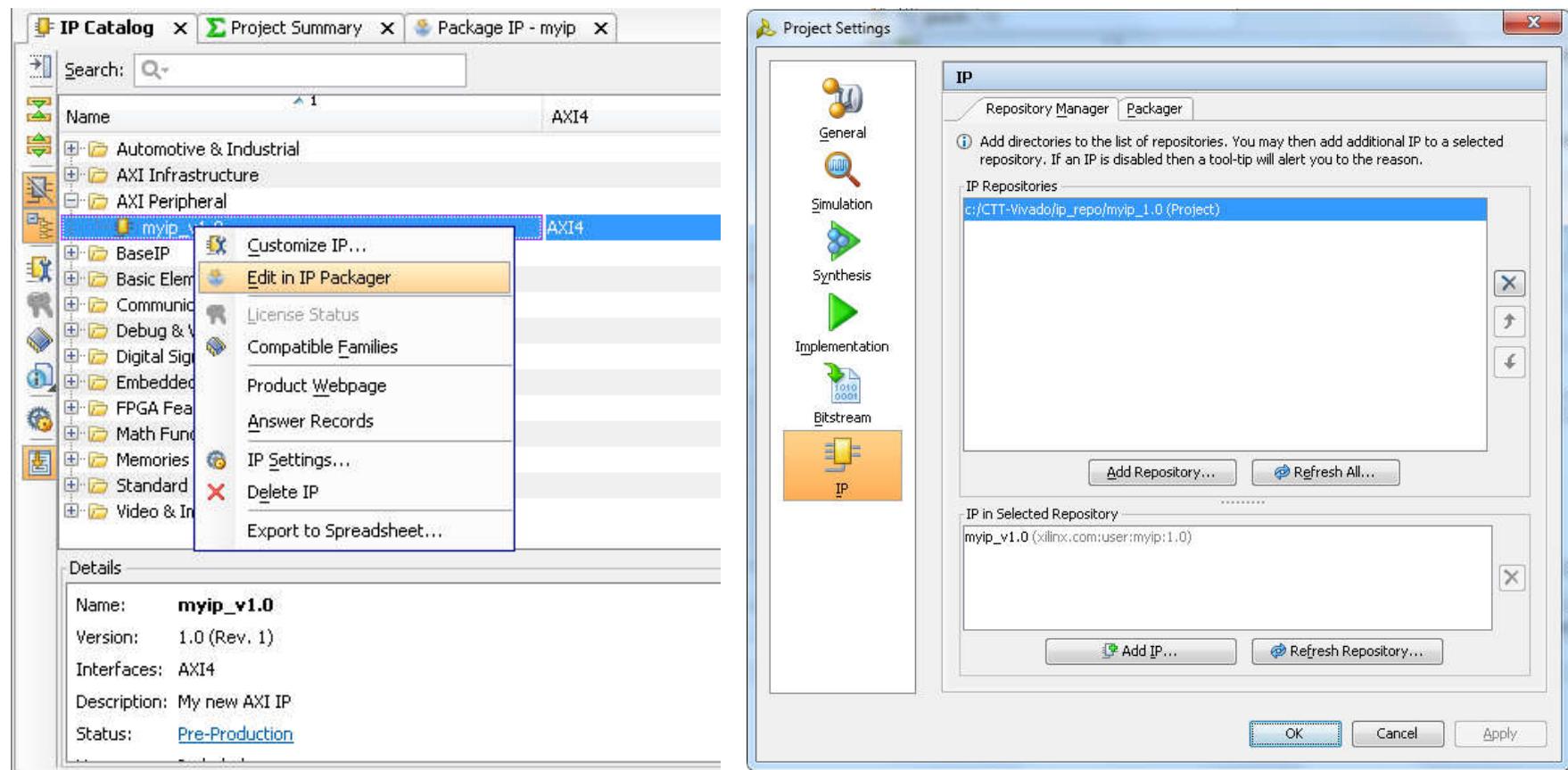
IP Identification	
Vendor:	xilinx.com
Library:	user
Name:	myip
Version:	1.0
Display name:	myip_v1.0
Description:	My new AXI IP
Vendor display name:	
Company url:	
Categories:	AXI_Peripheral
Root directory:	c:/ctt-vivado/ip_repo/myip_1.0
Xml file name:	c:/ctt-vivado/ip_repo/myip_1.0/component.xml

Two red boxes are overlaid on the interface:

- A box on the left labeled "Select Options" covers the sidebar and part of the main panel.
- A larger box on the right labeled "Add, Edit or change defaults" covers the main panel area.

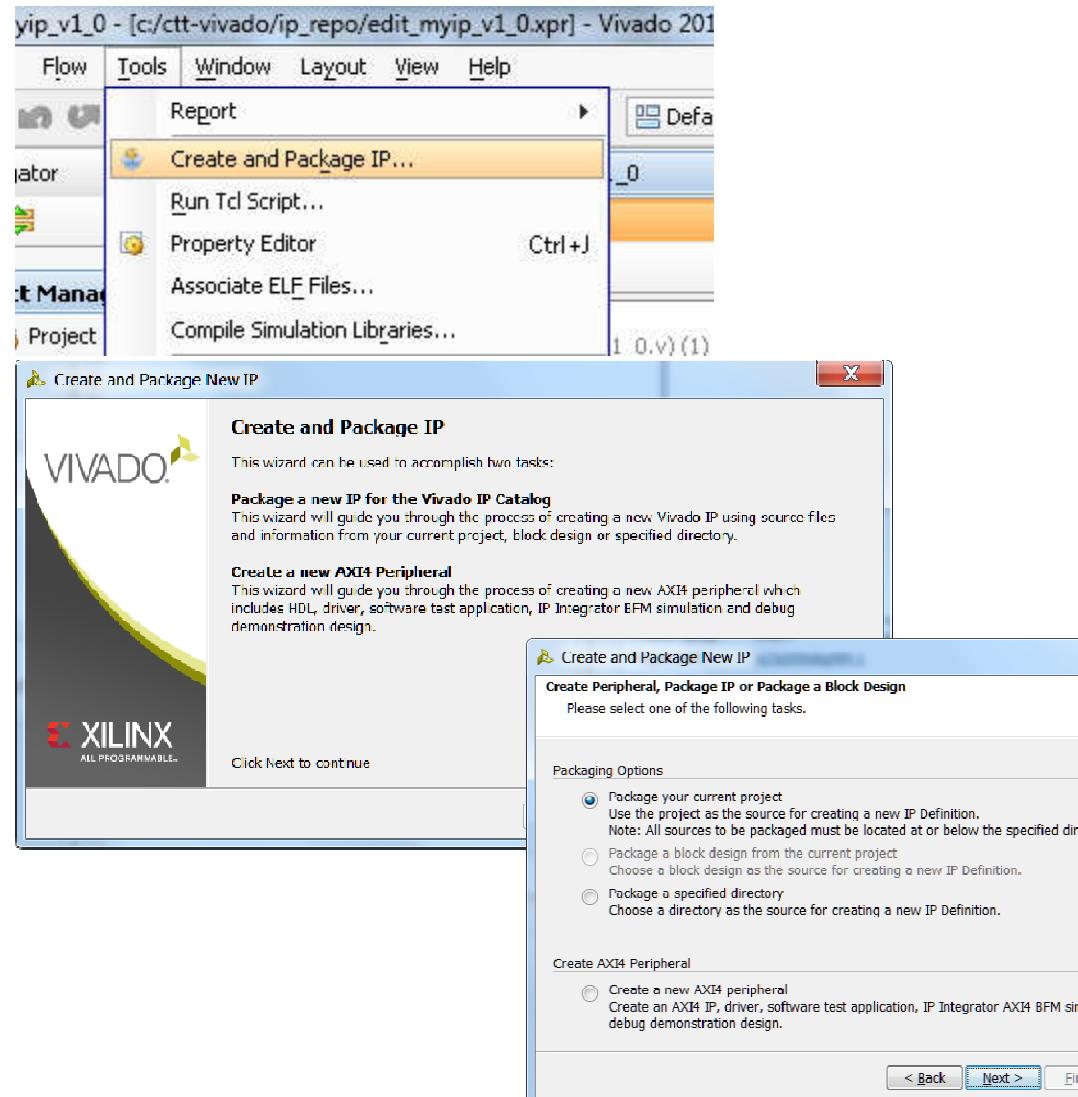
# Reutilizacion de IP

- El catalogo de IP se puede ampliar agregando nuevos repositorios. Toda la IP (independientemente de su origen) se gestiona de la misma manera



# Herramienta IP Packager

- La herramienta IP Packager permite que un modulo/bloque logico se integre al catalogo de IP para su uso o distribucion
- La IP se compone de:
  - Código fuente
  - Restricciones
  - Archivos de prueba
  - Documentación
- Esta herramienta puede ejecutarse desde el entorno grafico o en forma independiente



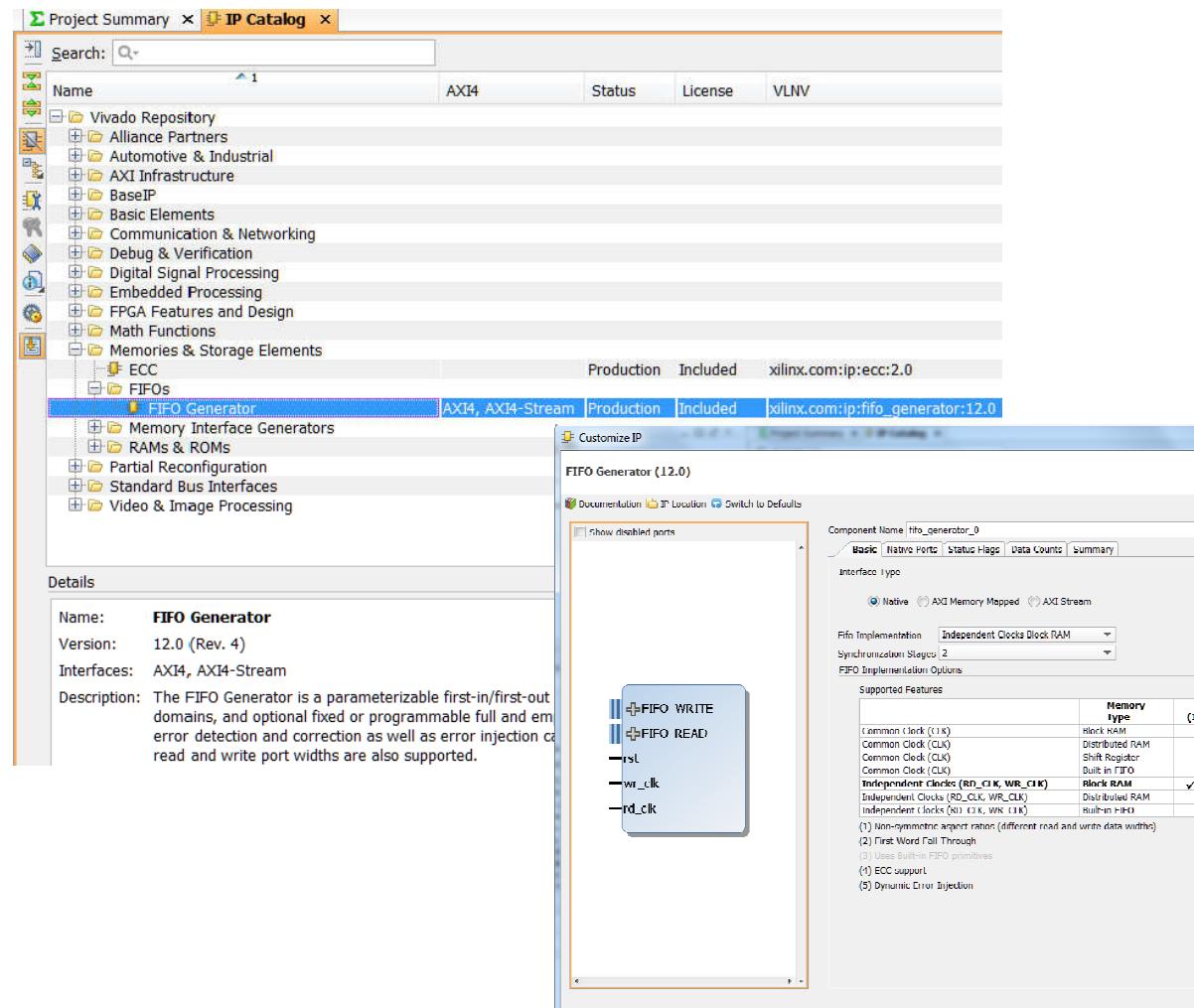
# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- **Catalogo de IP**
- Asistente de Temporizacion
- Resumen

# Catalogo de IP

## ➤ Gestión de las distintas IP disponibles

- Permite la personalización de la IP
- Tiene una interface grafica similar a la del entorno de desarrollo Vivado
- La síntesis e implementación se hace a traves de las herramientas de Vivado
- Puede gestionarse a traves de comandos Tcl



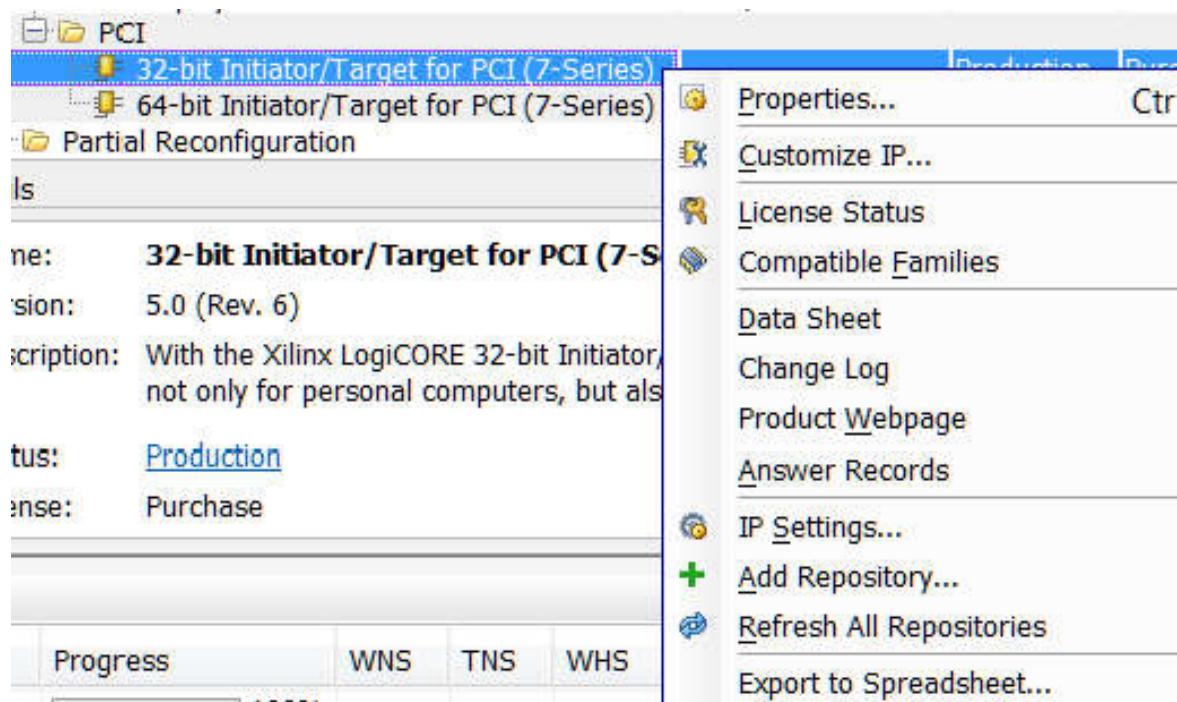
# Distintos tipos de IP disponibles

- Mucha IP en el catalogo es del tipo periferico (tiene una interfase de bus)
  - Este tipo de perifericos indican el tipo de bus: AXI4 o AXI4-Stream
- La IP que no es tipo periferico no tiene entrada en la columna AXI4
- La columna "Status" indica si la IP esta en estado "production" (probada y depurada) o "pre-production" (funcionalidad probada, pero no optimizada)
- La columna "License" indica si la IP es de uso gratuito, o si es necesario adquirir una licencia adicional para su uso

Name	AXI4	Status	License	VNV
Vivado Repository				
Alliance Partners				
Automotive & Industrial				
AXI Infrastructure				
BaseIP				
Basic Elements				
Communication & Networking				
Debug & Verification				
Digital Signal Processing				
Embedded Processing				
FPGA Features and Design				
Math Functions				
Memories & Storage Elements				
ECC		Production	Included	xilinx.com:ip:ecc:2.0
FIFOs				
FIFO Generator	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:fifo_generator:12.0
Memory Interface Generators				
RAMPS & ROMPs				

# Informacion de la IP

- Datos de configuracion
- Compatibilidad con las distintas familias de FPGA
- Hoja de datos (Product Guide)
- Registro de cambios (Change Log)
- Pagina web de la IP (Product Webpage)
- Informacion adicional (Answer records)



# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catalogo de IP
- **Asistente de Temporizacion**
- Resumen

# Recursos de temporizacion: MMCM y PLL

Un dispositivo puede tener hasta 24 dominios de reloj distintos (Clock Management Tile – CMT)

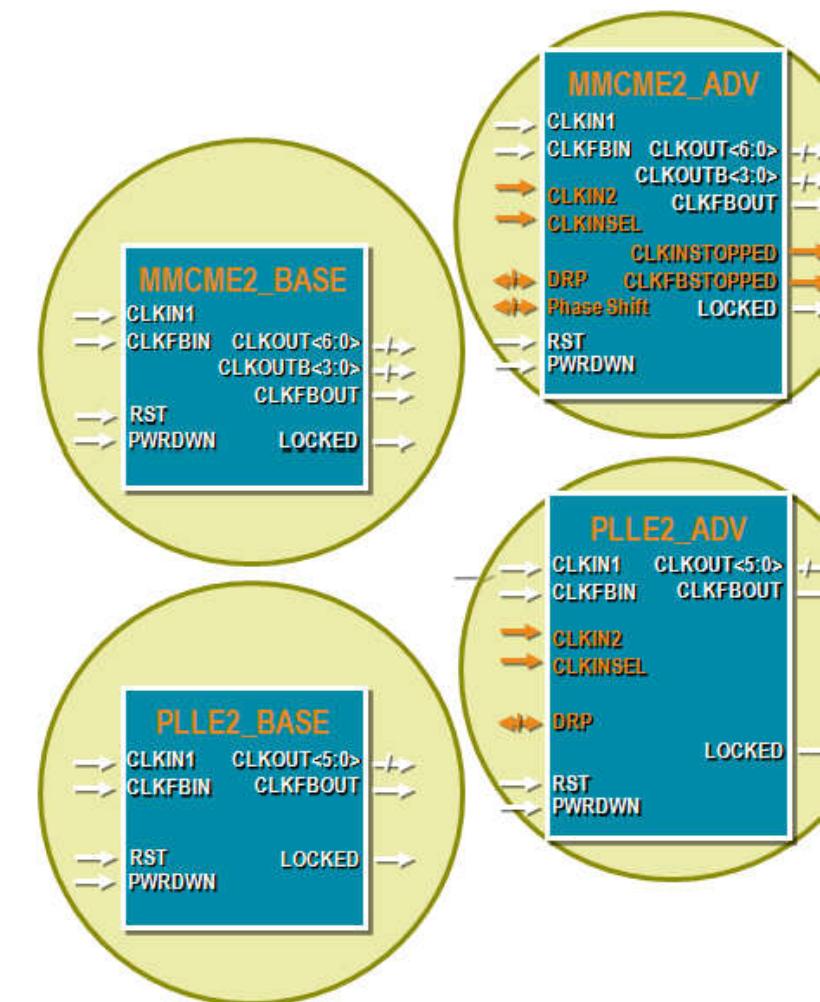
En cada CMT hay un Mixed Mode Clock Manager – MMCM (Analogico y digital) y un Phase Locked Loop – PLL (analogico)

Se instancias mediante dos tipos de bloques:

- \*\_BASE (tiene solo la interfase basica)
- \*\_ADV (tiene la interfase completa)

El PLL esta mas orientado a uso en interfases de I/O para controladores de memoria de alta velocidad

El MMCM en general se utiliza para generar la temporizacion del sistema

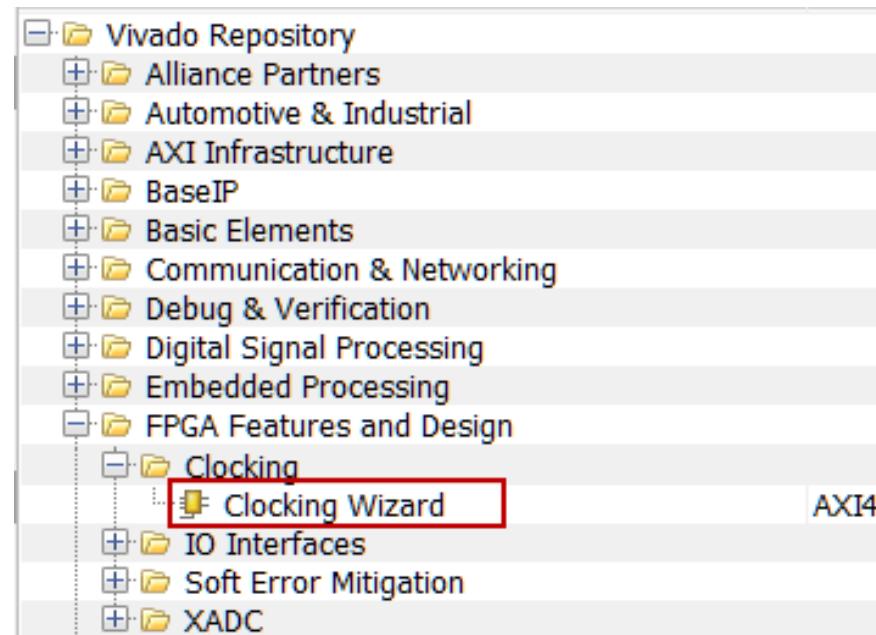


# Instanciado de recursos de temporizacion

- **Todos los recursos de temporizacion pueden instanciarse directamente en el codigo fuente RTL**
  - Hay modelos de simulacion para cada recurso de temporizacion
  - La estructura de inferencia en Verilog/VHDL se describe en la UG953: *7Series FPGA Libraries Guide*
  - Para generar la plantilla de instanciado se usa la pestaña Language Templates (  )
- **Los bloques PLL y MMCM tienen distintas opciones de interfase y atributos**
  - En general se instancian a traves del asistente *Clocking Wizard*

# Asistente de Temporizacion (Clocking Wizard)

- Seleccionar el catalogo IP
- Expandir la opcion *FPGA Features and Design*  
-> *Clocking*
- Dar doble clickn en *Clocking Wizard*
- El asistente realiza los pasos necesarios para generar el subsistema de temporizacion



# Asistente de Temporizacion: Opciones

## ➤ Seleccionar la primitiva a utilizar

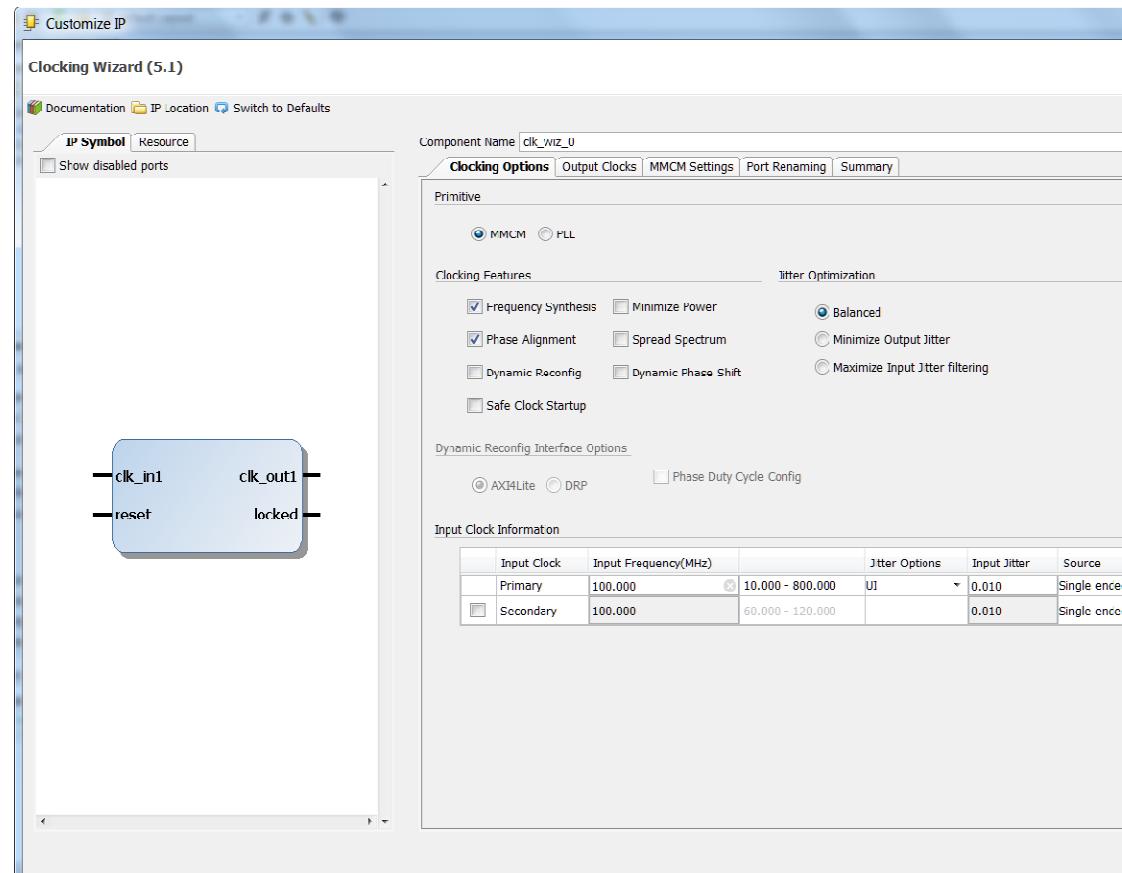
- MMCME2\_ADV
- PLLE2\_ADV

## ➤ Especificar la frecuencia y tipo de entrada

- Optionalmente se puede especificar una segunda entrada

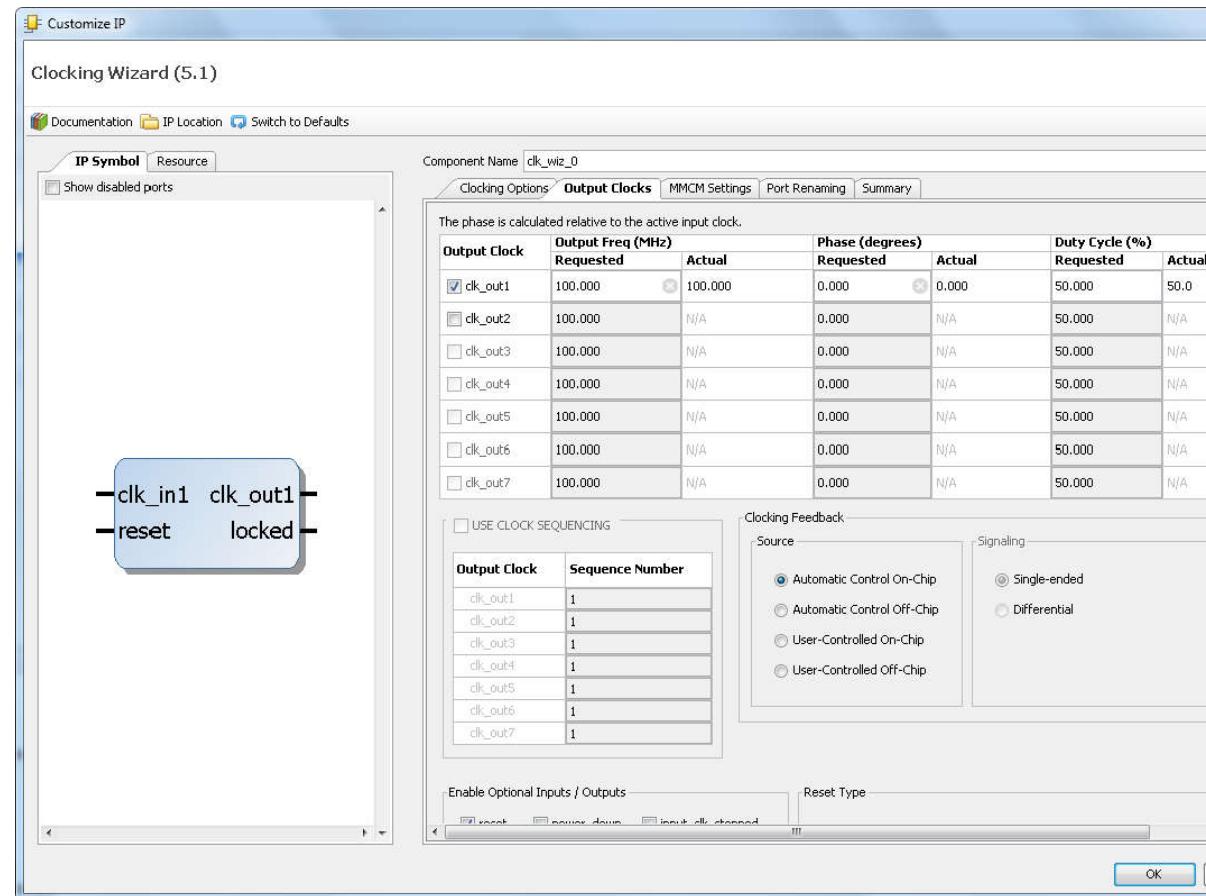
## ➤ Seleccionar las caracteristicas de la señal de reloj a generar

- Frecuencia
- Alineacion de Fase
- Desplazamiento dinamico de Fase



# Asistente de Temporizacion: Señales de salida

- Seleccionar la cantidad de salidas de reloj
- Fijar las frecuencias de salida
- Opcionalmente: seleccionar otros puertos



# Asistente de Temporizacion: configuracion de MMCM

- Permite sobreescribir los parametros generados por el asistente
- Permite fijar a mano la Fase, el Periodo, el Jitter, etc

The screenshot shows the 'MMCM Settings' tab of the Xilinx Clock Wizard. At the top, a note states: "These are the settings based on inputs from previous pages. Any update on this page will override the optimal settings calculated by the wizard". Below this is a checkbox labeled "Allow Override Mode". The main area contains a table of attributes and their values:

Attribute	Value
BANDWIDTH	OPTIMIZED
CLKFBOUT_MULT_F	10.000
CLKFBOUT_PHASE	0.000
CLKIN1_PERIOD	10.0
CLKIN2_PERIOD	10.0
COMPENSATION	ZHOLD
DIVCLK_DIVIDE	1
REF_JITTER1	0.010
REF_JITTER2	0.010
STARTUP_WAIT	<input type="checkbox"/>
CLKFBOUT_USE_FINE_PS	<input type="checkbox"/>
CLKOUT4_CASCADE	<input type="checkbox"/>

Below the table is a summary table:

Clk Wizard Port	Renamed Port	MMCM/PLL Port	Divide	Duty Cycle	Phase	Use
clk_out1	clk_out1	CLKOUT0	10.000	0.500	0.000	

# Asistente de Temporizacion: Renombrado de los Puertos

- Permite cambiar los nombres de los puertos de entrada / salida
- Tambien se puede cambiar el nombre de los puertos opcionales

The screenshot shows the 'Port Renaming' tab of a software interface. The tab bar includes 'Clocking Options', 'Output Clocks', 'MMCM Settings', 'Port Renaming' (which is selected), and 'Summary'. The main area is divided into three sections: 'Input Clock', 'Output Clock', and 'Optional Port Names'.

**Input Clock:**

Input Clock	Port Name	Freq (MHz)	Input Jitter (UI)
Primary	clk_in1	100.000	0.010

**Output Clock:**

VCO Freq = 1000.000 MHz

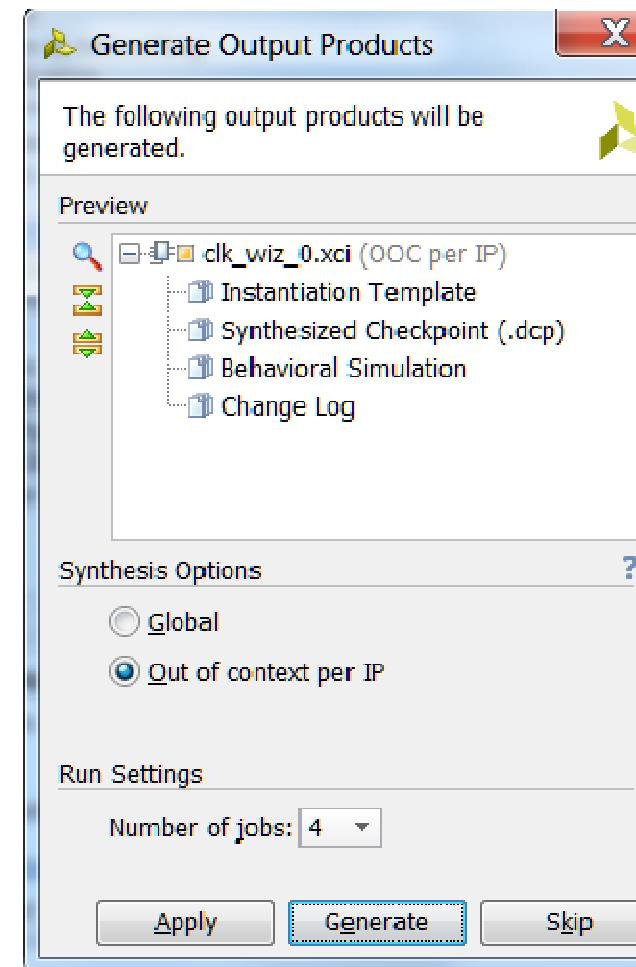
Output Clock	Port Name	Output Freq (MHz)	Phase (degrees)	Duty Cycle (%)	Pk-to-Pk Jitter (ps)	Phase Error
clk_out1	clk_out1	100.000	0.000	50.0	130.958	98.575

**Optional Port Names:**

Other Pins	Port Name
reset	reset
locked	locked

# Asistente de Temporizacion: Salidas

- Genera la plantilla de instanciado a incorporar en el código fuente HDL
- Modelo para el proceso de síntesis
- Modelo de simulación
- Archivos para el proceso de implementación
- Ejemplo de uso
- Opcionalmente, una versión pre-sintetizada que se puede usar directamente, sin necesidad de re-sintetizar el resto del proyecto



# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catalogo de IP
- Asistente de Temporizacion
- **Resumen**

# Resumen

- **Se puede agregar IP a partir de librerías o crear IP propia para reutilización**
- **La herramienta IP Packagers permite generar paquetes de IP para reutilizar**
- **El catálogo IP permite utilizar IP ya probada y depurada**
  - La IP está agrupada de acuerdo a su funcionalidad
- **El asistente de Temporización (Clocking Wizard) permite la configuración y el instanciado de subsistemas de temporización**