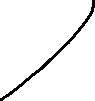
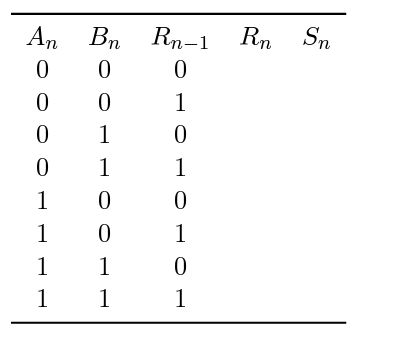
OUILLON Alexandre et GARLOT Matisse

TP2-Electronique numérique : L’ADDITIONNEUR NUMÉRIQUE ET LE MULTIPLEXEUR



T1.



T2. Rn=AnBnRn-1 + AnBnRn-1 + AnBnRn-1 + AnBnRn-1



= Rn-1(An + Bn) + AnBn(Rn-1 + Rn)



= Rn-1(An + Bn) + AnBn

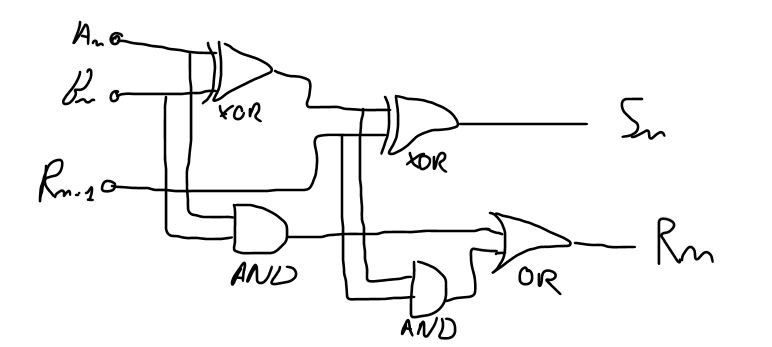


Sn= AnBnRn-1 + AnBnRn-1 + AnBnRn-1 + AnBnRn-1



= An(BnRn-1 + BnRn-1) + Bn(AnRn-1 + AnRn-1) + Rn-1(AnBn + AnBn)

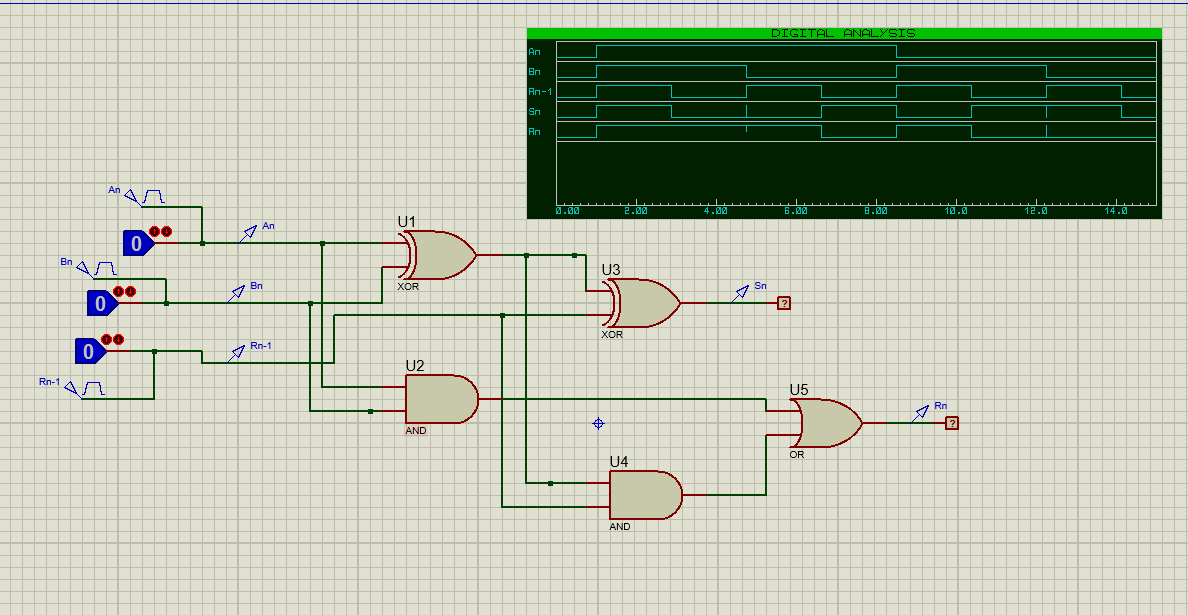


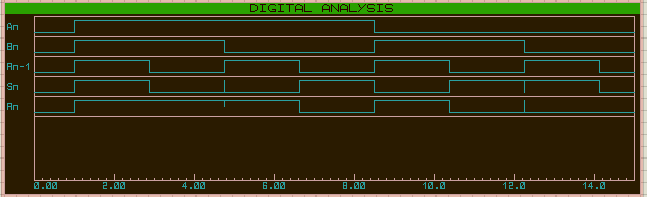
 = An + Bn + Rn-1



T3.

E1.

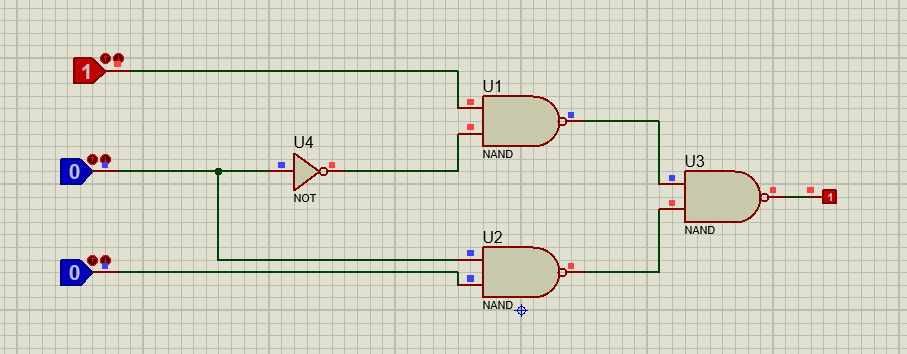
E1.



On se rend compte que ça correspond parfaitement à la table de vérité. Par exemple pour le premier on voit qu’on a An=1 Bn= 1 Rn-1=1 Sn=1 Rn=1 et pour le 5e on a An=0 Bn=1 Rn-1=1 Sn=0 Rn=1, les résultats sont cohérents.

E2. Pas compris « mettre en évidence l’addition de deux nombres codés sur 3 bits »

E3.



E4. Table de vérité d’un multiplexeur 4🡪1 :

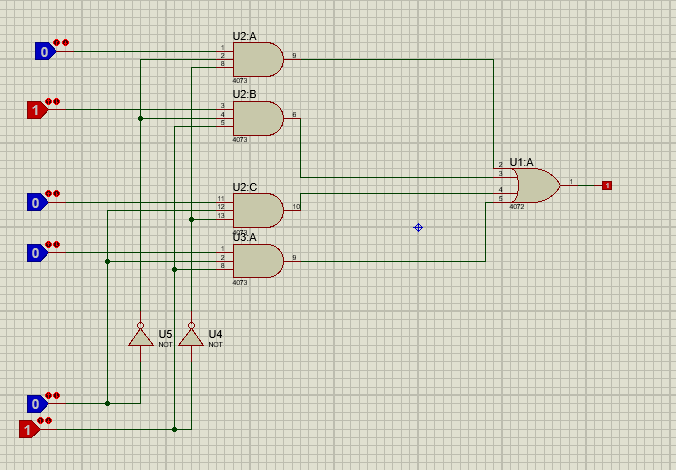
|  |  |  |
| --- | --- | --- |
| SEL0 | SEL1 | OUT |
| 0 | 0 | IN0 |
| 0 | 1 | IN1 |
| 1 | 1 | IN2 |
| 1 | 0 | IN3 |

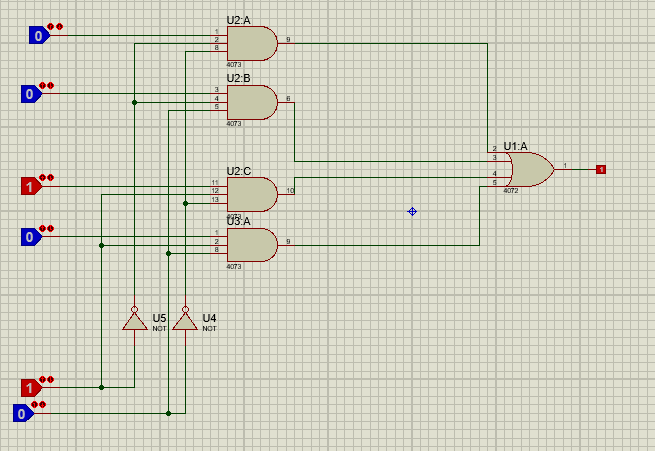
E5.



Y=( SEL1 ⋅ SEL0 ⋅IN0)+( SEL1 ⋅SEL0⋅IN1)+(SEL1⋅ SEL0 ⋅IN3)+(SEL1⋅SEL0⋅IN2)







E6.

Il est possible de réaliser un multiplexeur 8🡪1 avec un unique double multiplexeur 4🡪1 en raccordant les deux sorties pour qu’elles n’en fassent qu’une seule

E7.

On sait que pour 4 entrées on a besoin de 2 bits et pour 8 on en a besoin de 3, on répète et on arrive à 16 pour 4, 32 pour 5, 64 pour 6 et enfin 128 pour 7 bits. Il faut donc prévoir 7 bits pour avoir un multiplexeur à 100 entrées.