




Учебная дисциплина



Вычислительные средства
АСОИУ (часть 3)

Особенности микропроцессоров

 Процессоры отличаются:


 Внутренней архитектурой


 Системой команд


 Внешним видом (корпусом)

Набор команд

Архитектуры CISC и RISC

 Две основные архитектуры набора команд - CISC и RISC


 CISC – Complete Instruction Set Computer
Архитектура с полным набором команд
Микропроцессоры Intel

 RISC – Reduced Instruction Set Computer
Архитектура с сокращенным набором команд
Популярны во всем мире, т.к. на такой архитектуре работают рабочие станции и серверы под управлением ОС Unix

Принципы RISC-архитектуры

- Каждая команда выполняется за один такт (должен быть максимально коротким)
- Все команды имеют одинаковую длину и формат (упрощение логики управления процессором)
- Обработка данных происходит только в регистрах процессора, обращение к памяти только при операциях чтения и записи**
- Система команд должна обеспечивать поддержку языка высокого уровня
- 50 инструкций в архитектурах 1 поколения
- Около 150 инструкций в современных RISC-процессорах

Особенности CISC-архитектуры


 В систему команд добавлены «удобные» для программиста команды (маленькие подпрограммы)


⇒ Ускорение разработки программ


⇒ Команды CISC-процессора имеют разную длину и время выполнения

⇒ Некоторые команды выполняются за несколько тактов


⇒ Производительность ниже



 CISC и RISC – принципы и технологии.

 «Архитектура каждого конкретного процессора представляет собой результат множества компромиссов» (Хамахер и др.)

 CISC-процессоры – персональные компьютеры

 RISC-процессоры – высокопроизводительные серверы и рабочие станции

Основные игроки на рынке процессоров

 Корпорация Intel

 Фирма AMD
(Advanced Micro Devices)

Cyrix

 Sun

 Motorola

Intel 8086



1978 год



16-разрядный

(внутренняя архитектура)





20-разрядная шина адреса
(1 Мб ОП)



16-разрядная шина данных

Intel 80186 и 80286 (1982 год)

 80186 – для встроенных интеллектуальных устройств


 80286 – для ПК

- Новые команды в системе команд
- Защищенный режим (поддержка многозадачности)
- Механизм переключения задач
- Поддержка виртуальной памяти
- 4-уровневая система защиты



 24-разрядная шина адреса (16 Мб ОП)

 16-разрядная шина данных

Intel 80386 – 1985 год

 В 1985 году фирма **Intel** выпустила первый 32-разрядный микропроцессор, ставший родоначальником семейства **IA-32**

32-разрядная арифметика!!!


-  Регистры блока обработки чисел с фиксированной точкой стали 32-разрядными.
-  К каждому из них можно обращаться как к одному двойному слову (32 разряда).


Intel 80386

Архитектура 32-разрядного микропроцессора **существенно** отличается от архитектуры 16-разрядного

- ☞ Увеличение разрядности шины данных и шины адреса до 32 бит (4 Гб ОП)
- ☞ Впервые на кристалле микропроцессора кэш-память 1 уровня (L1) – для временного хранения команд и данных
(Основной кэш (L2) – на системной плате)
- ☞ К используемым в реальном режиме четырем регистрам CS, DS, SS и ES добавлены еще два: FS и GS


Intel 80386

 Кэширование – способ увеличения быстродействия системы за счет хранения часто используемых данных и кодов в «кэш-памяти 1-го уровня» (быстрой памяти), находящейся внутри микропроцессора.

 Кэш-память – очень быстрое запоминающее устройство (время выборки из ОЗУ $\approx 60-70$ нс; из кэша – 10-20 нс, т.е. в 3-4 раза быстрее)

Intel 80386

Упрощенные модели i386

 Intel 386 SX (поддержка только 16-разр.)

 Intel 386 DX (32-разр.)

Кэширование

Идея

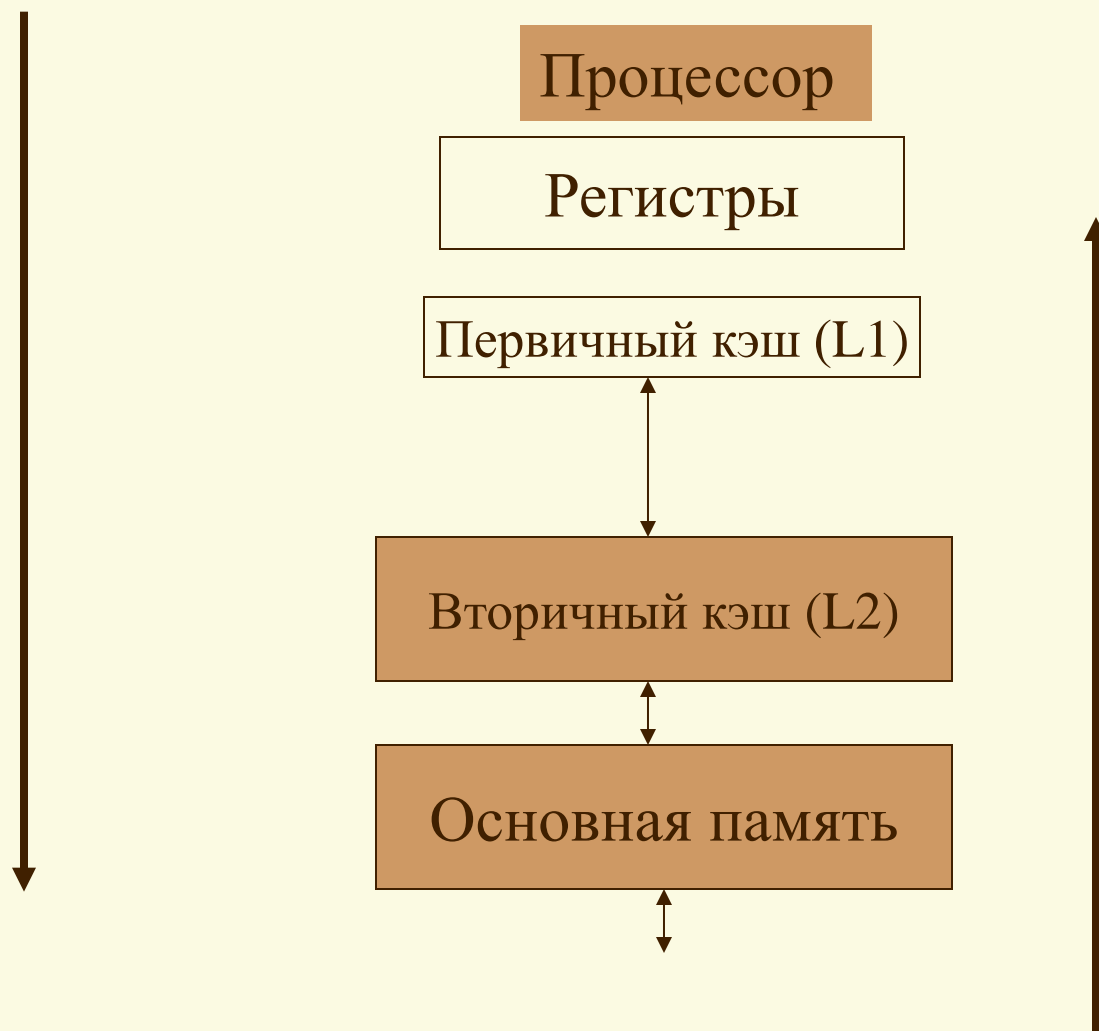
- ❏ Команды из ОП выбираются и пересылаются в процессор, а их копии помещаются в кэш.
- ❏ Данные из основной памяти также пересылаются в процессор, а их копии помещаются в кэш.
- ❏ Если команда или данные понадобятся еще раз, они будут прочитаны не из памяти, а из кэша (например, циклы).
- ❏ Внутренняя скорость выполнения команд, прочитанных из такого кэша (на одном кристалле с процессором) выше, чем скорость выборки команд и данных из ОП.

Иерархия памяти

Обычно в компьютере имеется два уровня кэш-памяти.

- ❏ Первичный кэш располагается на микросхеме процессора, называется кэшем первого уровня (L1)
- ❏ Вторичный кэш располагается между первичным кэшем и остальной памятью, имеет больший объем и называется кэшем второго уровня (L2).

Иерархия памяти



Иерархия памяти

1. Быстрее всего осуществляется доступ к данным, хранящимся в регистрах процессора
(самый маленький объем)
2. Кэш процессора (L1) – небольшой объем
3. Вторичный кэш (L2) – объем больше
4. Основная память (ОП) – значительно больше и намного медленнее кэша
(в типичном компьютере время доступа к ОП в 10 раз дольше времени доступа к кэшу L1).
5. Дисковая память – огромный объем недорогой памяти. Очень медленные операции.

Управление иерархией памяти

«Идея управления иерархической системой памяти состоит в том, чтобы переместить команды и данные , которые будут использоваться в ближайшее время, как можно ближе к процессору.»

Каждый элемент, к которому обращается процессор помещается в кэш и остается там (локализация по времени).

Копируется не только сам элемент программы или данных, но несколько близлежащих (локализация в пространстве).

«Когда кэш полон и обращение происходит к отсутствующему слову памяти, принимается решение какой из блоков удалить из кэша, чтобы добавить новый блок, содержащий требуемое слово.»

Intel 80486 – 1989 год

- В состав кристалла микропроцессора входит блок обработки чисел с плавающей запятой (сопроцессор)
- На кристалле микропроцессора располагается также внутренняя кэш-память.
- Объем кэш-памяти составляет 8 Кбайт (для кэширования и кодов, и данных)
- Архитектура = ядро + периферийные блоки
- Ядро работает на повышенной частоте
- Упрощенная модель - i486 SX
- Intel 486 DX 2 – удвоенная частота для ядра
- Intel 486 DX 4 – утроенная частота для ядра

Скалярная архитектура Intel 80486

В микропроцессоре i486 появился важный элемент архитектуры – конвейер.

КОНВЕЙЕР – специальное устройство, реализующее такой метод обработки команд внутри микропроцессора, при котором исполнение команды разбивается на несколько этапов.

Скалярная архитектура Intel 80486


i486 имеет 5-ступенчатый конвейер:

- 1) выборка команды из кэш-памяти или ОП;
- 2) декодирование команды;
- 3) генерация адреса (определение операндов в памяти);
- 4) выполнение операции с помощью арифметико-логического устройства;
- 5) запись результата.

Таким образом, на конвейере может находиться одновременно пять команд на различной стадии выполнения \Rightarrow существенно возрастает скорость вычислений.

Микропроцессоры, имеющие один конвейер, называются скалярными

Одновременно с Intel 80486

 Более дешевые и высокопроизводительные по сравнению с Intel 486 DX 4 процессоры фирм AMD и Cyrix

 AMD – K5

 Am5x86-P75

 Cyrix 5x86

 (на данном этапе чуть обогнали)

Intel Pentium (586) – 1993 год

Суперскалярная архитектура

Микропроцессоры, имеющие более одного конвейера, называются суперскалярными.

📄 Pentium - 2 конвейера (+ 1 для вещественных чисел)

Усовершенствованный блок вычислений с плавающей точкой

В Pentium обычные математические функции вычислений с плавающей точкой (+, *, /) реализованы аппаратно (целочисленная конвейеризация дополнена 8-тактовыми конвейерными командами вычислений с плавающей точкой).

Итого 3 конвейера – 2 для целочисленных операций (5-тактовые), 1 – для операций с плавающей точкой (8-тактовые).

Intel Pentium (586)

Раздельное кэширование кода и данных
Pentium содержит уже 2 блока кэш-памяти:

один для кода, один для данных (по 8 Кб) \Rightarrow увеличивается скорость работы компьютера за счет одновременного быстрого доступа к коду и данным.

Расширенная 64-битовая шина данных

\Rightarrow Ускорение работы с памятью (за один такт считывается/записывается сразу несколько 8-байтных команд/данных)

Расширенная 64-битовая шина адреса
(объем ОП памяти)

32-разрядная внутренняя архитектура!!!

Intel Pentium (586)

Предсказание правильного адреса перехода

Под переходом понимается запланированное алгоритмом изменение последовательного характера выполнения программы.

Типичная программа на каждые 6-8 команд содержит 1 команду перехода (условные операторы, операторы цикла, оператор безусловного перехода и т.д.)

⇒ через каждые 6-8 команд необходимо очищать и заполнять заново конвейер ⇒ теряются преимущества конвейеризации.

Механизм предсказания перехода

Вводится специальный буфер адресов перехода, который хранит информацию о последних переходах (для Pentium – о 256 переходах).






Для команды, управляющей ветвлением, в буфере запоминаются сама команда, адрес перехода и предположение о том, какая ветвь программы будет выполнена следующей.

Блок предсказания адреса перехода прогнозирует решение программы.

Он основывается на предположении, что ветвь, которая была пройдена, будет использоваться снова (т.е. прогнозируется переход на начало цикла).

Если предсказание верно, переход осуществляется без задержки \Rightarrow увеличение скорости работы. Вероятность правильного предсказания составляет около 80%.

Архитектурные особенности процессоров Pentium

-  Суперскалярная архитектура
-  Раздельное кэширование кода и данных
-  Предсказание правильного адреса перехода
-  Усовершенствованный блок вычислений с плавающей точкой
-  Расширенная 64-битовая шина данных и шина адреса

Pentium Pro – 1995 год

📄 Кэш-память использует собственную шину, независимую от системной

= архитектура с двумя независимыми шинами

Увеличение пропускной способности каналов передачи данных

⇒ 3 конвейера по 14 ступеней


⇒ 64-разрядная шина данных, 36-разрядная шина адреса

⇒ 16 Кб внутренней кэш-памяти (8+8)

⇒ 256 Кб - кэш второго уровня (в одном модуле с микропроцессором, но на отдельной микросхеме)

Pentium MMX – 1997 год


 Ускорение 2D- и 3D-графики за счет дополнительных регистров и типов данных

 + 57 команд команд для эффективной обработки звука, видео, графики.

(операции, для которых Pentium требовалось выполнить десятки или сотни команд закодированы одной инструкцией)


 !!! Под конкретное ПО – ОС Windows 95.

Pentium II – 1997 год

 Улучшенные технические характеристики

(Pentium Pro + средства MMX)

 Рост тактовой частоты

 Кэш-память L1 – 32 Кб (16+16)

 Кэш-память L2 – 32 Кб

Pentium III – 1999 год

- Усовершенствовано ядро процессора
- Улучшена работа кэша L2 (объем 256 Кб)
- 10-ступенчатый конвейер

Pentium 4 – 2000 год

(7 поколение компьютеров)

- 📄 По-прежнему, 32-разрядная внутренняя архитектура!!!
- 📄 Улучшенные характеристики традиционных блоков и технологий
- 📄 Новые технологии
 - Данные считываются 4 раза за 1 такт
 - Гиперконвейерная обработка данных
 - 20-ступенчатый конвейер (не очень хорошо)
 - Блок быстрого выполнения команд работает на удвоенной частоте ядра
 - Кэш-память с отслеживанием выполнения команд
 - Кэш-память L2 (256 Кб) интегрирована в микросхему.
 - Кэши L1, L2 соединены и обеспечивается быстрая передача данных между ними

Процессоры Intel Celeron

Упрощенная версия
процессоров Pentium II, III и 4 (для
дешевых ПК)

-  уменьшен объем кэша L2 в 2 раза

-  Уменьшена разрядность шин

-  Отсутствует ряд расширенных функций

Процессоры AMD

- Более 20 лет конкурентной борьбы с корпорацией Intel
- 7 поколение компьютеров в 2000 году представлено AMD K7 (Athlon)

Первыми наладили производство процессора 8 поколения – с 64-разрядной внутренней архитектурой!!!


Сперва для промышленного применения – AMD Opteron

Затем для настольных ПК – AMD64

Требуется новая ОС, новое прикладное ПО

Athlon64 – одновременная поддержка и 32- и 64-разрядного ПО

МНОГОЯДЕРНЫЕ процессоры

 Новая эра началась в 2005 году
(появилась информация о производстве
9-ядерных процессоров корпорации IBM
для игровой приставки Play Station 3)

⇒ AMD и Intel начали производство
двухъядерных процессоров

Многоядерные процессоры Intel

 Intel Pentium D

 Intel Pentium 4 Extreme Edition

- На кристалле формируется 2 стандартных процессора Pentium,
- добавляются схемы для синхронизации их работы

 (ГРЕЕТСЯ!!!)

 Intel Core 2

- Интегрирует 2 ядра вместе
- (снижение энергопотребления)

Семейство Intel Core 2

2006 год



Intel Core 2 Duo



Intel Core 2 Extreme – 4-ядерный

– для серверов и игровых ПК

2007 год



Intel Core 2 Quad

– для настольных ПК массового спроса



«Представленные летом 2006 года x86-процессоры Intel с новой микроархитектурой Core впервые за последние годы резко опередили процессоры AMD по производительности, обладая при этом более низким энергопотреблением» (Кузьминский)

Семейство Intel Core 2

Ядра работают через одну фронтальную шину FSB для связи с ОЗУ. Это вызывает эффект «бутылочного горлышка», что снижает производительность.

.

Семейство Intel Core 2



-  Приоритет на фронтальной шине FSB имеет северный мост, который соединён с шиной FSB.
-  Любая передача данных на процессорной шине является транзакцией, состоящей из нескольких фаз.

Семейство Intel Core 2



То есть конвейеризация фаз позволяет работать на процессорной шине сразу несколькими агентами, так как при выполнении любых транзакций шина FSB практически не блокируется и остаётся доступной.

Семейство Intel Core 2

-  В один момент времени на шине могут конвейеризироваться 12 транзакций, которые отслеживаются в специальной очереди IOQ.
-  Для эффективной работы процессорной шины важна не только конвейеризация транзакций, но и скорость, зависящая от частоты шины.

Семейство Intel Core 2




Если граничной частотой является 266 МГц, то фаза запросов на шине выполняется с удвоенной частотой (533 МГц). Передача данных осуществляется на учетверённой частоте (8512 байт в секунду).

Семейство Intel Core 2



Задержку вносит изолированность двух ядерных пар между собой, поскольку во многих ситуациях обмен данными идёт через ОЗУ с использованием специального контроллера в северном мосту.

Семейство Intel Core 2

 Если внедрить в северный мост специальный буфер-ускоритель, аккумулирующий в себе содержание всех кэшей, то в некоторых случаях можно будет ускорить доступ к тем данным, которых не окажется во втором кэше L2.

Семейство Intel Core 2

Тактовая частота в 2 раза меньше,
маленькое тепловыделение.

В 2 раза выше производительность по сравнению с Pentium 4.
Усовершенствования:

- 📄 14-ступенчатый (целочисленный) конвейер ⇒
4 команды одновременно выполняются за каждый такт
- 📄 Кэш L2 на кристалле двухядерного процессора – один на 2 ядра
«Применение общего кэша позволяет динамически распределять его емкость между ядрами. При этом исчезает необходимость дублировать общие для обоих ядер данные, как это происходит при использовании каждым ядром собственного кэша второго уровня.»
(Кузьмицкий)

Новое в технологии Core


Предсказание переходов

Кроме традиционных средств предсказания переходов для Pentium 4 (буфер «целей» перехода BTB, калькулятор адресов перехода BAC и стек адресов возврата RAS)


в Core имеется еще два предсказателя.

1. *Детектор циклов* - служит для правильного предсказания выхода из цикла.

Обычное предсказание переходов на основе предыстории будет предсказывать очередное выполнение цикла. Чтобы предсказать выход из цикла, специальные счетчики отслеживают число итераций цикла до его завершения и используют эти данные в будущем для предсказания, когда из этого цикла следует выйти.

 высокая производительность

 энергоэкономичность

 изготовлены по 45-нанометровой производственной технологии с использованием соединений гафния.

 общая кэш-память второго уровня объёмом до 6 МБ

 системная шина с частотой до 1333 МГц (для настольных ПК) и до 800 МГц (для портативных ПК)

Новое в технологии Core

Предсказание переходов






Кроме традиционных средств предсказания переходов для Pentium 4 (буфер «целей» перехода BTV, калькулятор адресов перехода BAC и стек адресов возврата RAS)

в Core имеется еще два предсказателя.


2. *Предсказатель косвенных переходов* - относится к переходам, адрес которых не кодируется в команде непосредственно, а задается содержимым регистра (такие переходы предсказывать сложнее).

Этот предсказатель содержит таблицу, в которую заносятся вероятные адреса косвенных переходов. Когда фронтальная часть процессора обнаруживает косвенный переход и предсказывает, что он произойдет, он запрашивает эту таблицу, выбирая из нее соответствующий целевой адрес перехода


Процессор Intel® Core™ 2 Duo

-  высокая производительность
-  Энергетическая экономичность
-  изготовлены по 45-нанометровой производственной технологии с использованием соединений гафния.
-  общая кэш-память второго уровня объёмом до 6 МБ
-  системная шина с частотой до 1333 МГц (для настольных ПК) и до 800 МГц (для портативных ПК)

Двухъядерный процессор Intel® Core™2 Extreme

 «Двухъядерные процессоры Intel Core 2 Extreme обеспечивают энергосбережение и высокую производительность в играх, а также потрясающее качество видео и звука.»
[www.intel.ru]

4-ядерный процессор Intel® Core™ 2 Extreme




 обеспечивает еще более высокую производительность и пониженное энергопотребление

 Процессор Intel Core 2 Extreme QX9650

- частота 3,0 ГГц
- 12 МБ общей кэш-памяти второго уровня
- системная шина с частотой 1333 МГц

Четырехъядерный процессор Intel® Core™2 Quad

«обеспечивает высочайшую скорость
выполнения ресурсоемких задач
в многозадачных средах и
максимальную производительность
многопоточных приложений»

-  Четыре ядра,
-  до 12 МБ общей кэш-памяти второго уровня
(до 6 МБ на каждые 2 ядра),
-  системная шина с частотой до 1333 МГц

Многоядерные процессоры AMD

AMD Athlon 64 X2 Dual Core

(два 64-разрядных процессора на 1 кристалле)

 2 ядра, у каждого свой кэш L2

Ядра сильнее интегрированы, чем у Intel,
меньше нагрев процессора

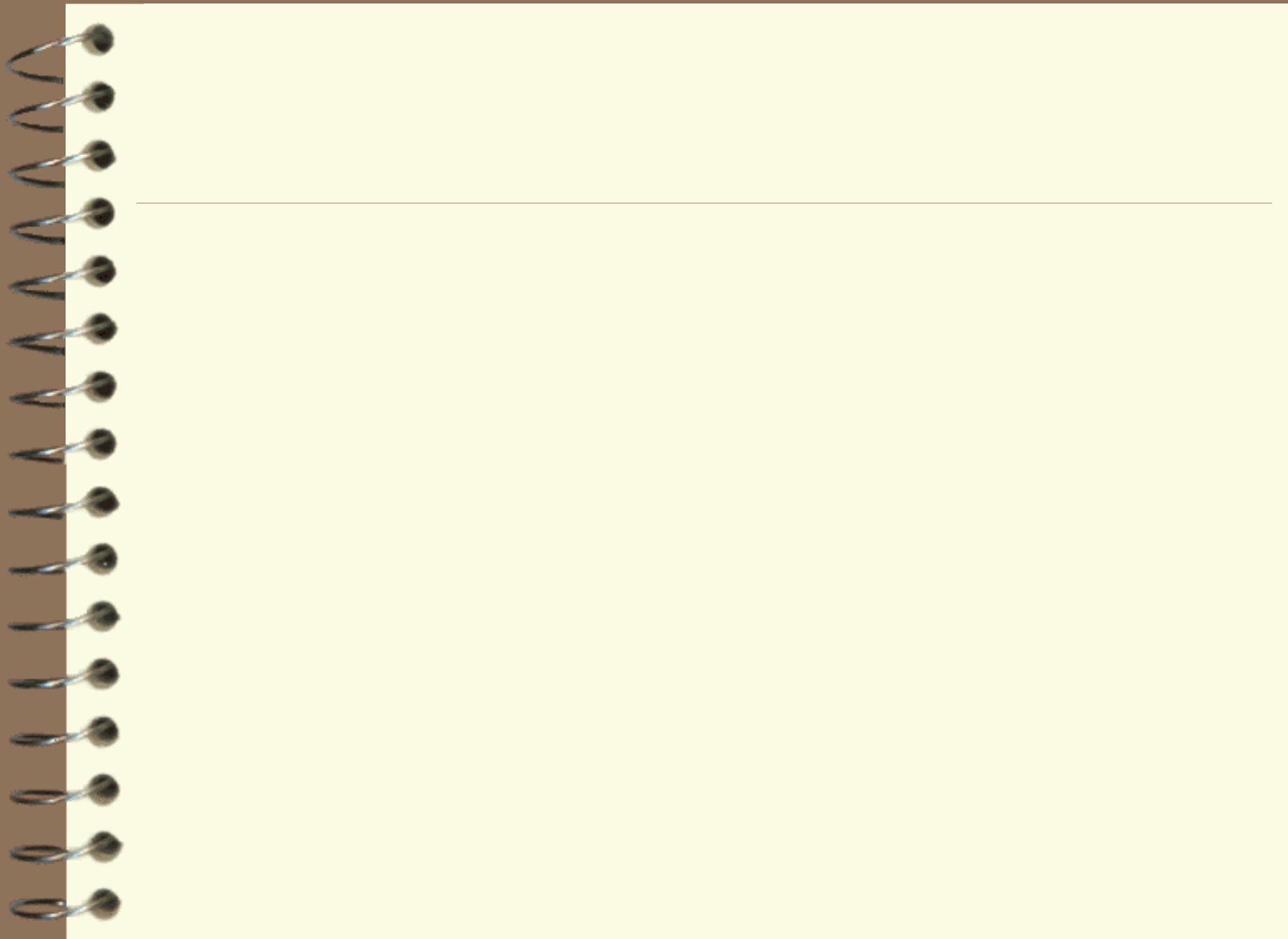
Выводы по развитию процессоров

«Многоядерные микропроцессоры предоставляют большую вычислительную мощность посредством параллелизма, предлагают лучшую системную организацию, работают на меньших тактовых частотах»

«Основной путь развития микропроцессоров – рост числа ядер в микросхеме» (Кузьминский)



Будет добавлен межъядерный коммутатор и получится производительная и хорошо масштабируемая архитектура.



Выводы по развитию процессоров



Главное в развитии многоядерных архитектур является быстрый неконкурентный доступ, как к локальной памяти каждого ядра, так и к общей памяти.



Большое количество ядер возможно реализовать только в другой (не одношинной) архитектуре, поскольку резко возрастают затраты на арбитраж и переключение общей шины.