

# Ontwerp van een RRAM geheugen

Wouter Diels  
Alexander Standaert

Thesis voorgedragen tot het behalen  
van de graad van Master of Science  
in de ingenieurswetenschappen:  
elektrotechniek, optie Elektronica en  
geïntegreerde schakelingen

**Promotor:**

Prof. dr. ir. W. Dehaene

**Assessoren:**

Prof. dr. ir. R. Lauwereins

Prof. dr. ir. M. Verhelst

**Begeleiders:**

ir. B. Baran

dr. ir. S. Cosemans

© Copyright KU Leuven

Zonder voorafgaande schriftelijke toestemming van zowel de promotor als de auteurs is overnemen, kopiëren, gebruiken of realiseren van deze uitgave of gedeelten ervan verboden. Voor aanvragen tot of informatie i.v.m. het overnemen en/of gebruik en/of realisatie van gedeelten uit deze publicatie, wend u tot ESAT, Kasteelpark Arenberg 10 postbus 2440, B-3001 Heverlee, +32-16-321130 of via e-mail [info@esat.kuleuven.be](mailto:info@esat.kuleuven.be).

Voorafgaande schriftelijke toestemming van de promotor is eveneens vereist voor het aanwenden van de in deze masterproef beschreven (originele) methoden, producten, schakelingen en programma's voor industrieel of commercieel nut en voor de inzending van deze publicatie ter deelname aan wetenschappelijke prijzen of wedstrijden.

# Voorwoord

Dit is mijn dankwoord om iedereen te danken die mij bezig gehouden heeft. Hierbij dank ik mijn promotor, mijn begeleider en de voltallige jury. Ook mijn familie heeft mij erg gesteund natuurlijk.

*Wouter Diels*  
*Alexander Standaert*

# Inhoudsopgave

<b>Voorwoord</b>	<b>i</b>
<b>Samenvatting</b>	<b>iv</b>
<b>Lijst van figuren en tabellen</b>	<b>v</b>
<b>Lijst van afkortingen en symbolen</b>	<b>vi</b>
<b>1 Inleiding</b>	<b>1</b>
1.1 Doel en beperkingen van dit werk . . . . .	1
1.2 Structuur van de tekst . . . . .	2
<b>2 Geheugencel</b>	<b>3</b>
2.1 Memristor . . . . .	3
2.2 Memristor in een geheugenstructuur . . . . .	4
2.3 Besluit . . . . .	4
<b>3 Geheugenarchitectuur</b>	<b>5</b>
3.1 Van transistorniveau tot systeemniveau . . . . .	5
3.2 Besluit . . . . .	7
<b>4 Lastimpedantie-analyse</b>	<b>9</b>
4.1 Impedantiekandidaten . . . . .	9
4.2 Nominaal gedrag . . . . .	9
4.3 Gedrag onder variabiliteit . . . . .	9
4.4 Besluit . . . . .	9
<b>5 Sense Amplifier analyse</b>	<b>11</b>
5.1 Types SA . . . . .	11
5.2 Offsetspanning . . . . .	11
5.3 Sensitiviteitsanalyse . . . . .	11
5.4 Paretosimulatie . . . . .	11
5.5 Besluit . . . . .	11
<b>6 Omringende logica</b>	<b>13</b>
6.1 Decoders . . . . .	13
6.2 Buffers . . . . .	13
6.3 BL- en WL-drivers . . . . .	13
6.4 Passgates . . . . .	13
6.5 Besluit . . . . .	13

<b>7</b>	<b>Timing en optimalizatie</b>	<b>15</b>
7.1	Timing . . . . .	15
7.2	Analyse verschillende geheugenconfiguraties . . . . .	20
7.3	Besluit . . . . .	20
<b>8</b>	<b>Besluit</b>	<b>21</b>
<b>A</b>	<b>De eerste bijlage</b>	<b>25</b>
A.1	Meer lorem . . . . .	25
A.2	Lorem 51 . . . . .	26
<b>B</b>	<b>De laatste bijlage</b>	<b>27</b>
B.1	Lorem 20-24 . . . . .	27
B.2	Lorem 25-27 . . . . .	28
	<b>Bibliografie</b>	<b>29</b>

# Samenvatting

In dit **abstract** environment wordt een al dan niet uitgebreide samenvatting van het werk gegeven. De bedoeling is wel dat dit tot 1 bladzijde beperkt blijft.

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Ut purus elit, vestibulum ut, placerat ac, adipiscing vitae, felis. Curabitur dictum gravida mauris. Nam arcu libero, nonummy eget, consectetur id, vulputate a, magna. Donec vehicula augue eu neque. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Mauris ut leo. Cras viverra metus rhoncus sem. Nulla et lectus vestibulum urna fringilla ultrices. Phasellus eu tellus sit amet tortor gravida placerat. Integer sapien est, iaculis in, pretium quis, viverra ac, nunc. Praesent eget sem vel leo ultrices bibendum. Aenean faucibus. Morbi dolor nulla, malesuada eu, pulvinar at, mollis ac, nulla. Curabitur auctor semper nulla. Donec varius orci eget risus. Duis nibh mi, congue eu, accumsan eleifend, sagittis quis, diam. Duis eget orci sit amet orci dignissim rutrum.

# Lijst van figuren en tabellen

## Lijst van figuren

3.1 Een geheugencel en een branch . . . . .	6
3.2 Een Local Block . . . . .	7
3.3 Een Global Block . . . . .	7
7.1 Timing problemen bij de bitlijn . . . . .	16
7.2 Globalblock logica . . . . .	17
7.3 Timing globalblock . . . . .	17
7.4 Controle logica memory array . . . . .	18
7.5 Timing controle logica memory array . . . . .	18
7.6 Delay van woordlijn decoders + buffers ifv bitlijn decoders . . . . .	19
7.7 Controle logica memory array . . . . .	19
7.8 Timing controle logica memory array . . . . .	20

## Lijst van tabellen

# Lijst van afkortingen en symbolen

## Afkortingen

BL	Bit Line
CDF	Cumulative Distribution Function
GB	Global Block
LB	Local Block
NoBLpLB	Number of Bit Lines per Local Block
NoGB	Number of Global Blocks
NoWLpB	Number of Word Lines per Branch
PDF	Probability Distribution Function
RAM	Random Access Memory
RRAM	Resistive Random Access Memory
SA	Sense Amplifier
SL	Source Line
WL	Word Line

## Symbolen

42	“The Answer to the Ultimate Question of Life, the Universe, and Everything” volgens de <a href="#">[2]</a>
$c$	Lichtsnelheid
$E$	Energie
$m$	Massa
$\pi$	Het getal pi



# Hoofdstuk 1

## Inleiding

Vandaag de dag is elektronica niet meer uit het leven weg te denken. Van de smartphone tot het digitaal horloge, van de boordcomputer in de moderne wagen tot de microprocessor in de vaatwasser, overal vind je wel elektronica terug. Sinds Gordon Moore ongeveer 50 jaar geleden de uitspraak deed dat het aantal transistoren op eenzelfde oppervlakte per twee jaar zou verdubbelen, is de industrie er over het algemeen goed in geslaagd dit te verwezenlijken. Dit leidde tot de snelle en uiterst complexe chips die we vandaag allemaal goedkoop aankopen.

Naarmate de processorkracht groter werd, steeg ook de vraag voor grotere en snellere geheugens om deze processorkracht ook effectief uit te buiten. Static Random Access Memory (SRAM) blijft een populaire keuze voor snelle ingebedde geheugens, maar heeft het nadeel vluchtig te zijn: eenmaal de voedingspanning wordt afgeschakeld, verdwijnt de informatie. Flash-geheugens, door veel mensen gebruikt voor massa-opslag in USB-sticks of SSDs, hebben ook hun weg gevonden tot het ingebedde domein en behoren wel tot de klasse van niet-vluchtige geheugens. Het blijkt echter bijzonder moeilijk om flash-geheugens verder te verkleinen.

Onderzoek naar nieuwe geheugens is dan ook onontbeerlijk. Zo zijn er al nieuwe nieuwe kandidaten in opmars die hoopgevendende tekens geven om te concurreren met (ingebbedde) flash-geheugens. MRAMs (Magnetic RAMs) en in het bijzonder STT-RAM (Spin-Transfer Torque) zullen op termijn een belangrijke rol gaan spelen.

Een andere kandidaat is Resistive RAM (RRAM of ReRAM). Daar waar SRAM- en flash-cellen de informatie bevatten via het al dan niet aanwezig zijn van lading, bevat een RRAM-cel informatie door een bepaalde elektrische weerstand aan te nemen. RRAM zou geen problemen hebben om nog even op de klassieke manier mee te schalen en is dus zonder meer een interessante piste om te onderzoeken. Bovendien zou het gefabriceerd kunnen worden met goedkopere processen dan flash-geheugens - de elementfabricatie kan geïntegreerd worden met .

### 1.1 Doel en beperkingen van dit werk

In wat volgt wordt een 4MB RRAM-geheugen gepresenteerd, geschikt voor ingebedde toepassingen, waarbij de nadruk ligt op het uitlezen van woorden. Wat schrijven

betreft, worden mogelijke oplossingen aangereikt, maar deze werden niet uitdrukkelijk onderzocht. Alle data die worden getoond, komen voort uit Spectre-simulaties met 45nm PTM transistormodellen. Daar er geen onderzoek werd gedaan op schrijven van bits en dus op het zetten/resetten van memristors, werden deze gemodelleerd als een eenvoudige weerstand, wiens resistiviteit stochastisch varieerde. Wel werd er rekening gehouden met data-retentie bij het uitlezen van een bit. Het primaire doel van het ontwerp is dat het werkt en dit ook wanneer er variabiliteit - ongecorreleerde gedragsvariaties van componenten in het circuit - in rekening wordt genomen. Voorts werd er ontworpen zodat de snelheid zo groot mogelijk is en het energieverbruik zo laag mogelijk. Ook de totale oppervlakte wordt berekend. Temperatuursvariaties werden niet in rekening genomen, maar aangezien dit een globale variabele is en het systeem differentieel werkt, wordt niet verwacht dat de performantie aanzienlijk zal verminderen.

### 1.2 Structuur van de tekst

In hoofdstuk 2 zal de technologie van een RRAM geheugen uiteengezet worden, alsook diens toepassingen. Ook zal het (eenvoudige) principe om uit een weerstand een nuttige elektrische spanning te vormen uitgelegd worden. In hoofdstuk 3 wordt een oppervlakkige kijk gegeven op hoe het geheugensysteem in elkaar zit, zonder al te diep in details te gaan. Er wordt hier ook aangehaald wat de speelparameters zijn van de architectuur. Voor een robuuste, snelle en laag-energetische leesoperatie uit te voeren zal het belangrijk zijn het geheugenelement te combineren met een zorgvuldig gekozen impedantie, dit wordt onderzocht in hoofdstuk 4. Uiteindelijk zullen er bits moeten verschijnen aan de uitgang van het systeem, de sense amplifier zorgt hiervoor en wordt besproken in hoofdstuk 5. In de geheugenstructuur zijn ook bepaalde logische (digitale) operaties nodig om uit een ingangsadres de juiste cel aan te spreken, de hiervoor gebruikte blokken worden beschreven en geanalyseerd in hoofdstuk 6. Ten slotte zal in hoofdstuk 7 de timing van controlesignalen onderzocht worden en het effect van te spelen met de architectuurparameters.

# Hoofdstuk 2

## Geheugencel

Elk geheugen bestaat uit een verzameling individuele cellen die de informatie bevatten op een manier. In dit hoofdstuk wordt eerst wat dieper ingegaan om de manier waarom een R-RAM geheugencel informatie bevat en vervolgens hoe deze informatie elektrisch kan worden gebruikt.

### 2.1 Memristor

Het essentiële element van een R-RAM geheugencel is ontegensprekbaar de zogenaamde memristor. De memristor wordt ook wel gezien als de 4<sup>e</sup> passieve component, naast de weerstand, spoel en condensator.

#### 2.1.1 Theoretisch principe

In 1971 publiceerde Leon Chua een artikel waarin hij opmerkte dat er voor de 4 fundamentele circuitvariabelen (de spanning  $v$ , stroom  $i$ , lading  $q$  en fluxbinding  $\lambda$ <sup>1</sup>) van 6 mogelijke onderlinge relaties er slechts 5 gekend waren:  $q(t) = \int_{-\infty}^t i(\tau) d\tau$ ,  $\lambda(t) = \int_{-\infty}^t v(\tau) d\tau$ ,  $v(t) = R * i(t)$ ,  $q(t) = C * v(t)$  en  $\lambda(t) = L * i(t)$  volgen uit de wetten van Maxwell en uit de definities van de weerstand, spoel en condensator, maar er ontbrak een relatie tussen  $\lambda$  en  $q$ .<sup>[1]</sup> Hij suggereerde dat er een 4<sup>e</sup> nog niet ontdekte passieve 2-pool moest bestaan die dit verband herbergde. Uit zijn wiskundige berekeningen kwam hij tot de conclusie dat deze component zich ogenblikkelijk als een weerstand zou gedragen, maar dat deze weerstand verandert aan de hand van het verloop van de stroom in de tijd. Gebaseerd op deze conclusie doopte hij deze component de memristor (een contractie van memory en resistor).

#### 2.1.2 Fysische werking

Chua beëindigde zijn artikel met te erkennen dat er op dat moment nog geen fysische memristor was ontdekt, maar dat dit in de toekomst wel kon gebeuren, al dan niet zelfs per ongeluk. Hij gaf zelfs aan dat er misschien al in die tijd materialen met

---

<sup>1</sup> $\lambda(t) = \int_{-\infty}^t v(\tau) d\tau$ , voor een ideale inductantie is dit hetzelfde als magnetische flux:  $\lambda = \phi$

memristorkarakteristieken gebruikt werden, maar dat men hier over keek. Hij zou gelijk krijgen.

### 2.1.3 Toepassingen

## 2.2 Memristor in een geheugenstructuur

In dit werk wordt gebruik gemaakt van een *1 Transistor, 1 Resistor* (maar eigenlijk dus een memristor) architectuur, de combinatie van deze twee vormt de geheugencel, maar er zijn nog een paar andere configuraties die zouden toegepast kunnen worden.

### 2.2.1 1T1R

### 2.2.2 1R

### 2.2.3 1T1D

## 2.3 Besluit

## Hoofdstuk 3

# Geheugenarchitectuur

De afzonderlijke geheugencellen zullen uiteindelijk samengebracht moeten worden in een geheel. In dit hoofdstuk zal de algemene structuur besproken worden alsook de vrijheidsgraden die in hoofdstuk 7 onderzocht worden voor een optimaal werkend systeem. Ten slotte zullen ook nog de bouwblokken aangekaard worden die meer uitvoerig besproken worden in de volgende hoofdstukken.

### 3.1 Van transistorniveau tot systeemniveau

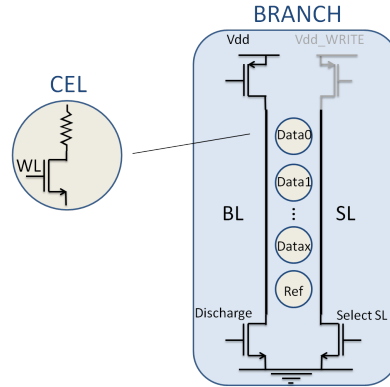
Hoewel het hele systeem op de chip in weze bestaat uit transistoren en passieve componenten, zal dit nog onmogelijk te begrijpen vallen op zulke grote schaal. Het is daarom aangewezen om meer abstractie te maken en de componenten vanop een hoger niveau te bekijken.

#### 3.1.1 Cel

Zoals besproken in hoofdstuk 2 zal dit het bouwblok zijn dat het vaakst terug zal te vinden zijn op het geheugensysteem. De cel bestaat uit een memristor en een transistor. De geheugencel heeft drie terminals: de gate van de transistor, die zal verbonden worden met een wordline, de source van de transistor, die zal verbonden worden met een sourceline en tenslotte de terminal van de memristor, die zal verbonden worden met een bitline. Een cel wiens memristor zich in een willekeurige resistieve staat bevindt is een datacel, terwijl de memristor van referentiecellen in een voorgeprogrammeerde en dus gekende resistieve staat verkeert.

#### 3.1.2 Branch

In een branch worden er een bepaald aantal datacellen verbonden aan één BL en één SL. Dit aantal wordt *Number of Word Lines per Branch* (NoWLpB) genoemd en is een van de vrijheidsgraden van de geheugenarchitectuur. Naast alle datacellen is er ook nog één referentiecel verbonden aan de BL en SL van de branch. Elke BL wordt via een pMOS-transistor verbonden met de voedingspanning  $V_{dd}$  en via een nMOS-transistor aan de grondspanning  $V_{ss}$ . In dit werk is er enkel een nMOS-transistor



Figuur 3.1: Een geheugencel en een branch

die de SL verbindt met Vss.<sup>1</sup> De nMOS-transistoren aan BL en SL fungeren als schakelaars, de pMOS-transistor wordt gebruikt als impedantie voor een resistieve spanningsdeling (zie hoofdstuk 4). Ter illustratie wordt de samenhang tussen cel en branch getoond in figuur 3.1.

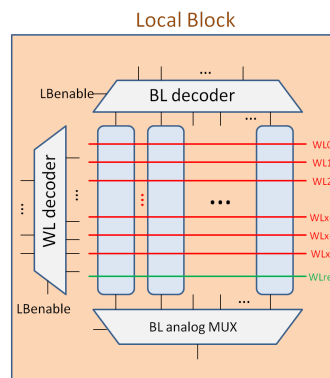
#### 3.1.3 Local Block

Verschillende BLs en SLs worden samengebracht in een Local Block, waarvan de vrijheidsgraad *Number of Bit Lines per Local Block* (NoBLpLB) heet. In een LB bevinden er zich dus NoBLpLB x NoWLpB datacellen en NoBLpLB referentiecellen. Ook zitten er in een Local Block zowel BL- als WL-decoders. De structuur van een Local Block is geïllustreerd op figuur 3.2. De uitgangen van de WL-decoder zullen (mits wat buffering tussenin) worden aangesloten aan de data-WLs zelf, die van de BL-decoder zullen een spanningsdeling tweeweg brengen op de BLs. De referentie-WL zal via een extern signaal verbonden worden. Aangezien een LB zowel data- als referentiecellen bevat, gaat een LB twee werkingmodes hebben: een mode waarbij er één datacel wordt aangesproken en een mode waarbij er een bepaald aantal referentiecellen in parallel wordt aangesproken.

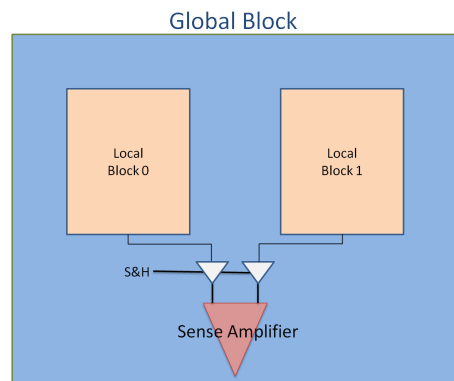
#### 3.1.4 Global Block

Een Global Block bestaat uit twee LBs en een sense amplifier (SA). In het ene LB gaat er een datasignaal geproduceerd worden, in het andere een referentiesignaal (zie figuur 3.3). Vervolgens gaat de SA dit kleine signaalverschil versterken tot een zuivere rail-to-rail output. Aan de uitgang van het GB verschijnen dan ook de opgevraagde bits. De laatste architectuurvrijheidsgraad is de *Number of Global Blocks* (NoGB), het totale geheugen bevat dus NoGB x 2 x NoBLpLB x NoWLpB geheugencellen.

<sup>1</sup>In een volledig geheugensysteem zou de SL via een pMOS ook nog verbonden zijn met een niet onderzochte spanningsknoop Vdd\_write. De pMOS zou dan worden aangezet voor schrijfwering.



Figuur 3.2: Een Local Block



Figuur 3.3: Een Global Block

## 3.2 Besluit





## Hoofdstuk 4

# Lastimpedantie-analyse

Om een cel uit te lezen wordt er een spanning gegenereerd op de bitline door middel van spanningsdeling. Het is dus belangrijk om de 2 impedanties van de spanningsdeler zodanig te kiezen voor optimale snelheid, bitline spanningsverschil en memristorretentie. Ook belangrijk is dat deze impedanties robuust zijn tegen variabiliteit.

### 4.1 Impedantiekandidaten

#### 4.1.1 Schakelaarsbelasting

#### 4.1.2 Extra MOS-transistor

#### 4.1.3 Diode-geconnecteerde MOS-transistor

#### 4.1.4 Bulk-geconnecteerde MOS-transistor

### 4.2 Nominaal gedrag

### 4.3 Gedrag onder variabiliteit

#### 4.3.1 Monte Carlo simulaties

### 4.4 Besluit



## Hoofdstuk 5

# Sense Amplifier analyse

Een sense amplifier versterkt kleine signaalverschillen tot rail-tot-rail signalen. Aangezien de uitgangsignalen hiervan ook de uitgelezen bits zijn van het geheugen, is het bovenal belangrijk dat dit op een correcte manier gebeurt, ondanks variabiliteit. Het is dus logisch om de sense amplifier wat meer te onderzoeken en zodanig te ontwerpen op een robuuste manier, terwijl er ook rekening gehouden wordt met energie en snelheid.

### 5.1 Types SA

### 5.2 Offsetspanning

### 5.3 Sensitiviteitsanalyse

### 5.4 Paretosimulatie

### 5.5 Besluit



## Hoofdstuk 6

# Omringende logica

Een heleboel logische blokken, zoals decoders, drivers, pass-gates en buffers zitten verwerkt in de geheugenstructuur. In dit hoofdstuk worden deze componenten van wat dichterbij onderzocht.

### 6.1 Decoders

#### 6.1.1 Vergelijkende studie

### 6.2 Buffers

### 6.3 BL- en WL-drivers

### 6.4 Passgates

### 6.5 Besluit



# Hoofdstuk 7

## Timing en optimalizatie

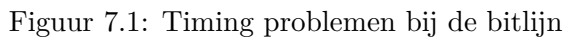
Voor een correcte werking van het geheugen, is het van belang dat de verschillende controlesignalen in een bepaalde volgorde verwerkt en doorgegeven worden. Bovendien is er ruimte voor optimalisatie door al de signalen even snel te maken als het kritisch pad. In het eerste deel van dit hoofdstuk zal de invloed van architecture en sizing onderzocht worden op de timing van de signalen. De constraints en vrijheidsgraden die hier uit volgen zullen dan gebruikt worden in het tweede deel van dit hoofdstuk om een optimale architecture te vinden.

### 7.1 Timing

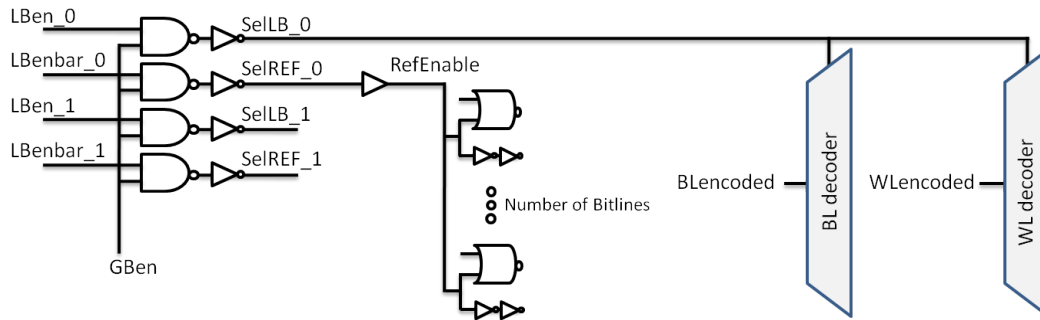
Het ontwerp van dit geheugen gaat tot het niveau van het globalblock 3.1.4, hierbij wordt de veronderstelling gemaakt dat alle signalen tegelijkertijd binnen komen in het globalblock. Hierna propageren de signalen door logica tot ze verschillende transistoren rond de BL aansturen. De aansturing van deze transistoren omvatten de eerste kritische timing constraints. Vervolgens worden de muxen en SA aangesloten, deze zullen de tweede timing constraints bevatten.

#### 7.1.1 Kritische timing voor het (de)selecteren cell

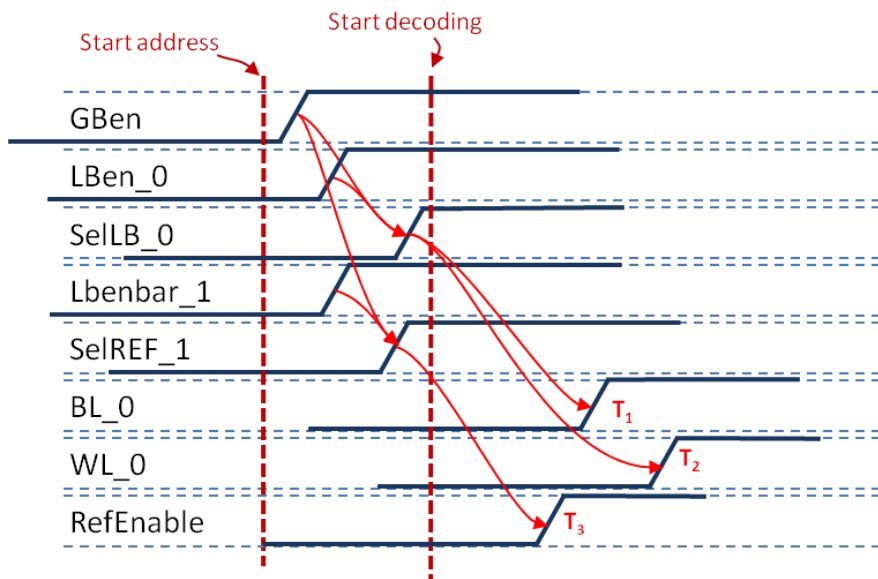
Timings problemen rond het (de)selecteren van de cell komen door het een verschil in timing voor het (de)selecteren van de load en cell. Indien de load geselecteerd wordt voor de cell zal de bitline vroegtijdig beginnen opladen naar de voedingspanning. Wanneer de cell dan geselecteert is zal de bitline naar een betekenis volle spanning getrokken worden. Afhankelijk van het tijds verschil tussen deze twee evenementen, zal de bitlijn terug omlaag getrokken worden, wat resulteert in een energie verspilling. Dit wordt geïllustreerd in figuur 7.1a. Indien de cell gedeselecteert wordt voordat de load gedeselecteert is, zal de bitline ook opladen naar de voedingspanning. Dit heeft als gevolg dat het ontladen van de bitlijn langer zal duren en de overbodige oplading resulteert ook in een energie verspilling. Door de keuze van logica (zie figure TODO) zal afhankelijk van het tijds verschil, de mux te vroeg worden afgeschakeld. Waardoor de knoop achter de mux niet volledig ontladen zal zijn. Dit heeft geen nadelige







Figuur 7.2: Globalblock logica

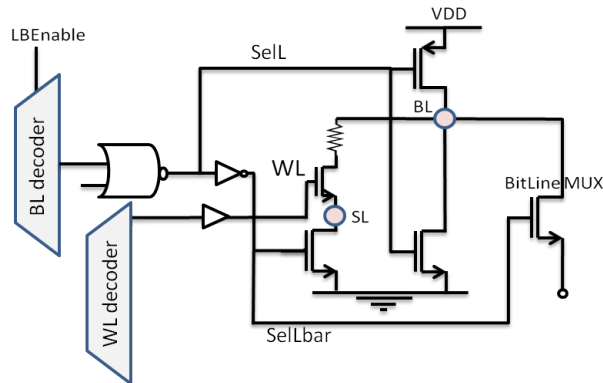


Figuur 7.3: Timing globalblock

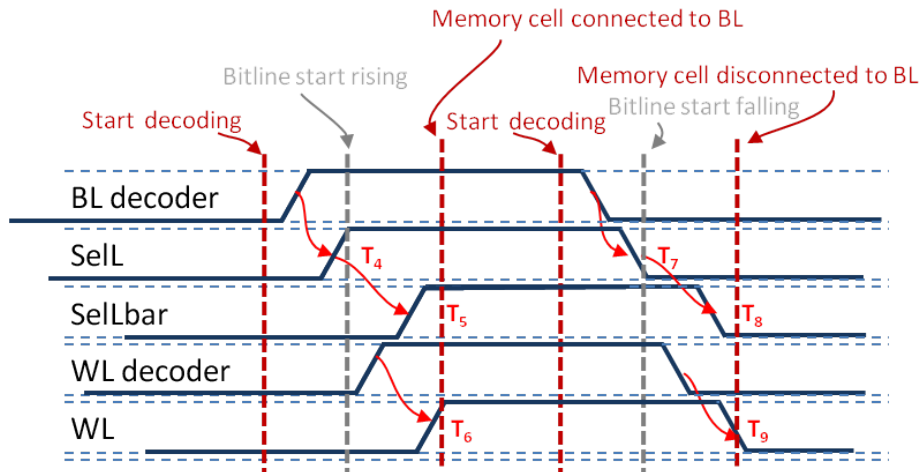
en 7.5. Bij het aanschakelen van de cell zouden de cell vroeger of tegelijk als de last moeten geschakelt worden. Op het timings diagram wordt dit geïllustreerd als  $T_4 = T_5 = T_6$ . Door de implementatie van de logica is dit niet mogelijk aangezien er altijd een inverter vertraging verschil is tussen  $T_4$  en  $T_5$ . Deze vertraging is minimaal en kan getollereerd worden door dat de bitlijn in elk geval moet op geladen worden tot minimum  $V_{LRS}$ . Bij lage voedingsspanningen komt dit probleem daarentegen terug boven.  $T_6$  wordt bepaald door woordlijn decoder en woordlijn buffers. Deze vertraging zou zo gemaakt moeten worden dat deze vroeger of gelijk met  $T_5$  valt. Bij het afschakelen van de cell zijn de omgekeerde voorwaarden nodig namelijk, De last zou vroeger of gelijk als de cell moeten afgeschakelt moeten worden. Deze voorwaarde is voldaan als  $T_7$  voor  $T_8$  en  $T_9$  komt. Door de inverter is  $T_7$  altijd voor  $T_8$ ,  $T_9$  daarentegen word bepaald door de woordlijn decoder en buffer en zou voor

T7 moeten komen.

De timing van de controle logica voor de memory array staat in het circuit vast op de timing van de woordlijn na. Deze moet moet geselecteerd worden voor de sourcelijn geselecteerd is en moet gedeselecteerd worden na dat de last gedeselecteerd is. De timing van de woordlijn wordt expliciet bepaalt door de grote van de woordlijn decoder en impliciet door de grote van de bitlijn decoder dat de grote van de woordlijn buffer bepaalt. Figure 7.6 geeft de delay van verschillende grotes van woorlijn decoders + buffer ifv verschillende grotes van bitlijn decoders weers ... TODO

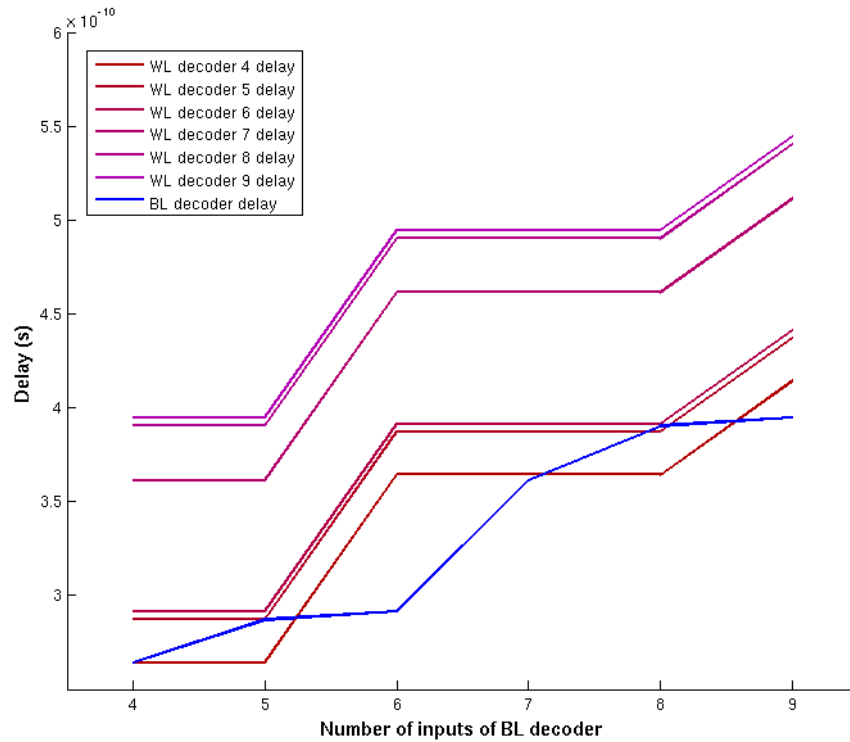


Figuur 7.4: Controle logica memory array



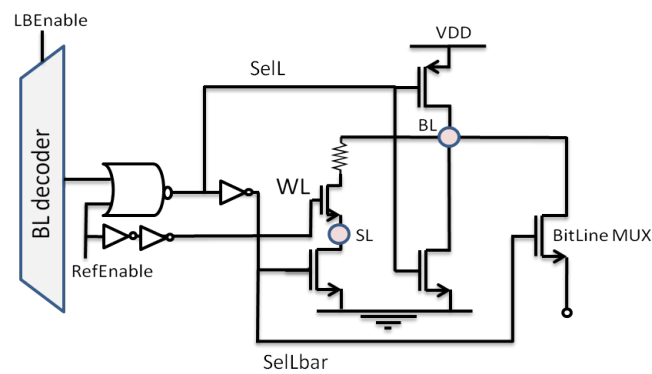
Figuur 7.5: Timing controle logica memory array

De timings voorwaarden voor het selecteren en deselecteren van de referentie cell, zijn het zelfde als die van de memory cellen. Het circuit en timing diagram is geillustreerd in figuren 7.7 en 7.8. Anders als bij de memory cellen worden de timings voorwaarden al in de logica zelf voldaan door dat de woorlijnen worden aangestuurd

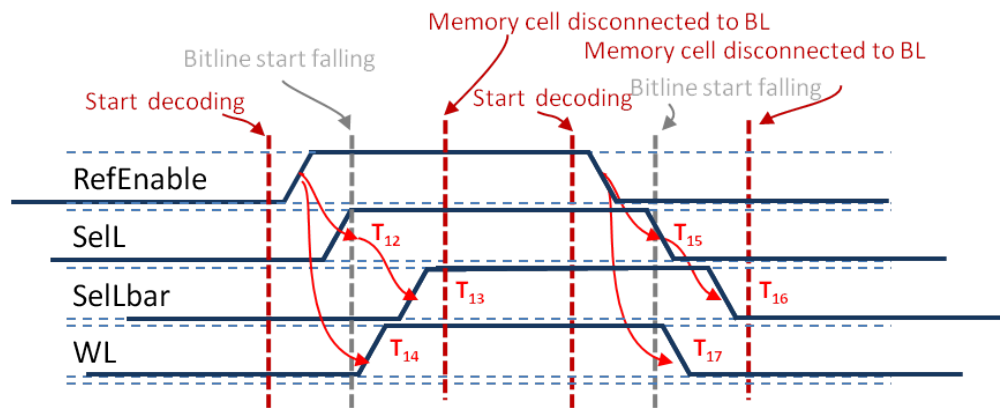


Figuur 7.6: Delay van woordlijn decoders + buffers ifv bitlijn decoders

door een signaal dat rechtstreeks van de bitlijn decoder komt. Dit signaal wordt dan vertraagt door twee invertoren om de juiste timing te verwezelijken.



Figuur 7.7: Controle logica memory array



Figuur 7.8: Timing controle logica memory array

### 7.1.2 Critische timing voor het uitlezen van de cell

## 7.2 Analyse verschillende geheugenconfiguraties

### 7.3 Besluit

## Hoofdstuk 8

# Besluit

De masterproeftekst wordt afgesloten met een hoofdstuk waarin alle besluiten nog eens samengevat worden. Dit is ook de plaats voor suggesties naar het verder gebruik van de resultaten, zowel industriële toepassingen als verder onderzoek.

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Ut purus elit, vestibulum ut, placerat ac, adipiscing vitae, felis. Curabitur dictum gravida mauris. Nam arcu libero, nonummy eget, consectetur id, vulputate a, magna. Donec vehicula augue eu neque. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Mauris ut leo. Cras viverra metus rhoncus sem. Nulla et lectus vestibulum urna fringilla ultrices. Phasellus eu tellus sit amet tortor gravida placerat. Integer sapien est, iaculis in, pretium quis, viverra ac, nunc. Praesent eget sem vel leo ultrices bibendum. Aenean faucibus. Morbi dolor nulla, malesuada eu, pulvinar at, mollis ac, nulla. Curabitur auctor semper nulla. Donec varius orci eget risus. Duis nibh mi, congue eu, accumsan eleifend, sagittis quis, diam. Duis eget orci sit amet orci dignissim rutrum.

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus

tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

Fusce mauris. Vestibulum luctus nibh at lectus. Sed bibendum, nulla a faucibus semper, leo velit ultricies tellus, ac venenatis arcu wisi vel nisl. Vestibulum diam. Aliquam pellentesque, augue quis sagittis posuere, turpis lacus congue quam, in hendrerit risus eros eget felis. Maecenas eget erat in sapien mattis porttitor. Vestibulum porttitor. Nulla facilisi. Sed a turpis eu lacus commodo facilisis. Morbi fringilla, wisi in dignissim interdum, justo lectus sagittis dui, et vehicula libero dui cursus dui. Mauris tempor ligula sed lacus. Duis cursus enim ut augue. Cras ac magna. Cras nulla. Nulla egestas. Curabitur a leo. Quisque egestas wisi eget nunc. Nam feugiat lacus vel est. Curabitur consectetur.

Suspendisse vel felis. Ut lorem lorem, interdum eu, tincidunt sit amet, laoreet vitae, arcu. Aenean faucibus pede eu ante. Praesent enim elit, rutrum at, molestie non, nonummy vel, nisl. Ut lectus eros, malesuada sit amet, fermentum eu, sodales cursus, magna. Donec eu purus. Quisque vehicula, urna sed ultricies auctor, pede lorem egestas dui, et convallis elit erat sed nulla. Donec luctus. Curabitur et nunc. Aliquam dolor odio, commodo pretium, ultricies non, pharetra in, velit. Integer arcu est, nonummy in, fermentum faucibus, egestas vel, odio.

Sed commodo posuere pede. Mauris ut est. Ut quis purus. Sed ac odio. Sed vehicula hendrerit sem. Duis non odio. Morbi ut dui. Sed accumsan risus eget odio. In hac habitasse platea dictumst. Pellentesque non elit. Fusce sed justo eu urna porta tincidunt. Mauris felis odio, sollicitudin sed, volutpat a, ornare ac, erat. Morbi quis dolor. Donec pellentesque, erat ac sagittis semper, nunc dui lobortis purus, quis congue purus metus ultricies tellus. Proin et quam. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Praesent sapien turpis, fermentum vel, eleifend faucibus, vehicula eu, lacus.

# Bijlagen





# Bijlage A

## De eerste bijlage

In de bijlagen vindt men de data terug die nuttig kunnen zijn voor de lezer, maar die niet essentieel zijn om het betoog in de normale tekst te kunnen volgen. Voorbeelden hiervan zijn bronbestanden, configuratie-informatie, langdradige wiskundige afleidingen, enz.

In een bijlage kunnen natuurlijk ook verdere onderverdelingen voorkomen, evenals figuren en referenties[2].

### A.1 Meer lorem

Quisque facilisis auctor sapien. Pellentesque gravida hendrerit lectus. Mauris rutrum sodales sapien. Fusce hendrerit sem vel lorem. Integer pellentesque massa vel augue. Integer elit tortor, feugiat quis, sagittis et, ornare non, lacus. Vestibulum posuere pellentesque eros. Quisque venenatis ipsum dictum nulla. Aliquam quis quam non metus eleifend interdum. Nam eget sapien ac mauris malesuada adipiscing. Etiam eleifend neque sed quam. Nulla facilisi. Proin a ligula. Sed id dui eu nibh egestas tincidunt. Suspendisse arcu.

#### A.1.1 Lorem 15–17

Nulla in ipsum. Praesent eros nulla, congue vitae, euismod ut, commodo a, wisi. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Aenean nonummy magna non leo. Sed felis erat, ullamcorper in, dictum non, ultricies ut, lectus. Proin vel arcu a odio lobortis euismod. Vestibulum ante ipsum primis in faucibus orci luctus et ultrices posuere cubilia Curae; Proin ut est. Aliquam odio. Pellentesque massa turpis, cursus eu, euismod nec, tempor congue, nulla. Duis viverra gravida mauris. Cras tincidunt. Curabitur eros ligula, varius ut, pulvinar in, cursus faucibus, augue.

Nulla mattis luctus nulla. Duis commodo velit at leo. Aliquam vulputate magna et leo. Nam vestibulum ullamcorper leo. Vestibulum condimentum rutrum mauris. Donec id mauris. Morbi molestie justo et pede. Vivamus eget turpis sed nisl cursus tempor. Curabitur mollis sapien condimentum nunc. In wisi nisl, malesuada at,

dignissim sit amet, lobortis in, odio. Aenean consequat arcu a ante. Pellentesque porta elit sit amet orci. Etiam at turpis nec elit ultricies imperdiet. Nulla facilisi. In hac habitasse platea dictumst. Suspendisse viverra aliquam risus. Nullam pede justo, molestie nonummy, scelerisque eu, facilisis vel, arcu.

Curabitur tellus magna, porttitor a, commodo a, commodo in, tortor. Donec interdum. Praesent scelerisque. Maecenas posuere sodales odio. Vivamus metus lacus, varius quis, imperdiet quis, rhoncus a, turpis. Etiam ligula arcu, elementum a, venenatis quis, sollicitudin sed, metus. Donec nunc pede, tincidunt in, venenatis vitae, faucibus vel, nibh. Pellentesque wisi. Nullam malesuada. Morbi ut tellus ut pede tincidunt porta. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Etiam congue neque id dolor.

### A.1.2 Lorem 18–19

Donec et nisl at wisi luctus bibendum. Nam interdum tellus ac libero. Sed sem justo, laoreet vitae, fringilla at, adipiscing ut, nibh. Maecenas non sem quis tortor eleifend fermentum. Etiam id tortor ac mauris porta vulputate. Integer porta neque vitae massa. Maecenas tempus libero a libero posuere dictum. Vestibulum ante ipsum primis in faucibus orci luctus et ultrices posuere cubilia Curae; Aenean quis mauris sed elit commodo placerat. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos hymenaeos. Vivamus rhoncus tincidunt libero. Etiam elementum pretium justo. Vivamus est. Morbi a tellus eget pede tristique commodo. Nulla nisl. Vestibulum sed nisl eu sapien cursus rutrum.

Nulla non mauris vitae wisi posuere convallis. Sed eu nulla nec eros scelerisque pharetra. Nullam varius. Etiam dignissim elementum metus. Vestibulum faucibus, metus sit amet mattis rhoncus, sapien dui laoreet odio, nec ultricies nibh augue a enim. Fusce in ligula. Quisque at magna et nulla commodo consequat. Proin accumsan imperdiet sem. Nunc porta. Donec feugiat mi at justo. Phasellus facilisis ipsum quis ante. In ac elit eget ipsum pharetra faucibus. Maecenas viverra nulla in massa.

## A.2 Lorem 51

Maecenas dui. Aliquam volutpat auctor lorem. Cras placerat est vitae lectus. Curabitur massa lectus, rutrum euismod, dignissim ut, dapibus a, odio. Ut eros erat, vulputate ut, interdum non, porta eu, erat. Cras fermentum, felis in porta congue, velit leo facilisis odio, vitae consectetur lorem quam vitae orci. Sed ultrices, pede eu placerat auctor, ante ligula rutrum tellus, vel posuere nibh lacus nec nibh. Maecenas laoreet dolor at enim. Donec molestie dolor nec metus. Vestibulum libero. Sed quis erat. Sed tristique. Duis pede leo, fermentum quis, consectetur eget, vulputate sit amet, erat.

## Bijlage B

# De laatste bijlage

In de bijlagen vindt men de data terug die nuttig kunnen zijn voor de lezer, maar die niet essentieel zijn om het betoog in de normale tekst te kunnen volgen. Voorbeelden hiervan zijn bronbestanden, configuratie-informatie, langdradige wiskundige afleidingen, enz.

### B.1 Lorem 20-24

Nulla ac nisl. Nullam urna nulla, ullamcorper in, interdum sit amet, gravida ut, risus. Aenean ac enim. In luctus. Phasellus eu quam vitae turpis viverra pellentesque. Duis feugiat felis ut enim. Phasellus pharetra, sem id porttitor sodales, magna nunc aliquet nibh, nec blandit nisl mauris at pede. Suspendisse risus risus, lobortis eget, semper at, imperdiet sit amet, quam. Quisque scelerisque dapibus nibh. Nam enim. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Nunc ut metus. Ut metus justo, auctor at, ultrices eu, sagittis ut, purus. Aliquam aliquam.

Etiam pede massa, dapibus vitae, rhoncus in, placerat posuere, odio. Vestibulum luctus commodo lacus. Morbi lacus dui, tempor sed, euismod eget, condimentum at, tortor. Phasellus aliquet odio ac lacus tempor faucibus. Praesent sed sem. Praesent iaculis. Cras rhoncus tellus sed justo ullamcorper sagittis. Donec quis orci. Sed ut tortor quis tellus euismod tincidunt. Suspendisse congue nisl eu elit. Aliquam tortor diam, tempus id, tristique eget, sodales vel, nulla. Praesent tellus mi, condimentum sed, viverra at, consectetur quis, lectus. In auctor vehicula orci. Sed pede sapien, euismod in, suscipit in, pharetra placerat, metus. Vivamus commodo dui non odio. Donec et felis.

Etiam suscipit aliquam arcu. Aliquam sit amet est ac purus bibendum congue. Sed in eros. Morbi non orci. Pellentesque mattis lacinia elit. Fusce molestie velit in ligula. Nullam et orci vitae nibh vulputate auctor. Aliquam eget purus. Nulla auctor wisi sed ipsum. Morbi porttitor tellus ac enim. Fusce ornare. Proin ipsum enim, tincidunt in, ornare venenatis, molestie a, augue. Donec vel pede in lacus sagittis porta. Sed hendrerit ipsum quis nisl. Suspendisse quis massa ac nibh pretium cursus. Sed sodales. Nam eu neque quis pede dignissim ornare. Maecenas eu purus ac urna tincidunt congue.

Donec et nisl id sapien blandit mattis. Aenean dictum odio sit amet risus. Morbi purus. Nulla a est sit amet purus venenatis iaculis. Vivamus viverra purus vel magna. Donec in justo sed odio malesuada dapibus. Nunc ultrices aliquam nunc. Vivamus facilisis pellentesque velit. Nulla nunc velit, vulputate dapibus, vulputate id, mattis ac, justo. Nam mattis elit dapibus purus. Quisque enim risus, congue non, elementum ut, mattis quis, sem. Quisque elit.

Maecenas non massa. Vestibulum pharetra nulla at lorem. Duis quis quam id lacus dapibus interdum. Nulla lorem. Donec ut ante quis dolor bibendum condimentum. Etiam egestas tortor vitae lacus. Praesent cursus. Mauris bibendum pede at elit. Morbi et felis a lectus interdum facilisis. Sed suscipit gravida turpis. Nulla at lectus. Vestibulum ante ipsum primis in faucibus orci luctus et ultrices posuere cubilia Curae; Praesent nonummy luctus nibh. Proin turpis nunc, congue eu, egestas ut, fringilla at, tellus. In hac habitasse platea dictumst.

## B.2 Lorem 25-27

Vivamus eu tellus sed tellus consequat suscipit. Nam orci orci, malesuada id, gravida nec, ultricies vitae, erat. Donec risus turpis, luctus sit amet, interdum quis, porta sed, ipsum. Suspendisse condimentum, tortor at egestas posuere, neque metus tempor orci, et tincidunt urna nunc a purus. Sed facilisis blandit tellus. Nunc risus sem, suscipit nec, eleifend quis, cursus quis, libero. Curabitur et dolor. Sed vitae sem. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Maecenas ante. Duis ullamcorper enim. Donec tristique enim eu leo. Nullam molestie elit eu dolor. Nullam bibendum, turpis vitae tristique gravida, quam sapien tempor lectus, quis pretium tellus purus ac quam. Nulla facilisi.

Duis aliquet dui in est. Donec eget est. Nunc lectus odio, varius at, fermentum in, accumsan non, enim. Aliquam erat volutpat. Proin sit amet nulla ut eros consectetur cursus. Phasellus dapibus aliquam justo. Nunc laoreet. Donec consequat placerat magna. Duis pretium tincidunt justo. Sed sollicitudin vestibulum quam. Nam quis ligula. Vivamus at metus. Etiam imperdiet imperdiet pede. Aenean turpis. Fusce augue velit, scelerisque sollicitudin, dictum vitae, tempor et, pede. Donec wisi sapien, feugiat in, fermentum ut, sollicitudin adipiscing, metus.

Donec vel nibh ut felis consectetur laoreet. Donec pede. Sed id quam id wisi laoreet suscipit. Nulla lectus dolor, aliquam ac, fringilla eget, mollis ut, orci. In pellentesque justo in ligula. Maecenas turpis. Donec eleifend leo at felis tincidunt consequat. Aenean turpis metus, malesuada sed, condimentum sit amet, auctor a, wisi. Pellentesque sapien elit, bibendum ac, posuere et, congue eu, felis. Vestibulum mattis libero quis metus scelerisque ultrices. Sed purus.

# Bibliografie

- [1] L. O. CHUA. Memristor-the missing circuit element. *IEEE Transactions of circuit theory*, September 1971.
- [2] D. Adams. *The Hitchhiker's Guide to the Galaxy*. Del Rey (reprint), 1995. ISBN-13: 978-0345391803.

## Fiche masterproef

*Studenten:* Wouter Diels  
Alexander Standaert

*Titel:* Ontwerp van een RRAM geheugen

*Engelse titel:* The best master thesis ever

*UDC:* 621.3

*Korte inhoud:*

Hier komt een heel bondig abstract van hooguit 500 woorden. L<sup>A</sup>T<sub>E</sub>X commando's mogen hier gebruikt worden. Blanco lijnen (of het commando `\par`) zijn wel niet toegelaten!

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Thesis voorgedragen tot het behalen van de graad van Master of Science in de ingenieurswetenschappen: elektrotechniek, optie Elektronica en geïntegreerde schakelingen

*Promotor:* Prof. dr. ir. W. Dehaene

*Assessoren:* Prof. dr. ir. R. Lauwereins  
Prof. dr. ir. M. Verhelst

*Begeleiders:* ir. B. Baran  
dr. ir. S. Cosemans