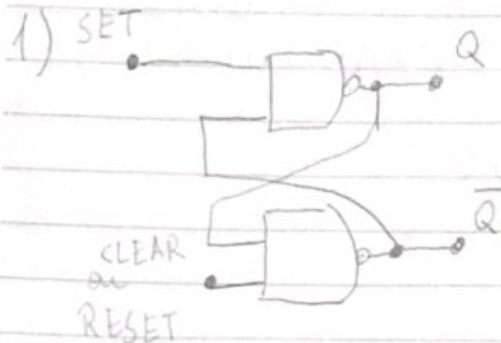


ED 8 - Alexandre Roque



S	R	Qa	Q	Q̄	Resumo
0	0	0	Indefinido		
0	0	1	Indefinido		
0	1	0	1	0	
0	1	1	1	0	
1	0	0	0	1	
1	0	1	0	1	
1	1	0	0	1	
1	1	1	1	0	

- $\begin{matrix} Q & S \\ 1 & 1 \end{matrix}$ a saída não muda, ou seja, permanece QA.
- Para "setar" a entrada Q deverá ser 1 e S 0.
- Para "limpar" a entrada Q deverá ser 0 e S 1.
- $\begin{matrix} Q & S \\ 0 & 0 \end{matrix}$ a saída é indefinida



Engenharia Elétr. • Engenharia da Computação – BH CEFET-MG

- Sistemas Digitais -

Prof.ª Mara C. S. Coelho / Prof. Júlio C. G. Justino

Exercícios de fixação: Circuitos Sequenciais

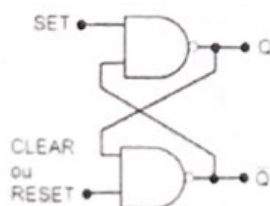


Estudo dirigido: Introdução aos circuitos sequenciais: Latches e Flip-Flops

Referências:

- Livro do Idoeta (capítulo 6)
- Livro do Tocci (capítulo 5)

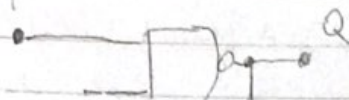
• **Latch NAND-** Monte a tabela verdade detalhada (de transição de estados) do laço com portas NAND



Entradas			Saídas		resumo
S	R	Qa	Q	Q̄	
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Obs. Note que em circuitos sequenciais, o estado anterior (no caso, Qa) é uma das entradas na Tabela Verdade. Isto porque o circuito está realimentado, ou seja, a saída está conectada a entrada.

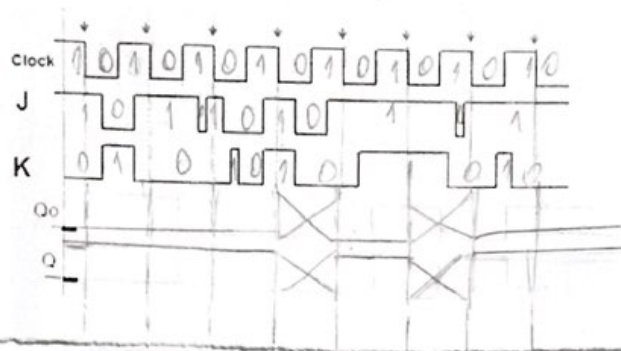
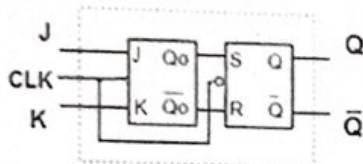
1) SET



S	R	Qa	Q	\bar{Q}	Resumo
0	0	0	Impossível		Impossível
0	0	1	Impossível		$Q = 1$

2. Flip-Flops síncronos:

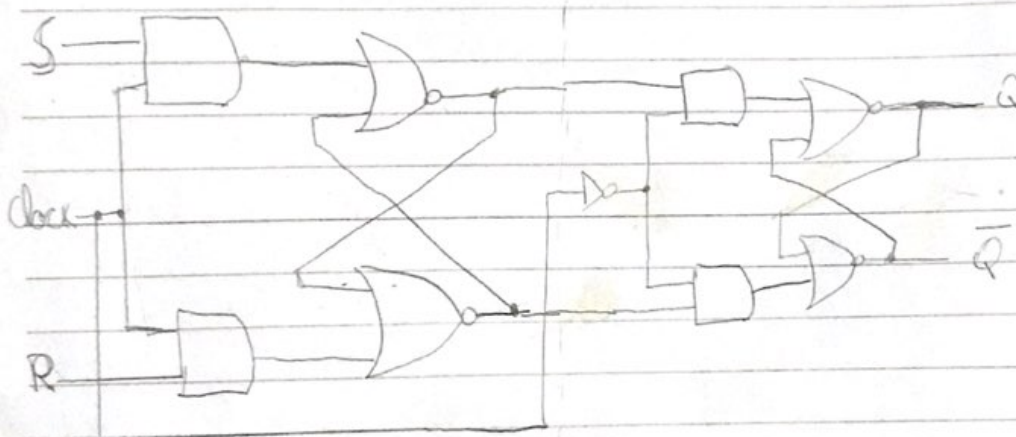
- A) Mostre como implementar um detector de borda de descida usando portas NOT e AND. Explique o circuito e mostre a forma de onda das entradas e saídas.
- B) O arranjo Mestre-escravo permite que os latches fiquem síncronos. Mostre o funcionamento do circuito abaixo através do preenchimento da carta de tempo.



2) a)

1^o Nestre

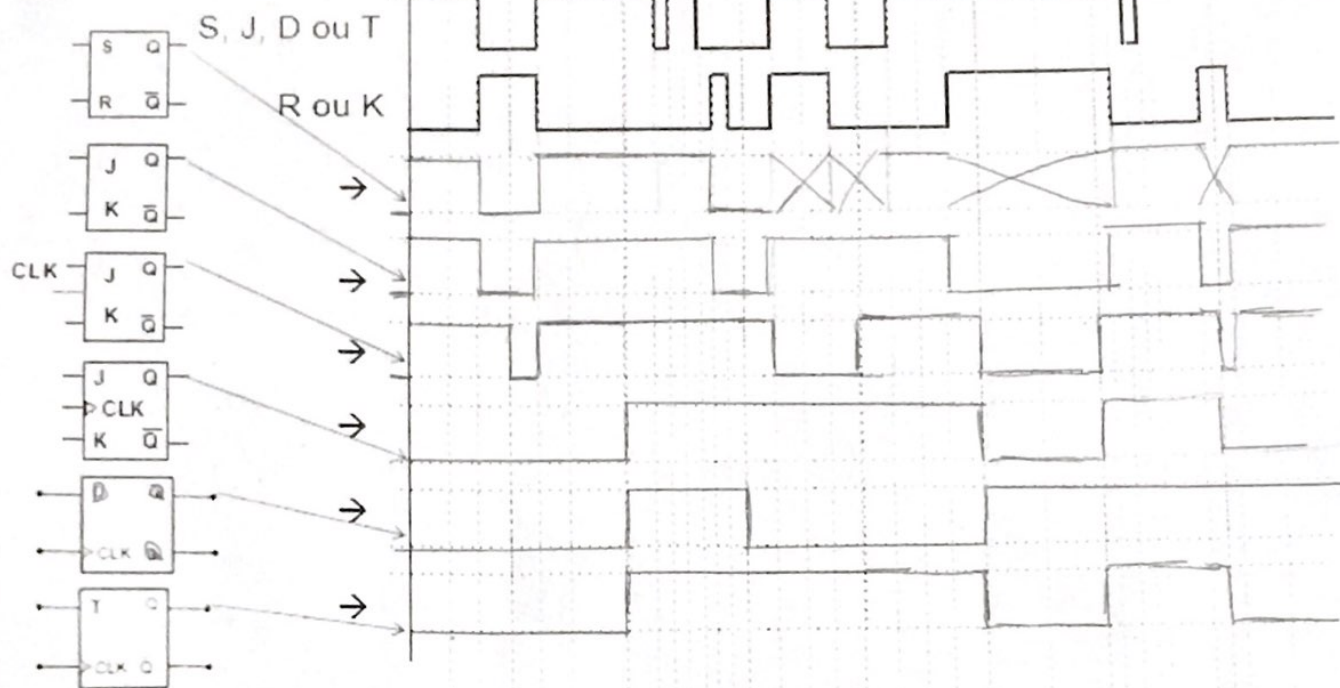
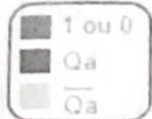
2^a Escrow



Hole

A saída é transicionada pela descida do CLOCK, como podemos ver na conta do tempo.

3. Comparando os latches e flip-flops – Preencha as cartas de tempo abaixo (resposta no vídeo):



Alexandre Pague

Clear = 0

Clear = Preset = 1

Preset = 0

