

Arquitetura e Organização de Computadores

Unidade Central de Processamento - Parte 2

Prof. Alexandre Tannus

- 1 Instruções
- 2 Paralelismo
- 3 Unidade de Controle
- 4 Exercícios

Conjunto de Instruções

- ▶ Interface entre o programador e a máquina
- ▶ Cada instrução realiza uma tarefa simples
- ▶ Operações complexas podem ser construídas a partir de operações simples

Formato das instruções

- ▶ Execução sequencial
- ▶ Exceções
 - ▶ Instruções de salto
 - ▶ Instruções de desvio

Tipos de instruções

Tipo	Formato (bits)					
R	opcode (6)	rs(5)	rt(5)	rd(5)	shamt(5)	function(6)
I	opcode (6)	rs(5)	rt(5)	imediato(16)		
J	opcode(6)	endereço(26)				

◀ ◻ ▶ ◀ ◻ ▶ ◀ ≡ ▶ ◀ ≡ ▶ ≡ ↺ 🔍 ↻

Instruções de Carga (*Load*) e Armazenamento (*Store*)

- ▶ Transferência de 32 bits entre memória e registradores
- ▶ Instrução tipo I
- ▶ Registrador *rt* - destino (*load*) ou origem (*store*)
- ▶ Endereço de memória - Constante de deslocamento + valor do registrador *rs*

Instruções de Salto (*Jump*) e Desvio (*Branch*)

- ▶ Alteram o fluxo de execução sequencial
- ▶ Salto
 - ▶ Instrução *j* ou *jr*
- ▶ Desvio
 - ▶ *bne* - diferente de
 - ▶ *bltz* - menor que
 - ▶ *beq* - igual a

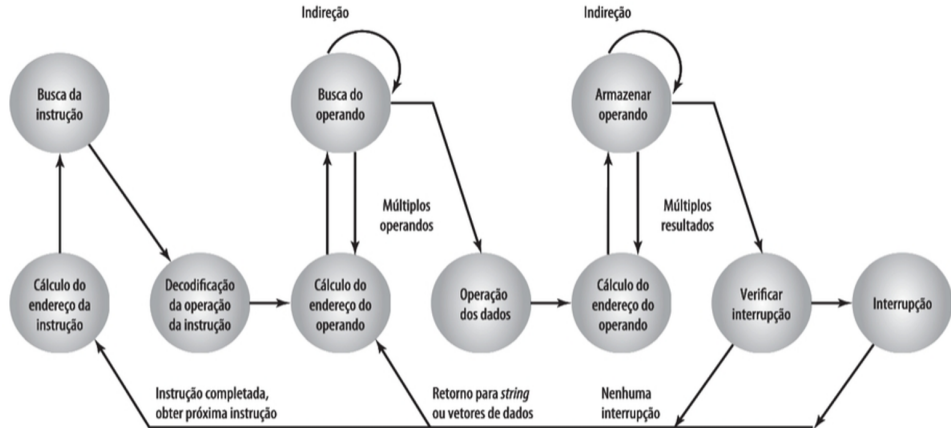
Modos de endereçamento

- ▶ Implícito
- ▶ Imediato
- ▶ Por registrador
- ▶ Base
- ▶ Relativo ao PC
- ▶ Pseudodireto

Ciclo de Instrução

- ▶ Busca
 - ▶ Leitura da próxima instrução da memória
- ▶ Execução
 - ▶ Interpretação e efetuação da operação indicada
- ▶ Interrupção
 - ▶ Verificação de ocorrência de interrupção

Ciclo de instrução



Arquitetura CISC

- ▶ Anos 80 – computadores mais complexos
- ▶ CISC – *Complex Instruction Set Computer*
- ▶ Conjuntos de instruções cada vez mais complexas e maiores
 - ▶ Pode afetar o desempenho
 - ▶ Maior dificuldade de implementação de outras funções

Arquitetura RISC

- ▶ RISC – *Reduced Instruction Set Computer*
- ▶ Diminuição do número de instruções disponíveis
- ▶ Padronização do tamanho das instruções
- ▶ Introdução do pipeline

Arquitetura RISC

- ▶ Controle via *hardware*
- ▶ Maior número de registradores
- ▶ Modos de endereçamento limitados

Paralelismo

- ▶ Realizar várias coisas ao mesmo tempo
- ▶ Dois níveis
 - ▶ Instrução
 - ▶ Processador

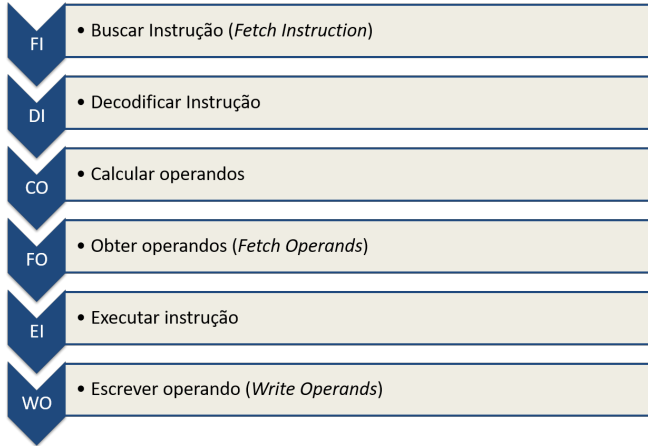
Paralelismo de instrução

- ▶ Executar mais instruções em um determinado tempo
- ▶ Dois modelos
 - ▶ *Pipelines*
 - ▶ Superescalares

Pipeline

- ▶ Dividir uma instrução em vários estágios
- ▶ Dedicar uma parte do *hardware* para cada estágio
- ▶ Executar paralelamente vários estágios

Pipeline de 6 estágios



Pipeline de 6 estágios

- ▶ Buscar Instrução (Fetch Instruction)
 - ▶ Leitura da próxima instrução
- ▶ Decodificar Instrução
- ▶ Calcular operandos
 - ▶ Cálculo do endereço efetivo de cada operando

Pipeline de 6 estágios

- ▶ Obter operandos (Fetch Operands)
 - ▶ Obtenção dos operandos da memória
- ▶ Executar Instrução
 - ▶ Realização da operação e armazenamento do resultado no registrador
- ▶ Escrever operandos (*Write Operands*)
 - ▶ Cálculo do endereço efetivo de cada operando

Executando instruções

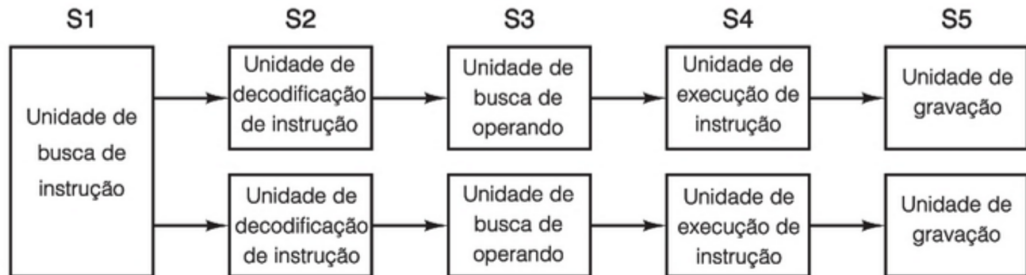
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Instrução 1	FI	BI	CO	FO	EI	WO												
Instrução 2							FI	BI	CO	FO	EI	WO						
Instrução 3													FI	BI	CO	FO	EI	WO

Executando instruções

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
Instrução 1	FI	BI	CO	FO	EI	WO												
Instrução 2		FI	BI	CO	FO	EI	WO											
Instrução 3			FI	BI	CO	FO	EI	WO										

Superescalares

- ▶ Execução de vários *pipelines* simultaneamente



Paralelismo de processador

- ▶ Projeto de computadores com várias CPUs
- ▶ Modelos
 - ▶ Computadores paralelos
 - ▶ Multiprocessadores
 - ▶ Multicomputadores

CPU - Unidade de Controle

- ▶ Controla toda a operação do microprocessador
- ▶ Constituída por
 - ▶ Circuito de temporização
 - ▶ Controle e decodificação
 - ▶ Decodificador de instruções

Dentro do conceito de organização de computadores, a UCP (Unidade Central de Processamento) desempenha um papel fundamental, sendo composta por diversas partes. Em particular, a Unidade de Controle é a parte da UCP responsável por

- a armazenar resultados temporários.
- b indicar a próxima instrução a ser buscada na memória, para execução.
- c buscar instruções na memória principal e determinar o tipo dessas instruções.
- d armazenar o código da instrução que está sendo correntemente executado.
- e realizar operações como adição e subtração sobre os valores presentes nas suas entradas.

Verdadeiro ou Falso

Os chips da arquitetura RISC são mais simples e bem mais baratos que os chips da arquitetura CISC pelo fato de executarem várias centenas de instruções complexas.

Atente para as seguintes afirmações sobre arquitetura de processadores CISC e RISC:

- I A arquitetura RISC usa um número menor de registradores do que a arquitetura CISC.
- II Na arquitetura RISC o conjunto de instruções é menor do que na arquitetura CISC.
- III Na arquitetura RISC as instruções têm tamanho variável enquanto na arquitetura CISC as instruções têm tamanho fixo.

A arquitetura de um computador X está baseada em um microprocessador concebido sob a filosofia da arquitetura CISC. Assinale a alternativa que apresenta uma das características típicas de um processador CISC.

- a Apresenta muitos registradores.
- b Possui somente instruções, sem nenhum operando na memória.
- c Suas instruções são limitadas a dois operandos, ambos sempre presentes em registradores de máquina.
- d Contém instruções de tamanho variável, conforme o modo de endereçamento utilizado.
- e Todas as suas instruções são realizadas em um único ciclo de clock.

Instruções de máquina utilizam várias técnicas de endereçamento da memória.
Na técnica de endereçamento imediato, o

- a valor do operando é especificado diretamente na instrução.
- b endereço do operando é obtido diretamente do campo de endereço da instrução.
- c endereço do operando é obtido diretamente do topo da pilha do sistema.
- d endereço do operando encontra-se em um registrador predeterminado da CPU.
- e campo de endereço da instrução contém um endereço de memória onde se encontra o endereço do operando.

Uma instrução que usa o modo de endereçamento direto é mais veloz que a mesma instrução executada usando-se o modo de endereçamento imediato.

PORQUE

O modo de endereçamento direto dispensa a decodificação do valor colocado na instrução e faz apenas um acesso à memória, enquanto que o número de acessos feitos à memória, no modo imediato, depende da instrução e pode ser grande. Analisando-se as afirmações acima, conclui-se que

Diversas arquiteturas modernas de computadores, como as do tipo IBM-PC, apresentam processadores que implementam o conceito de pipeline. Esse conceito está relacionado com

- a a apresentação de informações visuais com maior realismo.
- b a percepção, por parte do usuário, de memória da máquina acima da memória realmente existente.
- c a segurança no acesso a informações em disco
- d o número de portas de Entrada e Saída destinadas à comunicação com equipamentos periféricos.
- e o paralelismo na execução de instruções de máquina