Simulator MIps

Microprocessor without interlocked pipeline stages

|  |  |
| --- | --- |
| **Alexandru Dascălu**  FIESC/ Calculatoare 3131A | proiect laborator „Structura și organizarea calculatoarelor” |

Contents

[Introducere 4](#_Toc439629172)

[Arhitectură 4](#_Toc439629173)

[Componente 4](#_Toc439629174)

[Tehnologii 4](#_Toc439629175)

[Interfață 4](#_Toc439629176)

[Manual utilizator 4](#_Toc439629177)

# Introducere

# Arhitectură

# Componente

# Tehnologii

# Interfață

# Manual utilizator