



Universidad Autónoma de México
Facultad de Ingeniería
División Ingeniería Eléctrica.



Asignatura: Diseño Digital Moderno.

Proyecto Final del Primer Parcial: Latch S-R.

EQUIPO 10 (Completo)

CRUZ SORIA OSCAR
LÓPEZ TAVERA ALEXA FERNANDA
PACHECO CHAVARRIA ARTURO
RAMIREZ MORENO DIEGO ARMANDO
PACHECO CHAVARRIA ARTURO IVAN
VEGA PASTRANA LEONARDO ISMAEL

Grupo: 04

Profesor: Oscar Francisco Fuentes Casarrubias

21 de Marzo de 2024

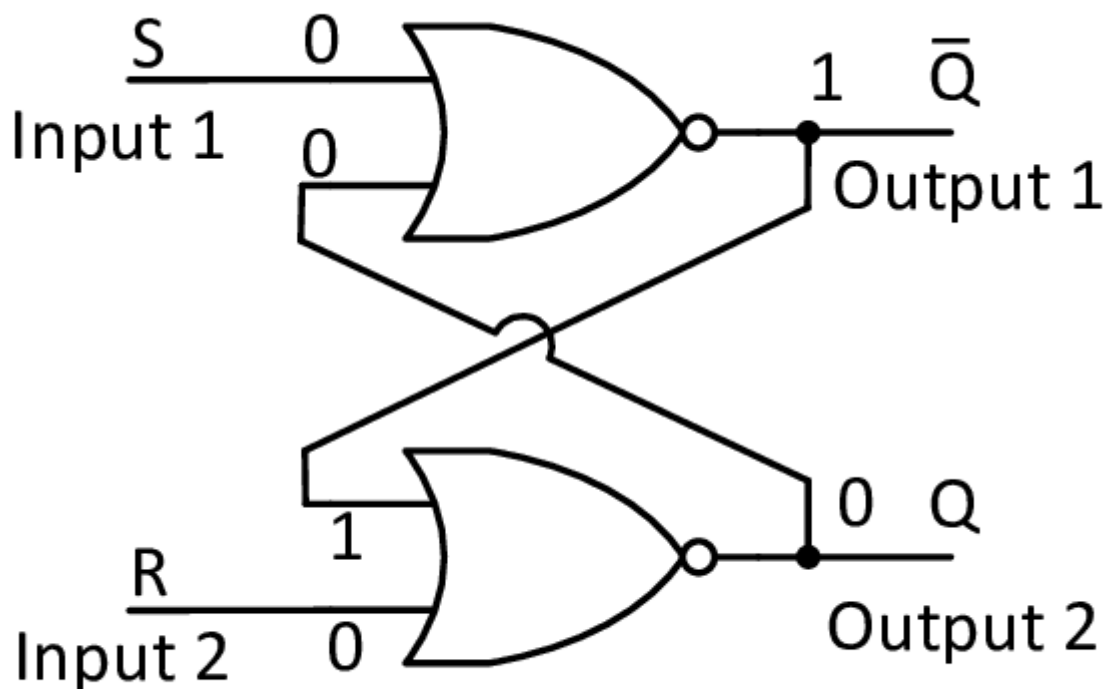
Introducción.

Un latch SR (Set-Reset) es un tipo de circuito lógico secuencial que tiene dos entradas principales, denominadas S (Set) y R (Reset). Estas entradas controlan el estado del latch, que puede estar en un estado "set" (1) o "reset" (0).

Cuando la entrada S se activa (se establece en 1), el latch SR cambia a un estado "set" (1), independientemente del estado anterior. Por otro lado, cuando la entrada R se activa (se establece en 1), el latch SR cambia a un estado "reset" (0), también independientemente del estado anterior.

Es importante tener en cuenta que si ambas entradas, S y R, están activadas simultáneamente, se produce una condición de carrera que puede provocar un comportamiento impredecible en el latch. Para evitar esto, es común usar una configuración de entrada válida, donde se asegura que S y R no estén ambos en 1 al mismo tiempo.

Los latches SR se utilizan en circuitos digitales para almacenar información temporalmente y para implementar funciones de memoria y almacenamiento. Sin embargo, debido a su susceptibilidad a las condiciones de carrera, a menudo se utilizan variantes más complejas y robustas, como los flip-flops, en aplicaciones prácticas.



Materiales Requeridos.

Para el Latch SR:

- Un circuito integrado SN74LS02N
- Dos leds de color
- Dos pulsos de 4 pines
- 4 resistencias de 1k
- Una pila de 9V

Para el BCD

- Un display de 7 segmentos
- Un dip switch de 4 posiciones
- 7 resistencias de 330ohms
- Un decodificador CD4511BE
- Una pila de 9V

Tabla de verdad del Latch SR.

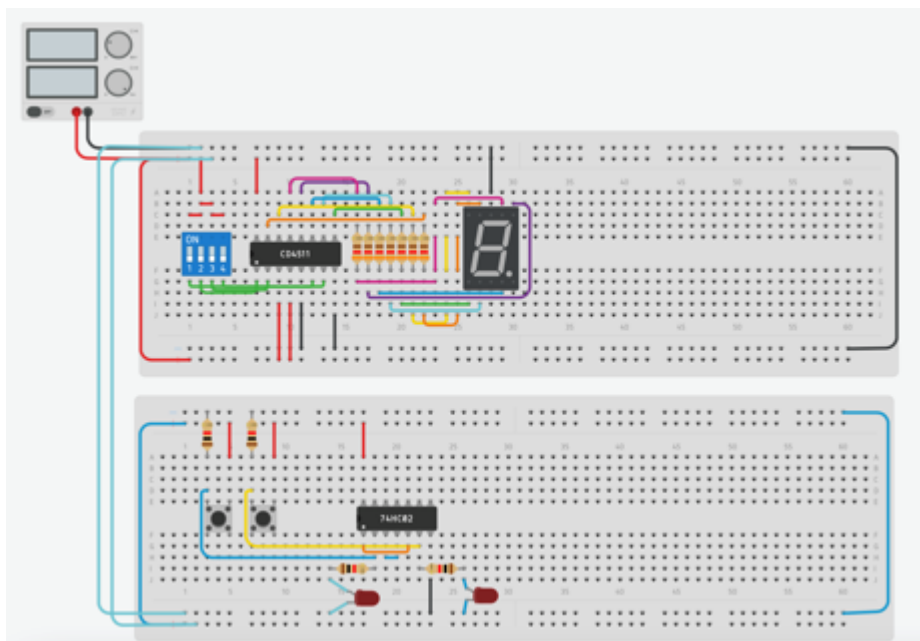
S	R	Q	\bar{Q}
0	0	Q_{ANT}	\bar{Q}_{ANT}
0	1	0	1
1	0	1	0
1	1	1 0	1 0

- En el estado cuando S y R están activos, se conoce como estado prohibido (FORBIDDEN), en ese estado se presenta una condición de carrera.

Tabla de verdad de convertidor BCD.

Entradas				Segmentos							Decimal
A ₃	A ₂	A ₁	A ₀	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	0	0	1	1	9

Circuito.



Referencias.

Laboratoriodigitalelectronica. (2017, 17 octubre). PRÁCTICA 3 CIRCUITOS DIGITALES. INFORMES DE LABORATORIO ELECTRÓNICA DIGITAL. <https://laboratoriodigitalelectronica.wordpress.com/2017/10/17/practica-3-circuitos-digitales/>

Ben Eater. (2016, 17 febrero). SR latch [Video]. YouTube. <https://www.youtube.com/watch?v=KM0DdEaY5sY>

Miguel Ángel Bañuelos Saucedo. ICAT-UNAM. (2021, 5 enero). ¿Ánodo común o cátodo común? Conexión de un display de 7 segmentos [Video]. YouTube. <https://www.youtube.com/watch?v=HgQcjWZFxJw>

Derek Molloy. (2010, 18 octubre). Experiments 3.1: Sequential Logic - S-R Latch and a Gated S-R Latch [Video]. YouTube. <https://www.youtube.com/watch?v=mo4Lq0DvJ68>

Computer Science. (2016, 29 julio). Latches and Flip-Flops 1 - The SR Latch [Video]. YouTube. <https://www.youtube.com/watch?v=-aQH0ybMd3U>