



UNIVERSITÀ DEGLI STUDI DI GENOVA - SCUOLA POLITECNICA

*Dipartimento di Ingegneria Navale, Elettrica, Elettronica e delle Telecomunicazioni*

Corso di Laurea Magistrale in Ingegneria Elettronica

TESI DI LAUREA MAGISTRALE

**Sistema di acquisizione dati per sensori  
fotomoltiplicatori al silicio per rivelatori ottici di  
fisica ad alta energia**

**Relatori:** Prof. Paolo Gastaldo  
Prof. Saverio Minutoli (INFN)



**Candidato:** Alessandro Balestra

24 Marzo 2025  
Anno accademico 2024 - 2025



# Indice

<b>1</b>	<b>Introduzione</b>	<b>4</b>
1.1	Il CERN e l'LHC . . . . .	5
1.1.1	Introduzione al CERN e INFN . . . . .	5
1.1.2	Panoramica dell'LHC . . . . .	6
1.2	LHCb (Large Hadron Collider beauty) . . . . .	8
1.2.1	L'esperimento LHCb . . . . .	8
1.2.2	Cherenkov Detector . . . . .	9
1.2.2.1	Effetto Cherenkov . . . . .	9
1.2.2.2	Il rivelatore RICH . . . . .	10
1.2.2.3	RICH1 e RICH2 . . . . .	11
1.2.3	Cella Elementare . . . . .	12
1.2.3.1	PMT e MaPMT . . . . .	13
1.2.3.2	Architettura FastIC . . . . .	15
1.2.4	SPAD e SiPM . . . . .	17
1.2.4.1	Single Photon Avalanche Diode (SPAD) . . . . .	17
1.2.4.2	Silicon Photomultiplier . . . . .	18
<b>2</b>	<b>Configurazione sperimentale esistente</b>	<b>21</b>
2.1	Panoramica del Sistema Esistente . . . . .	21
2.2	Sistema Fers-5200 . . . . .	22
2.2.1	Scheda readout A5255 . . . . .	24
2.2.2	Scheda readout A5256 . . . . .	25
2.2.3	PicoTDC . . . . .	26
2.3	Obiettivi . . . . .	27
<b>3</b>	<b>Scelte Progettuali e Definizione dello Schema Elettrico</b>	<b>28</b>
3.1	Analisi scheda A5255 . . . . .	28
3.2	Analisi scheda A5256 . . . . .	32
3.2.1	Analisi circuitale . . . . .	33

3.3	Scelte Progettuali . . . . .	34
3.3.1	Tensioni di Alimentazioni . . . . .	34
3.3.1.1	Alimentazione 1V7 . . . . .	35
3.3.1.2	Alimentazione 4V5 . . . . .	37
3.3.1.3	Alimentazione -4V5 . . . . .	39
3.3.2	Circuito di Trigger . . . . .	42
3.3.2.1	Discriminatore . . . . .	42
3.3.2.2	Circuito di soglia . . . . .	45
3.3.3	Circuito di Ingresso . . . . .	49
3.3.4	Consumi . . . . .	51
<b>4</b>	<b>Progettazione Layout</b>	<b>53</b>
4.1	Kicad . . . . .	53
4.2	Definizione stackup layer . . . . .	53
4.2.1	Microstrip . . . . .	56
4.2.2	Stripline Asimmetrica . . . . .	58
4.3	Vincoli Geometrici . . . . .	60
4.4	Posizionamento e routing dei componenti . . . . .	60
<b>5</b>	<b>Interfaccia Grafica</b>	<b>75</b>
5.1	GUI . . . . .	75
<b>6</b>	<b>Sperimentazioni e risultati</b>	<b>78</b>
6.1	Test A5256 . . . . .	78
6.2	Test picoCMP . . . . .	82
<b>Documentazione Tecnica</b>		<b>90</b>
<b>Indirizzi I2C</b>		<b>91</b>
<b>Bibliografia</b>		<b>92</b>

# Capitolo 1

## Introduzione

La ricerca scientifica contemporanea nel campo della fisica delle particelle si fonda sulla capacità di rilevare e analizzare con precisione i segnali prodotti da particelle subatomiche. Questi segnali, generati in contesti sperimentali altamente controllati, forniscono informazioni fondamentali per comprendere la natura dell'universo, la relazione tra materia e antimateria, e i meccanismi fondamentali che regolano il mondo subatomico. Un elemento cruciale in tale ambito è rappresentato dai sistemi di acquisizione e processamento dei segnali, che devono garantire elevata sensibilità, precisione temporale e capacità di discriminare eventi di interesse.

L'obiettivo di questa tesi è la progettazione e la realizzazione di una scheda PCB (Printed Circuit Board) dedicata al trattamento e all'elaborazione dei segnali analogici provenienti da sensori fotosensibili come SiPM (Silicon Photomultiplier) o MaPMT (Multi-anode Photomultiplier Tube). Tali dispositivi, ampiamente utilizzati nella fisica sperimentale, sono in grado di convertire con elevata efficienza i segnali luminosi in segnali elettrici, consentendo la rilevazione di fenomeni estremamente deboli e veloci, come la comparsa di fotoni singoli. La scheda proposta non si limita a ricevere i segnali in ingresso, ma integra un sistema di discriminazione basato su soglie configurabili via software. Questa funzionalità è essenziale per filtrare segnali rumorosi e selezionare gli eventi significativi, migliorando così l'accuratezza delle misurazioni. Una volta elaborati, i segnali vengono inviati al sistema di acquisizione FERS-5200, che si occupa di estrarre informazioni cruciali quali l'energia del fotone rilevato e il suo istante temporale. Questo processo di elaborazione è particolarmente rilevante per applicazioni di Particle Identification (PID), una tecnica che permette di classificare e analizzare le particelle in base alla loro natura intrinseca.

Il lavoro presentato in questa tesi sarà utilizzato per test di laboratorio nell'ambito dell'esperimento LHCb, uno degli esperimenti principali del Large Hadron Collider (LHC) al CERN di Ginevra. LHCb si occupa di studiare in dettaglio la fisica dei quark b, con l'obiettivo di migliorare la comprensione della violazione di CP e di esplorare fenomeni che potrebbero estendere il Modello Standard. La scheda PCB progettata sarà quindi uno strumento essenziale per garantire la precisione e l'efficienza delle misurazioni necessarie per tali indagini scientifiche di frontiera.

## 1.1 Il CERN e l'LHC

### 1.1.1 Introduzione al CERN e INFN

Il CERN (Conseil Européen pour la Recherche Nucléaire) è uno dei più importanti centri di ricerca scientifica al mondo. Fondato nel 1954, si trova al confine tra la Svizzera e la Francia, nei pressi di Ginevra. Il suo scopo principale è quello di promuovere la ricerca fondamentale nel campo della fisica delle particelle, con l'obiettivo di esplorare la natura fondamentale dell'universo.

Il CERN ospita alcune delle infrastrutture scientifiche più avanzate al mondo, tra cui il Large Hadron Collider (LHC), il più grande e potente acceleratore di particelle mai costruito. L'LHC è un anello sotterraneo lungo 27 chilometri in cui particelle subatomiche, come i protoni, vengono accelerate a velocità prossime a quella della luce e fatte collidere per studiarne i fenomeni. Questi esperimenti hanno permesso scoperte rivoluzionarie, come la conferma dell'esistenza del bosone di Higgs nel 2012, un risultato che ha valso il Premio Nobel per la Fisica agli scienziati che ne hanno teorizzato l'esistenza.

Lo scopo principale del CERN è quello di fornire ai ricercatori gli strumenti necessari per la ricerca in fisica delle alte energie, ovvero principalmente gli acceleratori di particelle, che portano nuclei atomici e particelle subnucleari ad energie molto elevate, e i rivelatori che permettono di osservare i prodotti delle collisioni tra fasci di queste particelle. Ad energie sufficientemente elevate, nelle collisioni vengono prodotte tantissime particelle diverse; in alcuni casi sono state scoperte in questa maniera particelle fino a quel momento ignote.

L'Istituto Nazionale di Fisica Nucleare (INFN) gioca un ruolo fondamentale nel panorama della ricerca scientifica internazionale. L'INFN è l'ente italiano dedicato allo studio della fisica nucleare, subnucleare e astroparticellare. Collabora strettamente con il CERN e con numerosi altri istituti di ricerca internazionali, partecipando allo sviluppo di tecnologie innovative. La collaborazione tra il CERN e l'INFN è essenziale per sfruttare al massimo le competenze e le risorse disponibili in entrambi gli enti.



Figura 1.1: CERN di Ginevra

### 1.1.2 Panoramica dell'LHC

Il Large Hadron Collider (LHC) è l'acceleratore di particelle più grande e potente al mondo, situato presso il CERN di Ginevra. È stato avviato per la prima volta il 10 settembre 2008 e rappresenta l'ultima aggiunta al complesso di acceleratori del CERN. L'LHC è composto da un anello di 27 chilometri di lunghezza, costituito da magneti superconduttori e da una serie di strutture acceleranti che incrementano l'energia delle particelle lungo il percorso [1].

All'interno dell'acceleratore, due fasci di particelle ad alta energia viaggiano a velocità prossime a quella della luce prima di essere fatti collidere. I fasci viaggiano in direzioni opposte all'interno di tubi separati, mantenuti nell'ultravuoto. I fasci sono guidati nell'anello dell'acceleratore grazie a un forte campo magnetico, creato da elettromagneti superconduttori. Questi elettromagneti sono costruiti con bobine di cavi elettrici speciali che operano in stato superconduttivo, conducendo l'elettricità in modo efficiente, senza resistenza e senza perdita di energia. Per raggiungere tale stato, i magneti vengono raffreddati a -271,3°C. Per questo motivo, gran parte dell'acceleratore è collegata a un sistema di distribuzione di elio liquido, che raffredda i magneti, e ad altri impianti di approvvigionamento.

L'LHC utilizza migliaia di magneti di diverse tipologie e dimensioni per dirigere i fasci di particelle. Tra questi ci sono 1232 magneti dipoli, lunghi 15 metri, che piegano i fasci, e 392 magneti quadrupoli, ciascuno lungo tra 5 e 7 metri, che focalizzano i fasci. Subito prima della collisione, una coppia di tre quadrupoli chiamati tripletto interno "compatta" le particelle, avvicinandole tra loro e aumentando la probabilità di collisione. Le particelle sono così piccole che per fare in modo che collidano è come cercare di far incontrare due aghi distanti 10 chilometri, con una precisione tale che si incontrino a metà strada.

Tutti i controlli per l'acceleratore, i suoi servizi e le infrastrutture tecniche sono centralizzati presso il CERN Control Centre. Da qui, i fasci all'interno dell'LHC vengono fatti collidere in quattro punti intorno all'anello, corrispondenti alle posizioni di altrettanti esperimenti: ATLAS, CMS, ALICE e LHCb.

L'LHC utilizza due fasci di protoni che viaggiano a una velocità molto elevata, raggiungendo un'energia totale di 14 TeV nel centro di massa delle collisioni. La luminosità nominale (numero di protoni che attraversano un'area unitaria nell'unità di tempo) dell'LHC è di  $10^{34} \text{ cm}^{-2}\text{s}^{-1}$ , e la frequenza di interazione è di 40 MHz, il che significa che le collisioni avvengono ogni 25 nanosecondi.

Grazie all'alta energia delle collisioni, l'LHC può produrre un gran numero di adroni b, particelle fondamentali di grande interesse. Questo permetterà di misurare con precisione dei parametri cruciali e di esplorare nuovi fenomeni che potrebbero andare oltre il Modello Standard della fisica delle particelle. Inoltre, saranno possibili misure sulla violazione della simmetria CP, che riguarda



Figura 1.2: Large Hadron Collider

le differenze tra materia e antimateria, e lo studio dei decadimenti rari degli adroni b, al fine di scoprire aspetti ancora sconosciuti della fisica.

## 1.2 LHCb (Large Hadron Collider beauty)

### 1.2.1 L'esperimento LHCb

Il Large Hadron Collider beauty (LHCb) si concentra sullo studio delle sottili differenze tra materia e antimateria, un aspetto cruciale per comprendere l'asimmetria che ha portato all'attuale predominanza della materia nell'universo. In particolare, l'esperimento indaga un tipo di particella denominata quark beauty, o quark b, che gioca un ruolo chiave in queste ricerche [2].

A differenza di altri esperimenti come ATLAS e CMS, che circondano il punto di collisione con rivelatori completamente chiusi, LHCb utilizza una configurazione lineare composta da una serie di sottorivelatori. Questi sono progettati per rilevare principalmente le particelle prodotte in avanti, ovvero quelle proiettate in una direzione specifica rispetto al punto di collisione. Il primo sottorivelatore è posizionato molto vicino al punto di collisione, mentre gli altri si susseguono lungo un percorso di circa 20 metri.

Le collisioni all'interno del Large Hadron Collider producono una grande varietà di quark, che decadono (si trasformano) rapidamente in altre particelle. Per catturare i quark beauty prima che si trasformino, LHCb utilizza rivelatori di tracciamento altamente sofisticati, alcuni dei quali sono posizionati molto vicino al percorso dei fasci di particelle.

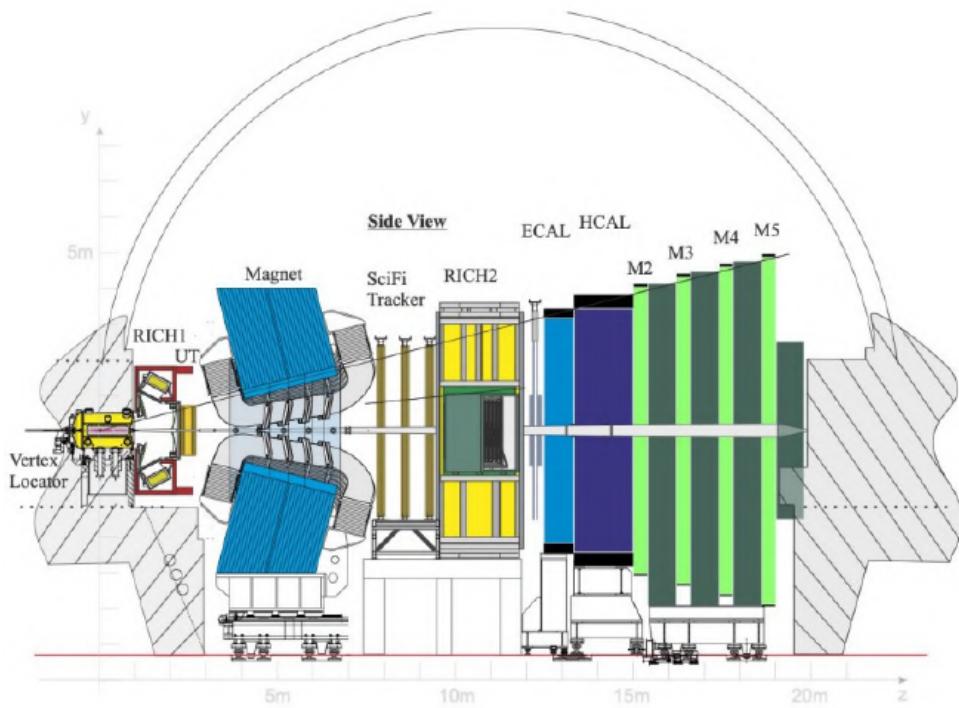


Figura 1.3: Struttura LHCb

Lo schema del rivelatore è mostrato in Figura 1.3. L'apparato consiste di cinque sottorivelatori principali:

- Il rivelatore di vertice (VELO);
- Il sistema di tracciamento;
- I rivelatori Ring Imaging Cherenkov (RICH1, RICH2);
- I calorimetri elettromagnetico e adronico (ECAL, HCAL);
- Il sistema dei muoni (M1, M2, M3, M4 e M5).

In particolare, siamo interessati ai due rivelatori RICH1 e RICH2 poiché sfruttano un fenomeno fisico noto come effetto Cherenkov. Questo effetto si verifica quando una particella carica attraversa un mezzo a una velocità superiore a quella della luce in quel mezzo, generando un cono di luce caratteristico. Grazie a sensori fotosensibili avanzati, è possibile rilevare questa luce Cherenkov e utilizzarla per determinare le proprietà delle particelle, permettendo una precisa identificazione delle particelle (Particle Identification, PID).

### 1.2.2 Cherenkov Detector

#### 1.2.2.1 Effetto Cherenkov

L'effetto Cherenkov si basa su un fenomeno fisico che si verifica quando una particella carica si muove in un mezzo con una velocità superiore alla velocità della luce nello stesso mezzo. Questo non viola la teoria della relatività, poiché la velocità della luce nel mezzo è ridotta rispetto a quella nel vuoto. Il fenomeno è analogo a quello che accade quando un aereo supera la velocità del suono, creando un'onda d'urto. Allo stesso modo, una particella carica, superando la velocità della luce nel mezzo, genera un cono di luce caratteristico noto come radiazione Cherenkov, Figura 1.4.

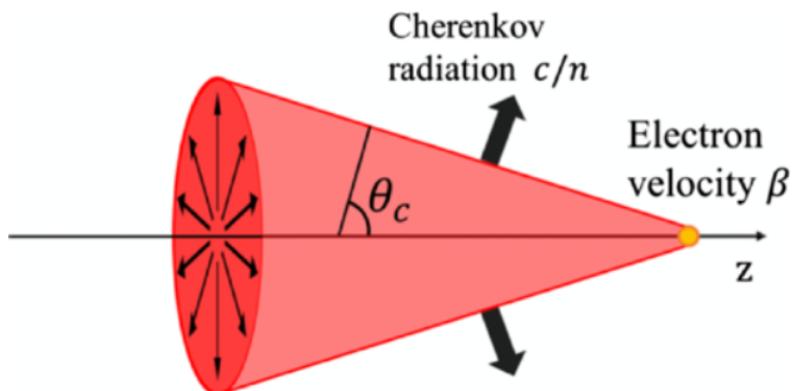


Figura 1.4: Effetto Cherenkov: particella carica che attraversa un mezzo con velocità superiore a quella della luce nel mezzo, generando un cono di luce

Quando una particella carica attraversa un mezzo, gli atomi lungo il suo percorso si polarizzano temporaneamente a causa del campo elettrico della particella. Tuttavia, questa polarizzazione è transitoria: gli atomi tornano al loro stato di equilibrio dopo il passaggio della particella, emettendo un impulso elettromagnetico. Di norma, questi impulsi si annullano reciprocamente a causa dell'interferenza distruttiva, ma quando la velocità della particella supera quella della luce nel mezzo, le onde elettromagnetiche emesse interferiscono costruttivamente, producendo un'onda luminosa coerente.

La radiazione Cherenkov si propaga formando un cono di luce con un angolo specifico rispetto alla direzione della particella, angolo che dipende dalla velocità della particella e dall'indice di rifrazione del mezzo. Questo angolo è determinato dalla relazione

$$\cos \theta = \frac{1}{n\beta},$$

dove  $n$  è l'indice di rifrazione del mezzo e  $\beta = \frac{v}{c}$  rappresenta la velocità della particella in relazione alla velocità della luce nel vuoto [3].

I sensori fotosensibili, presenti nei rivelatori Cherenkov, consentono di analizzare la sezione del cono di luce generato. Da questa analisi si possono ricavare informazioni fondamentali, come la velocità della particella e altre proprietà utili per la sua identificazione. Questo rende i rivelatori RICH1 e RICH2, che sfruttano questo fenomeno, strumenti essenziali per lo studio e l'identificazione delle particelle subatomiche.

### 1.2.2.2 Il rivelatore RICH

Come già detto, questi rivelatori sfruttano l'effetto Cherenkov che si verifica quando una particella carica viaggia in un mezzo a una velocità maggiore rispetto alla velocità della luce in quel mezzo. Sebbene la velocità della luce nel vuoto sia costante, in un mezzo materiale (come un gas o un liquido), la luce viaggia più lentamente, e quando una particella supera questa velocità, emette radiazione Cherenkov. I rivelatori RICH utilizzano un radiatore, un materiale trasparente che consente la generazione di questa radiazione. Quando una particella carica si muove nel radiatore, emette fotoni di luce con un angolo caratteristico rispetto alla direzione di movimento. Questi fotoni vengono poi rilevati da sensori fotoelettrici che registrano la posizione e il tempo di arrivo di ciascun fotone. Il pattern di questi fotoni, che forma un "anello", viene analizzato per determinare la velocità della particella e, di conseguenza, la sua identità. Il ruolo del rivelatore RICH è quindi quello di fornire un'immagine chiara e precisa della radiazione Cherenkov emessa dalle particelle. Questa immagine è utile per identificare particelle con caratteristiche simili, separando le particelle in base alla loro velocità. Le informazioni raccolte dai fotorivelatori consentono di determinare con alta precisione la velocità della particella, che è un parametro cruciale per identifierla correttamente, dato che le particelle con velocità diverse emettono radiazioni con angoli distinti. Il

radiatore può essere costituito da vari materiali, a seconda delle caratteristiche desiderate, come gas, liquidi o solidi con un indice di rifrazione adeguato alla gamma di momenti delle particelle da studiare. Se il rivelatore Cherenkov ci fornisce la velocità della particella e un'altra parte del sistema, ad esempio la misura della deflessione in un campo magnetico, ci fornisce la sua quantità di moto ( $\mathbf{p} = m\mathbf{v}$ ), possiamo combinare queste due informazioni per calcolare la massa ( $m$ ) della particella. Una volta determinata la massa, è possibile identificare di quale particella si tratta. I fotoni emessi vengono indirizzati verso sensori fotoelettrici, che li convertono in segnali elettrici. Questi segnali vengono poi elaborati da sistemi elettronici per creare un'immagine dettagliata della radiazione Cherenkov; un esempio di acquisizione lo si può osservare in Figura 1.5.

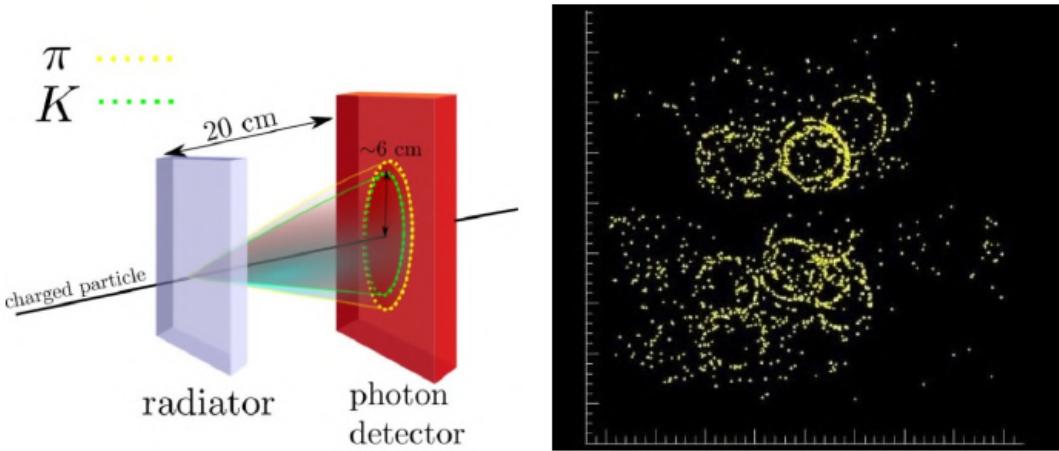


Figura 1.5: Esempio di anelli Cherenkov osservati dal rivelatore RICH di LHCb

### 1.2.2.3 RICH1 e RICH2

Il sistema RICH (Ring Imaging Cherenkov) di LHC-B è un componente essenziale per l'identificazione delle particelle, suddiviso in due stazioni: una a monte e una a valle. La stazione a valle, destinata alla rilevazione di particelle ad alto momento, utilizza un radiatore a gas  $CF_4$  (tetrafluorometano) e uno specchio sferico per focalizzare la luce Cherenkov. I fotoni generati vengono poi indirizzati fuori dall'area di accettanza del sistema tramite uno specchio piano inclinato di  $45^\circ$  per evitare interferenze con altri rivelatori.

La stazione a monte è stata originariamente progettata con due radiatori consecutivi (aerogel e gas ad alto indice di rifrazione), ma ha subito modifiche per risolvere problematiche legate alla dispersione della luce Cherenkov nell'aerogel e alla limitata lunghezza del radiatore a gas. Il nuovo design combina aerogel e gas in un'unica stazione, ottimizzando la produzione di fotoni e riducendo il numero di fotorivelatori necessari [4].

I fotoni generati nel radiatore vengono convertiti in segnali elettrici da fotomoltiplicatori multi-anodo (MaPMT), che amplificano il segnale e lo inviano all'elettronica per l'elaborazione. Questi

rivelatori sono progettati per ridurre al minimo il rumore di fondo e migliorare la precisione nell'identificazione delle particelle. L'intero sistema, grazie alla combinazione di materiali e geometrie ottiche, permette di coprire un ampio intervallo di energie e di ridurre l'effetto di sovrapposizione tra stati finali con topologie identiche, migliorando così la precisione delle misure.

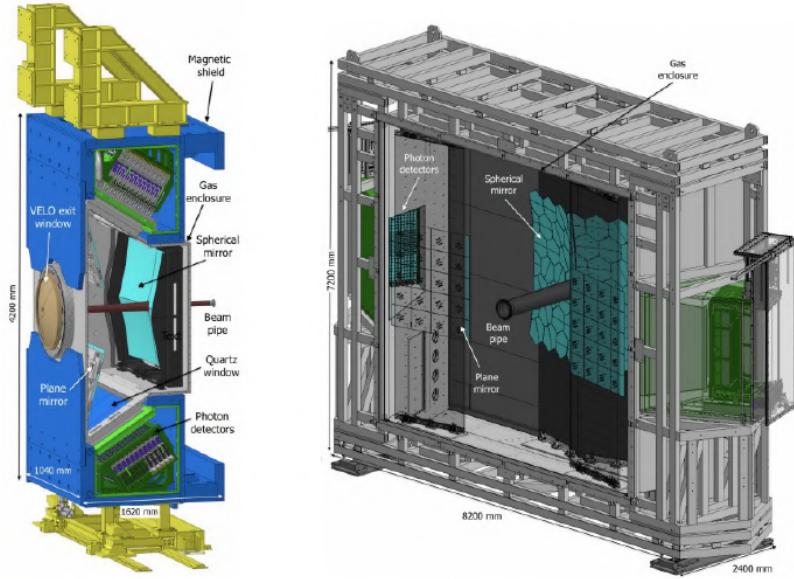


Figura 1.6: Schema dei rivelatori RICH1 e RICH2

### 1.2.3 Cella Elementare

All'interno dei due rivelatori RICH (RICH1 e RICH2) sono presenti numerose celle elementari, progettate per catturare l'effetto Cherenkov. Ogni cella elementare è costituita da una scheda BaseBoard (BB) che ospita i 4 sensori multicanale (64) fotosensibili MAPMT(Multi-Anode Photon Multiplier), ciascuno connesso a una Front-End Board (FEB). La front-end board dispone di 2 connettori d'ingresso ai quali si collegano 4 dispositivi di condizionamento del segnale FastIC a 16 canali (FastRICH nella versione definitiva), che costituiscono il "cuore" della Cella Elementare (EC) Figura 1.7. I FastIC sono fondamentali perché contengono l'elettronica necessaria per prelevare i segnali provenienti dai sensori, elaborarli e fornire una codifica digitale dei dati.

Una volta che i segnali sono stati elaborati dai FastIC, vengono inviati alla scheda backboard che riceve il segnale del fotorivelatore digitalizzato e lo invia al sistema di elaborazione successivo. Questo processo consente di ottenere una rappresentazione digitale del segnale, che verrà utilizzato per la PID.

Inoltre, per migliorare il trasferimento termico e gestire la dissipazione di potenza, il case dell'EC è stato progettato con piastre di raffreddamento a sandwich aggiuntive, in contatto termico con i sensori e FastIC. Questo aiuta a mantenere le temperature sotto controllo, garantendo un funzionamento stabile e preciso dei sensori, anche in presenza di alte potenze dissipate. La struttura

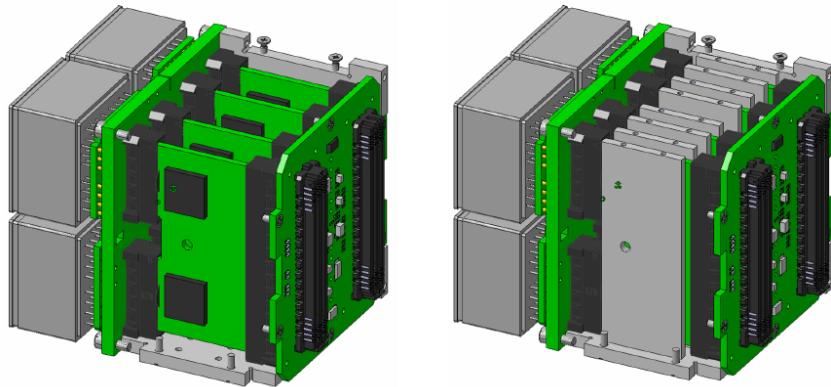


Figura 1.7: Cella Elementare

termica è progettata per ridurre l'impedenza termica e garantire un raffreddamento efficace, in modo che i componenti elettronici possano operare senza rischi di surriscaldamento.

Il sistema è progettato per essere altamente modulare, facilitando l'assemblaggio e la manutenzione. Ogni modulo di fotorivelazione è autonomo e facilmente accessibile per operazioni di manutenzione. La struttura è robusta, con schermature elettromagnetiche per proteggere da interferenze esterne, e garantisce la stabilità e la protezione dei componenti elettronici [5].

#### 1.2.3.1 PMT e MaPMT

Un **Photomultiplier Tube (PMT)** è un dispositivo estremamente sensibile in grado di rilevare e amplificare segnali luminosi, convertendoli in impulsi elettrici grazie a una serie di componenti interni. Il cuore di un PMT è costituito da:

- **Fotocatodo:** Quando colpito da fotoni, emette elettroni per effetto photoelettrico.
- **Dynodi:** Una serie di elettrodi a potenziale crescente che amplificano gli elettroni emessi dal fotocatodo, moltiplicandoli in un segnale amplificato.
- **Anodo:** Raccoglie il segnale elettrico finale e lo invia per l'analisi.

Il PMT è apprezzato per la sua elevata sensibilità e rapidità, rendendolo ideale per rilevare eventi luminosi in ambiti come la fisica delle particelle e l'imaging medico (ad esempio nella PET). Tuttavia, è un dispositivo delicato, ingombrante e costoso, caratteristiche che ne limitano l'impiego in alcune applicazioni.

Un **Multi-Anode Photomultiplier Tube (MaPMT)** rappresenta un'evoluzione del PMT tradizionale. La sua principale innovazione risiede nella presenza di più anodi, disposti in una matrice che consente la rilevazione simultanea della luce da più punti.

Anche nel MaPMT troviamo un fotocatodo e una struttura a dynodi per l'amplificazione, ma ogni anodo opera come un canale separato, permettendo di mappare la distribuzione spaziale della luce con alta precisione.

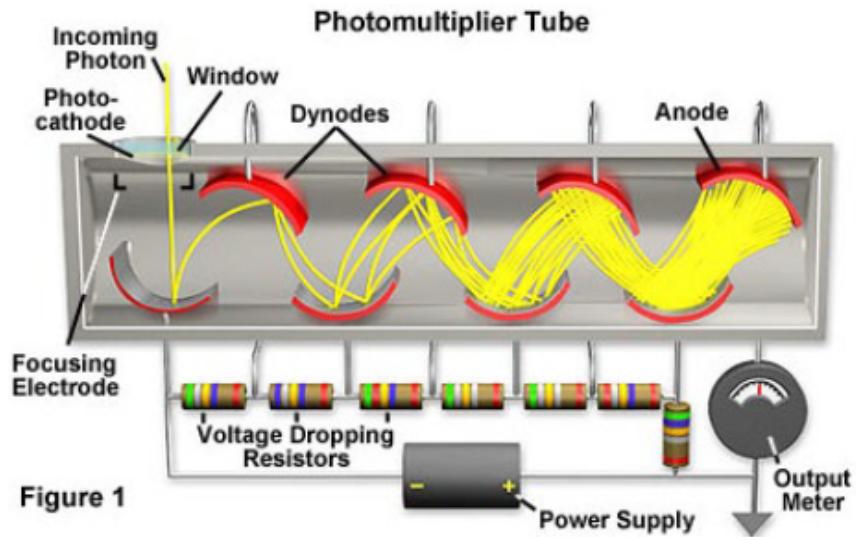


Figura 1.8: PhotoMultiplier Tube

Questa capacità di combinare informazioni spaziali e temporali rende i MaPMT particolarmente utili in applicazioni avanzate, come:

- **Imaging bidimensionale** nelle camere di scintillazione.
- **Rivelatori avanzati** per esperimenti di fisica delle particelle, come nei rivelatori RICH.

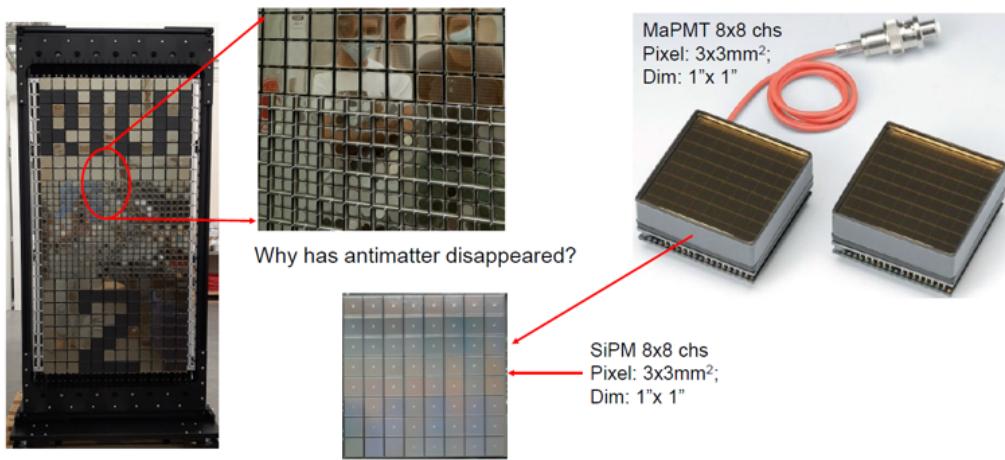


Figura 1.9: Multi Anode Photomultiplier Tube

Rispetto ai PMT tradizionali, i MaPMT offrono una maggiore efficienza e compattezza, ma introducono una complessità maggiore nella configurazione e interpretazione dei dati, oltre a un costo generalmente più elevato.

### 1.2.3.2 Architettura FastIC

Il FastIC si basa su un'architettura multi-branch, ovvero i segnali in ingresso vengono suddivisi e processati attraverso più percorsi paralleli, ciascuno dedicato a un aspetto specifico dell'informazione. I tre rami elaborano rispettivamente l'informazione temporale, l'energia (per stimare l'intensità dell'evento) e il trigger (per selezionare solo gli eventi rilevanti).

La scheda front-end elabora segnali in corrente con un'impedenza di ingresso inferiore a  $20\ \Omega$  e può essere programmato per gestire segnali con polarità positiva o negativa. Gli 8 canali di lettura possono essere configurati per operare in modalità differenziale, consentendo di utilizzarli come 4 canali differenziali. Ad esempio, un SiPM (Sensore fotosensibile al silicio) può essere configurato in modalità differenziale sfruttando sia l'anodo che il catodo.

In alternativa, è possibile sommare i segnali di 4 canali single-ended e applicare la discriminazione sull'impulso risultante. Questo approccio offre un vantaggio significativo: se ogni singolo rivelatore ha un'area di  $3 \times 3\text{ mm}^2$ , la somma di 4 segnali permette di ottenere una risoluzione spaziale equivalente a un rivelatore di  $6 \times 6\text{ mm}^2$ , ma mantenendo la risposta temporale di un singolo sensore da  $3 \times 3\text{ mm}^2$ .

Questo è particolarmente utile perché un sensore con un'area maggiore presenta capacità parassite più elevate, che portano a tempi di risposta più lenti. Sommando i segnali di più piccoli rivelatori, si ottiene quindi un compromesso ottimale tra risoluzione spaziale e prestazioni temporali.

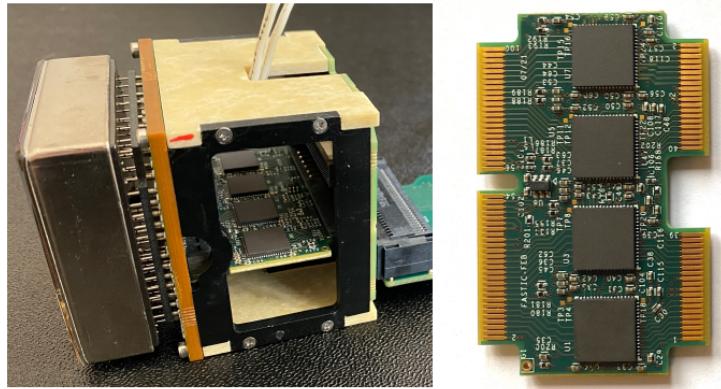


Figura 1.10: A Sinistra la cella elementare a destra FastIC

Ogni canale del FastIC fornisce due misurazioni fondamentali: il **Tempo di Arrivo (ToA)**, che indica il momento in cui il segnale viene rilevato, e la misura dell'energia lineare dei fotoni rilevati.

Per la misurazione del Tempo di Arrivo (ToA), il FastIC utilizza un comparatore a leading-edge, che rileva il fronte di salita di un segnale. Il comparatore genera una risposta non lineare, chiamata **Time over Threshold (ToT)**, che codifica il ToA in base alla soglia di un impulso. La

configurazione della soglia è programmabile tramite un registro interno, consentendo la rilevazione di segnali anche molto deboli, fino al livello di un singolo fotone [6].

Per quanto riguarda la misurazione dell'energia, questa viene effettuata generando un impulso la cui larghezza è proporzionale alla carica raccolta dal sensore. Più specificamente, l'energia è proporzionale all'ampiezza di picco dell'evento. Ad esempio, l'ampiezza di picco di un SiPM segue una relazione lineare rispetto al numero di fotoni rilevati. La misurazione dell'energia viene effettuata con un errore di linearità inferiore al 3% su tutta la gamma dinamica di ingresso, che va da 5  $\mu$ A a 25 mA di corrente di picco in ingresso.

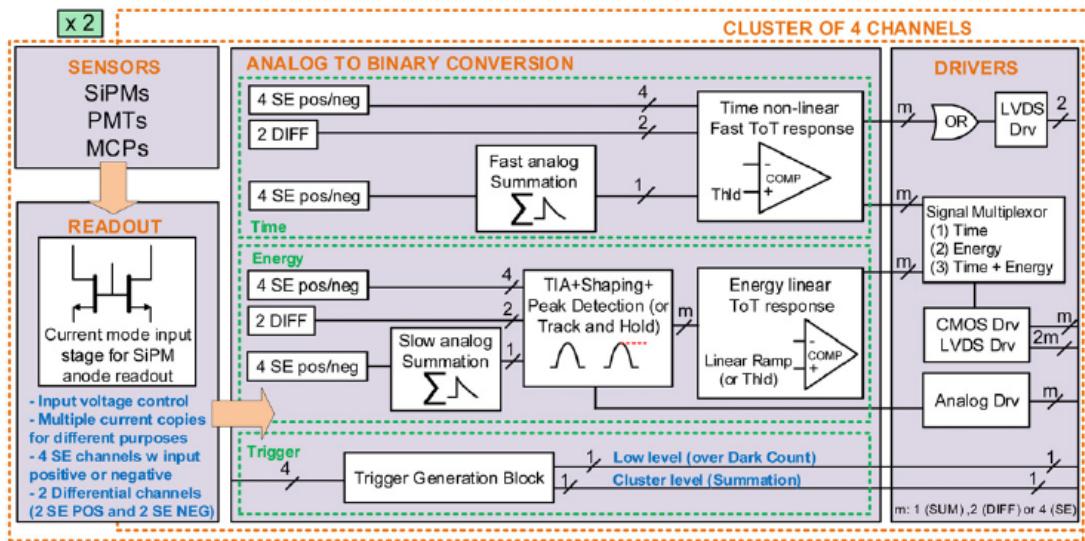


Figura 1.11: Diagramma a blocchi architettura FastIC

Il processo di acquisizione dell'energia avviene in diverse fasi:

- **Stadio di ingresso:** Lo stadio di ingresso genera una corrente proporzionale al segnale rilevato dal sensore con un guadagno configurabile.
- **Conversione corrente-tensione:** La corrente generata viene convertita in tensione tramite un *Trans-Impedance Amplifier* (TIA) anch'esso con un guadagno configurabile.
- **Shaper:** Un blocco *shaper*, con cancellazione passiva di polo-zero e un integratore attivo di primo ordine, modellano il segnale migliorando la sua forma d'onda in modo da facilitare la stima dell'ampiezza di picco, che è direttamente proporzionale all'energia dell'evento rilevato.
- **Peak Detector and Hold (PDH):** Il blocco *Peak Detector and Hold (PDH)* rileva il picco del segnale in uscita dallo *shaper* e lo mantiene stabile in modalità *hold*. Questo stadio è essenziale per isolare e conservare il valore massimo, che corrisponde all'energia del segnale.

- **Generazione della rampa lineare:** Una rampa lineare crescente viene generata come segnale di riferimento con pendenza costante, che cresce nel tempo a partire da zero, per misurare l'energia
- **Discriminatore di tensione:** Il picco stabilizzato dal PDH viene confrontato con la rampa tramite un discriminatore. Quando la rampa supera il picco, l'uscita commuta a zero, generando un'impulso la cui larghezza ( $\Delta t$ ) è proporzionale all'energia del segnale.

Infine sono disponibili diversi metodi di trigger con soglie configurabili per catturare eventi validi. Un trigger permette di rilevare eventi da un singolo fotone a decine di fotoni, escludendo quelli a bassa energia configurando in modo opportuno la soglia.

#### 1.2.4 SPAD e SiPM

Tutto quanto descritto finora rappresenta la struttura e l'elettronica attualmente in uso all'interno dell'esperimento LHCb.

Tuttavia, l'obiettivo futuro è quello di implementare un upgrade significativo, sostituendo i sensori *MaPMT* con sensori a silicio. Questa transizione è motivata dai numerosi vantaggi offerti dai nuovi dispositivi, in particolare dalla loro maggiore **granularità**: a parità di numero di celle fotosensibili, i sensori a silicio presentano una dimensione complessiva ridotta, consentendo una **risoluzione spaziale** più fine. La granularità, che in questo contesto si riferisce al numero di sensori per unità di area ( $\text{mm}^2$ ), risulta significativamente superiore, permettendo una dimensione potenzialmente inferiore rispetto all'area minima di un pixel di *MaPMT*, che è attualmente di  $3 \times 3 \text{ mm}^2$ .

I SiPM operano inoltre a bassa tensione (30-50 V), mentre i *MaPMT* richiedono alte tensioni intorno ai 1-2 kV. Un altro vantaggio è la loro insensibilità ai campi magnetici, un aspetto cruciale per esperimenti come quelli condotti al LHCb, dove la presenza di forti campi magnetici potrebbe influire negativamente sui sensori tradizionali.

Questi dispositivi offrono anche un guadagno elevato ( $10^6$ ) e una **PDE** (Photon Detection Efficiency) superiore al 50%, ovvero si ha una probabilità  $>50\%$  che un fotone venga rilevato ed inneschi una valanga di elettroni. Ciò è particolarmente importante per applicazioni ad alta precisione, come quelle previste nell'upgrade del rivelatore LHCb. Inoltre, i sensori a silicio presentano una risoluzione temporale migliore (nell'ordine di 100 picosecondi), rendendoli ideali per esperimenti che richiedono misurazioni precise dei tempi di arrivo dei fotoni [7].

##### 1.2.4.1 Single Photon Avalanche Diode (SPAD)

I Single Photon Avalanche Diodes (SPAD) sono dispositivi semiconduttori specializzati, progettati per rilevare singoli fotoni. Sono una particolare categoria di diodi a valanga, che operano in una

modalità chiamata Geiger-mode [8]. In questa modalità, il diodo è polarizzato inversamente con una tensione superiore alla sua tensione di breakdown, il che crea un campo elettrico estremamente forte nella regione di svuotamento. Quando un singolo fotone colpisce il materiale del diodo, genera una coppia elettrone-lacuna. Grazie all'alto campo elettrico presente, questo singolo elettrone è accelerato in modo tale da innescare una valanga di ionizzazioni da impatto. Ciò significa che l'elettrone iniziale, attraverso urti successivi, riesce a liberare molti altri elettroni, creando una corrente che amplifica il segnale generato dal fotone iniziale. Anche un singolo fotone, quindi, è sufficiente a far scattare un impulso di corrente nel dispositivo, rendendo i SPAD estremamente sensibili alla luce. A causa dell'elevato guadagno di corrente, è necessario un circuito di quenching (o circuito di spegnimento, Figura 1.12) per interrompere la valanga e riportare il diodo allo stato di riposo. Questo circuito abbassa momentaneamente la tensione di polarizzazione sotto la soglia di breakdown, fermando l'effetto valanga, e poi la riporta al livello operativo per permettere la rilevazione di altri fotoni. Il tempo necessario per questo reset, noto come tempo di ripristino o tempo di dead-time, limita la frequenza di rilevamento dei fotoni da parte del SPAD.

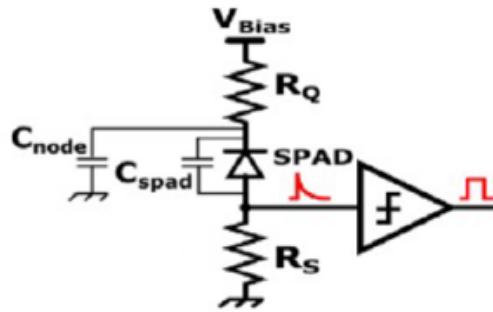


Figura 1.12: Circuito di quenching SPAD

Il tempo di reset è pari:

$$\tau_{\text{reset}} = R_q \cdot (C_{\text{SPAD}} + C_{\text{node}}) \quad (1.1)$$

#### 1.2.4.2 Silicon Photomultiplier

Un SiPM (Silicon Photomultiplier) è composto da un array di microcelle, dove ciascuna microcella è un singolo SPAD (Single Photon Avalanche Diode), quindi è composto da tanti SPAD in parallelo. Le microcelle operano insieme in modo sincrono per rilevare segnali deboli, come i singoli fotoni.

Tutte le microcelle condividono una corrente comune, che rappresenta la somma delle correnti generate da ciascun SPAD nel momento in cui rileva un fotone. In questo modo, il SiPM misura l'intensità della luce incidente.

Nell'array di microcelle, ogni quadrato rappresenta un singolo SPAD e queste microcelle formano collettivamente il SiPM. Ogni microcella ha un circuito equivalente che consiste in:

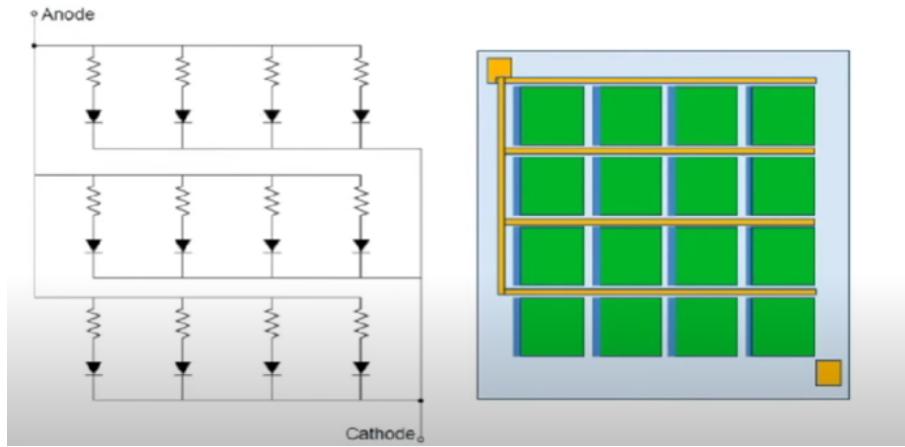


Figura 1.13: Schema elettrico di un SiPM

- uno SPAD in parallelo con una resistenza di quenching  $R_q$ .

Ogni SiPM è costituito da una matrice di SPAD, ciascuno dei quali rappresenta un pixel all'interno del sensore. Gli SPAD, possono avere dimensioni comprese tra 25 e 75  $\mu\text{m}$  dunque la struttura ad array permette di integrare un numero elevatissimo di SPAD in un'area molto ridotta: ad esempio, in un SiPM con dimensioni di  $3 \times 3, \text{mm}^2$ , possono essere presenti oltre 14.000 SPAD. Questo alto numero di microcelle è ciò che consente al SiPM di combinare l'elevata granularità con una notevole capacità di rilevamento.

Gli strati della microcella sono progettati per ottimizzare la sensibilità alla luce e la velocità di rilevamento. La regione di arricchimento  $p^+$  e la zona di svuotamento sono particolarmente importanti per creare il campo elettrico necessario all'avvio della valanga di elettroni.

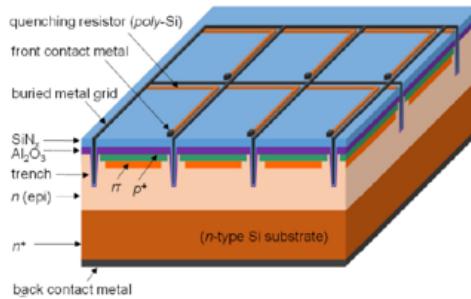


Figura 1.14: Sezione di un SiPM

L'intensità del segnale complessivo generato dal SiPM dipende dal numero di fotoni rilevati:

- Ogni fotone rilevato attiva una microcella.
- La corrente prodotta dalle varie microcelle si somma.

Di conseguenza, più fotoni vengono rilevati simultaneamente, più alto sarà l'impulso di corrente generato. In sintesi, un SiPM è costituito da una matrice di SPAD che funziona come un insieme

di microcelle indipendenti. La somma delle correnti di tutte le microcelle fornisce un segnale complessivo, la cui intensità è proporzionale al numero di fotoni incidenti.

Un parametro fondamentale nei SiPM è il **Dark Count Rate** (DCR), che rappresenta il numero di conteggi o impulsi che il dispositivo registra in assenza di luce, quindi senza fotoni incidenti. In altre parole, è il tasso di eventi "falsi" che vengono rilevati quando non ci sono fotoni da rilevare, dovuti principalmente al rumore termico e alle imperfezioni del materiale semiconduttore. Il fenomeno si verifica perché i portatori di carica (elettroni e lacune) possono essere generati termicamente all'interno del SiPM. A causa del forte campo elettrico applicato e dell'elevata sensibilità del dispositivo, un elettrone generato termicamente nella depletion region può innescare una valanga di elettroni, proprio come accadrebbe con un fotone incidente. Questa valanga viene interpretata dal SiPM come un segnale valido, generando quindi un impulso di corrente anche in assenza di fotoni. Questo fenomeno è conosciuto come *dark count*.

Il DCR si misura in conteggi al secondo (cps, counts per second o HZ) e dipende da vari fattori, tra cui:

- **Temperatura:** Il DCR aumenta con la temperatura, perché l'energia termica extra facilita la generazione di portatori di carica. Per questo motivo, spesso si raffreddano i SiPM per ridurre il rumore termico (Il tasso di riduzione del DCR è un fattore 2 per ogni diminuzione della temperatura di 10C).
- **Tensione di polarizzazione:** Una tensione di polarizzazione più elevata aumenta il campo elettrico nella depletion region, rendendo più probabile che un portatore generato termicamente inneschi una valanga.
- **Qualità del materiale semiconduttore:** Impurezze e difetti nel materiale del SiPM possono contribuire al DCR, poiché fungono da siti di generazione di portatori termici.

Un DCR elevato è generalmente indesiderabile perché introduce rumore e riduce la sensibilità del dispositivo alla luce. In applicazioni di rilevamento in cui è cruciale mantenere una buona accuratezza, è importante controllare il DCR, ad esempio con tecniche di raffreddamento o selezionando SiPM di qualità superiore con livelli di rumore intrinseco più bassi.

# Capitolo 2

## Configurazione sperimentale esistente

### 2.1 Panoramica del Sistema Esistente

Attualmente, in laboratorio si sta lavorando a un esperimento progettato per effettuare misure temporali di alta precisione che è schematizzato in Figura 6.1.

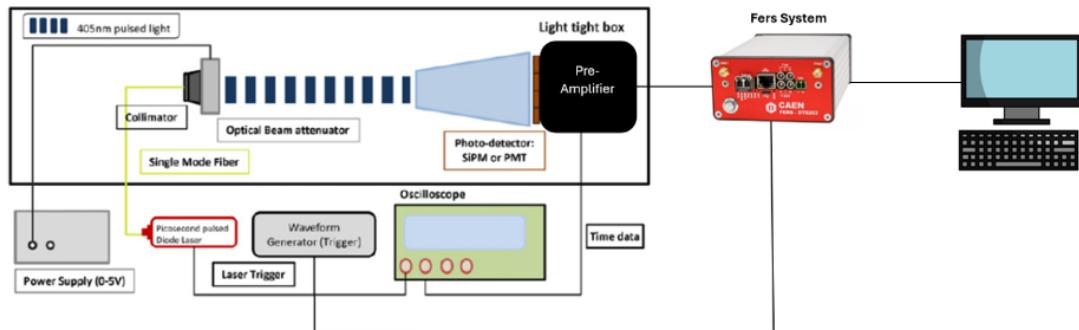


Figura 2.1: Rappresentazione del setup sperimentale che utilizza una sorgente laser viola ( $\lambda = 404\text{nm}$ ) per misurazioni temporali

La configurazione sperimentale utilizza un laser per generare un segnale elettrico sincrono alla luce emessa, che viene usato come trigger per la strumentazione. Essendo il trigger generato dal laser, la latenza (ritardo temporale) tra luce e segnale elettrico è sempre costante (a meno del **jitter**) e sotto controllo. Il sistema Fers-5200 è incaricato di rilevare gli istanti temporali con una risoluzione dell'ordine dei picosecondi. Il driver laser emette impulsi a intensità nota, determinata dalla potenza impostata, dalla frequenza di emissione e dall'energia del fotone alla lunghezza d'onda di 404 nm, pari a 3 eV nel caso dell'esperimento.

Il fascio di luce generato dal laser viene trasportato attraverso una fibra ottica single-mode fino ad un collimatore ottico, che lo direziona verso un attenuatore a cristalli liquidi. Quest'ultimo è

progettato per regolare il fattore di attenuazione in funzione della tensione applicata, consentendo così un controllo preciso sull'intensità del fascio luminoso. L'intero sistema è alloggiato in una camera nera isolata dalla luce, per ridurre al minimo le interferenze esterne e garantire una maggiore stabilità durante le misurazioni.

L'obiettivo principale dell'esperimento è analizzare il jitter temporale misurando la risposta del FastIC o del Front-End a uno stimolo luminoso generato dal sensore SiPM o a un segnale equivalente prodotto da un generatore esterno. In particolare, l'incertezza sul tempo di arrivo del segnale viene valutata registrando il ritardo tra il segnale di trigger e il segnale rilevato ed elaborato dal Front-End per valutarne le prestazioni.

## 2.2 Sistema Fers-5200

Il sistema **FERS-5200** (*Front-End Readout System*) è una piattaforma progettata per la gestione e l'acquisizione dei dati da grandi array di rivelatori, come i Silicon Photomultipliers (SiPM), MaPMT e altri dispositivi analoghi. La piattaforma è caratterizzata da un'architettura **distribuita e scalabile**, in cui ciascuna unità è costituita da una scheda capace di ospitare fino a 64 o 128 canali. Ogni scheda può essere dotata di diverse componenti essenziali, come preamplificatori, moduli di shaping, discriminatori, convertitori ADC, logica di trigger, sistemi di sincronizzazione, memoria locale e interfacce di lettura.

La piattaforma **FERS-5200** è altamente flessibile, poiché consente di combinare un unico backend (ovvero l'architettura di lettura e interfaccia) con diversi front-end per adattarsi a una vasta gamma di rivelatori.

All'interno della famiglia FERS-5200, si distinguono:

- **FERS-DT5203**: una unità completa, che integra tutti i componenti necessari per un sistema di lettura indipendente e funzionale;
- **A5203**: una versione "*naked*", cioè solo la scheda interna, progettata per essere integrata in un sistema più ampio. La variante **A5203B** aggiunge una seconda scheda con un chip aggiuntivo, trasformando il modulo a 128 canali.

Entrambi i moduli utilizzano il chip **picoTDC**, sviluppato dal CERN, per fornire misure temporali *multi-hit* ad alta risoluzione. Ogni canale di lettura può accettare segnali **LVDS** (*Low-Voltage Differential Signaling*), un tipo di interfaccia elettrica per trasmissione dati che garantisce velocità elevate, basso consumo energetico, elevata immunità al rumore e integrità del segnale.



Figura 2.2: FERS-DT5203

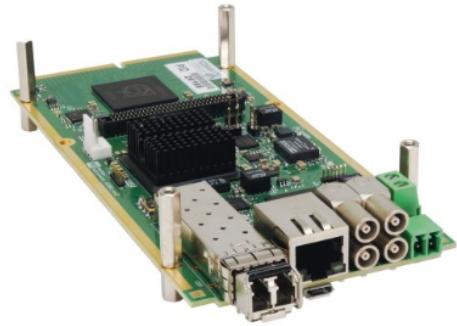


Figura 2.3: Scheda A5203

Le principali funzionalità del sistema includono:

- Ricostruzione del tempo di arrivo (*Time of Arrival*, ToA) dei segnali con una risoluzione programmabile fino a **3.05 ps**, che può essere registrato in diverse modalità:
  - *Trigger Matching*: calcolo del timestamp assoluto sincronizzato con un trigger esterno.
  - *Common Start/Stop*: calcolo del tempo relativo  $\Delta T$  rispetto a un impulso di riferimento comune.
- Acquisizione del *Time over Threshold* (**ToT**), che permette di stimare l'ampiezza del segnale, ricostruire lo spettro energetico e applicare correzioni.

### 2.2.1 Scheda readout A5255

La scheda A5255 funge da scheda readout per il modulo A5203/DT5203 e dispone di quattro connettori, ciascuno composto da 17 coppie di pin con passo di 2,54 mm. Ogni connettore espone 16 coppie di pin per i segnali di ingresso al picoTDC, in formato **LVDS**, e una coppia di pin programmabili (pin 33 e 34 di ciascun connettore), che possono essere utilizzati per linee di alimentazione.

La scheda include anche un connettore LEMO 00 single ended, utilizzabile come segnale di riferimento temporale (*Tref*), in sostituzione della coppia differenziale corrispondente ai pin Ch0.

La scheda A5255 è montata di default sul pannello posteriore del modulo DT5203.

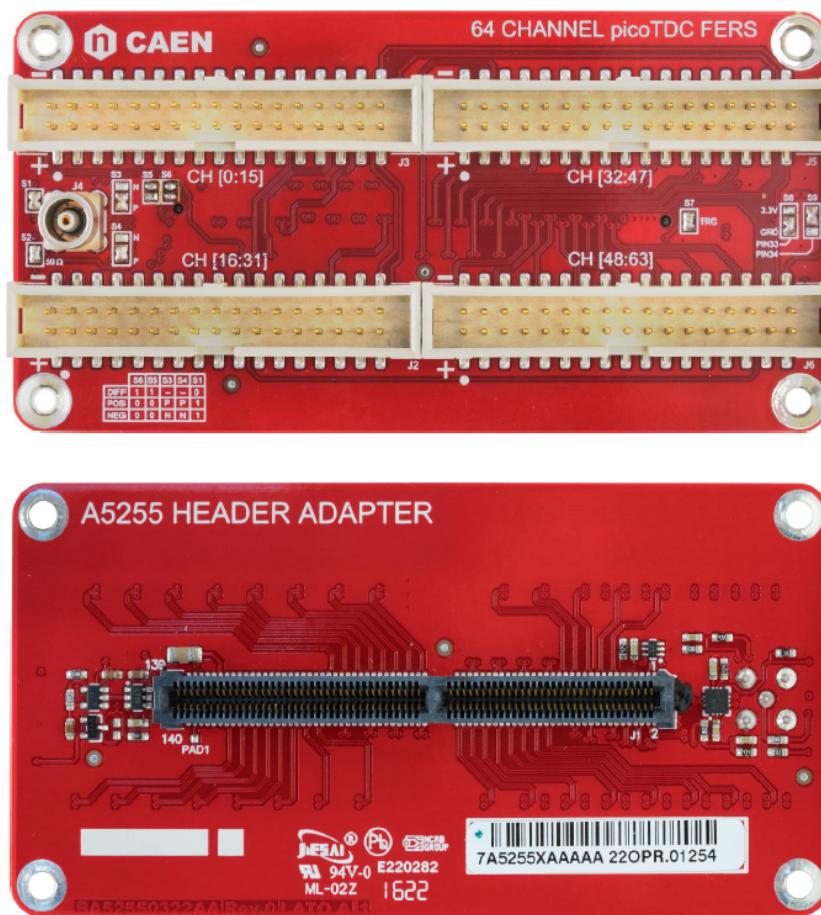


Figura 2.4: Fronte e retro del sistema di acquisizione A5255

## 2.2.2 Scheda readout A5256

La scheda A5256 anch'essa funge da scheda readout per il modulo A5203/DT520 ed è un sistema di acquisizione che impiega discriminatori per elaborare i segnali provenienti dai fotorivelatori. È possibile configurare la scheda per discriminare fino a 16+1 canali a singola soglia, oppure 8+1 canali a doppia soglia. I connettori coassiali LEMO 00 accettano impulsi analogici, sia positivi che negativi (selezionabili tramite jumper saldabili), oltre a segnali logici nei formati NIM o LVTTL.

Analogamente alla scheda A5255, è presente un connettore dedicato (CH0, Tref) che fornisce un segnale di temporizzazione di riferimento. La modalità a doppia soglia consente una migliore ricostruzione dell'ampiezza dell'impulso (*pulse height reconstruction*). Tuttavia, la relazione tra il Time over Threshold (ToT) e l'ampiezza dell'impulso (Pulse Height Amplitude, PHA) dipende dalla forma dell'impulso e deve essere calibrata per ottenere misure precise.

Sono stati condotti dei test sulla scheda utilizzando segnali veloci (fronti di salita di 0.8 o 1.6 ns, ampiezza di 0.5 Vpp), ottenendo una risoluzione temporale di circa 7 ps RMS.

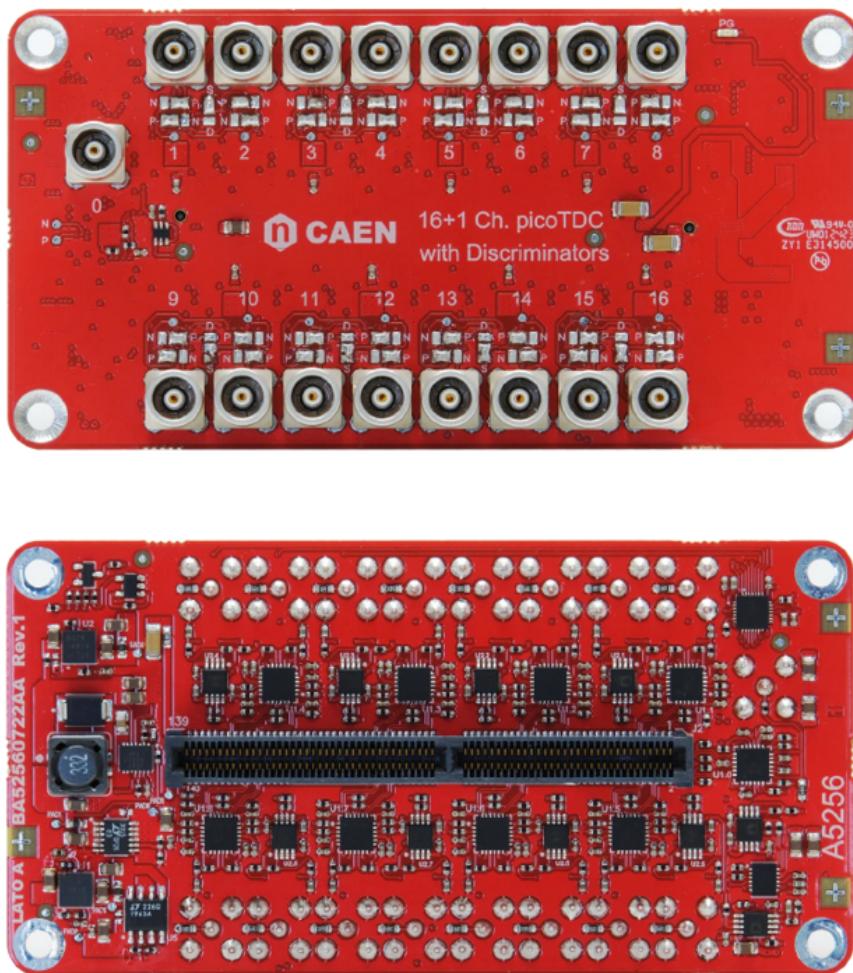


Figura 2.5: Fronte e retro del sistema di acquisizione A5256

### 2.2.3 PicoTDC

Una volta che il segnale è stato elaborato da una delle due schede di readout descritte nei capitoli precedenti, i segnali vengono inviati al sistema DT5203 sotto forma di segnali LVDS. Il Pico TDC si occuperà di fornire in formato digitale il ToA esatto in cui i fotoni sono stati rilevati.

È possibile osservare l'architettura del picoTDC in figura 2.6

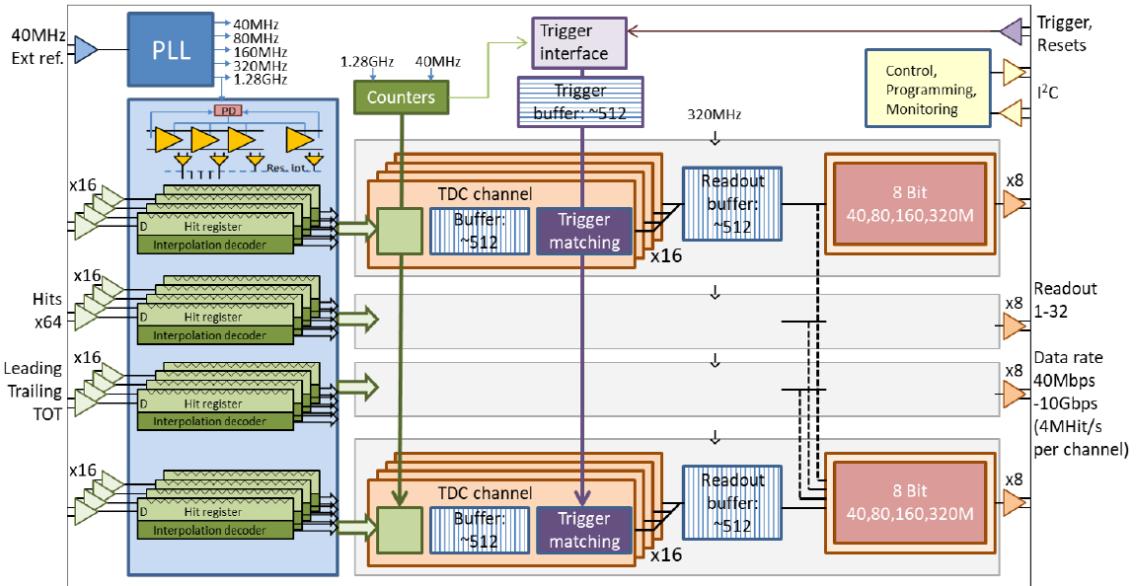


Figura 2.6: Architettura picoTDC

Il picoTDC utilizza un **Delay Locked Loop (DLL)** composto da 64 elementi di ritardo (**tap**), che garantiscono una risoluzione temporale di 12,2 ps. Per migliorare ulteriormente la risoluzione, è possibile utilizzare un interpolatore resistivo per suddividere ogni intervallo in 4 parti più piccole, portando la risoluzione finale a 3,05 ps.

Il clock di riferimento è fornito dal PLL integrato nel chip che opera a 1,28 GHz, generando anche 320 MHz per la logica digitale. Il PLL esegue la moltiplicazione del clock a partire da un clock di riferimento a 40 MHz.

Il segnale di **hit** viene campionato per ogni intervallo di tempo (tap) in ogni ciclo di clock. La misurazione può avvenire sia sul fronte di salita (leading edge) che sul fronte di discesa (trailing edge) del segnale. Quando un hit viene rilevato, il valore temporale corrispondente viene memorizzato in un registro per la successiva elaborazione.

Ogni canale del TDC può memorizzare fino a 4 misurazioni in un buffer locale chiamato **de-randomizzatore**. I dati vengono quindi trasferiti in un buffer più grande, che può contenere fino a 512 word per canale.

I dati archiviati nel buffer del canale possono essere:

- Passati direttamente a una FIFO di lettura da 512 word, condivisa da un gruppo di 16 canali,

- Oppure, una funzione di trigger matching può essere utilizzata per selezionare gli eventi correlati a un trigger specifico.

Il sistema utilizza diverse informazioni per il trigger matching, come:

- Trigger time tag (marcatore temporale del trigger),
- Event ID (ID dell'evento),
- Bunchcount ID (ID del bunch).

Queste informazioni possono essere memorizzate temporaneamente in una FIFO di trigger separata per ciascun gruppo di canali.

## 2.3 Obiettivi

L'obiettivo di questa tesi è progettare e realizzare un nuovo PCB che integri la logica della scheda A5256. Questa nuova scheda dovrà essere in grado di discriminare i segnali provenienti da fotorivelatori come MaPMT o SiPM e, al tempo stesso, interfacciarsi direttamente con la scheda A5255, garantendo la compatibilità LVDS con quest'ultima.

Grazie a questa soluzione, sfruttando i quattro connettori di ingresso disponibili sulla scheda A5255, la realizzazione di quattro nuovi PCB consentirebbe di espandere significativamente il numero di canali disponibili. In particolare, si passerebbe da un massimo di 16 ingressi offerti dalla scheda A5256 a oltre 60 canali.

Per esempio, gli MaPMT utilizzati in laboratorio presentano 64 celle, e quindi, con la scheda A5256 che ha solo 16 ingressi, sarebbe possibile discriminare il segnale solo per 16 di queste celle. Tuttavia, una volta prodotto il nuovo PCB, saremo in grado di utilizzare tutte le celle dell'MaPMT, permettendoci di rilevare l'intero cerchio di luce Cherenkov di cui abbiamo bisogno.

Il nuovo sistema consentirà inoltre di misurare la risoluzione temporale dei fotorivelatori (che conosciamo già), permettendoci di caratterizzare il jitter del nostro sistema, ovvero di quantificare il ritardo introdotto dalla nuova scheda inserita nella catena di acquisizione. Questo ci permetterà, in futuro, di caratterizzare la scheda FastRICH che sostituirà quella attualmente presente all'interno dei rivelatori RICH.

## Capitolo 3

# Scelte Progettuali e Definizione dello Schema Elettrico

### 3.1 Analisi scheda A5255

Poiché l'obiettivo del progetto è realizzare una nuova scheda PCB, chiamata **PicoCMP**, che integri la logica della scheda analogica A5256 e che dovrà interfacciarsi con la scheda A5255, la prima fase del progetto è stata dedicata all'analisi della scheda A5255. Questa fase preliminare ha permesso di comprendere il funzionamento della scheda, fornendo le informazioni necessarie per progettare il nuovo circuito in modo che possa interagire correttamente con la A5255.

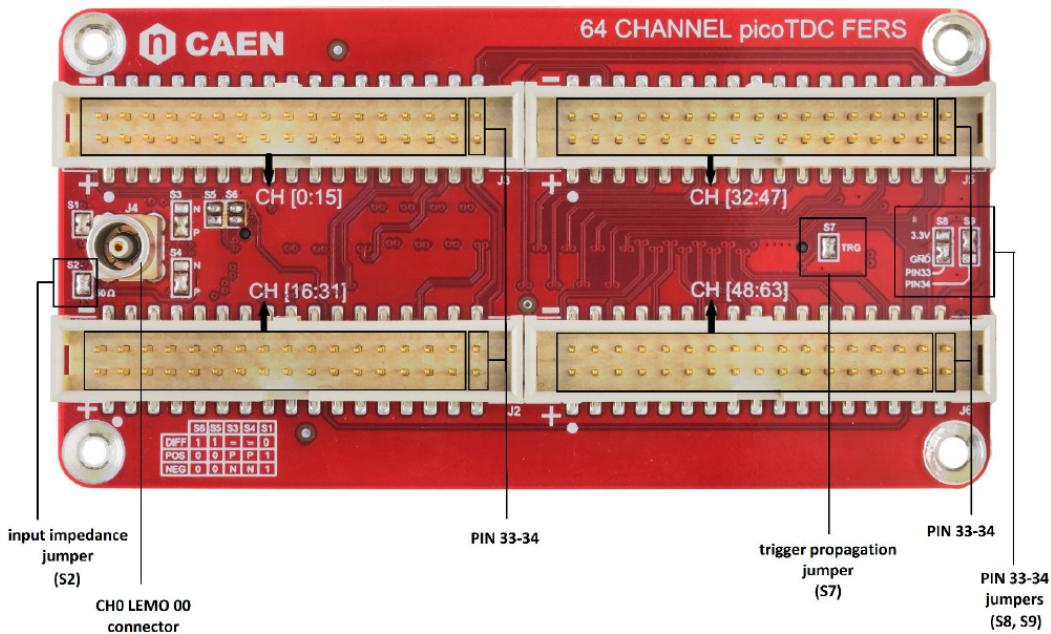


Figura 3.1: Fronte A5255

È stato esaminato il materiale fornito dalla CAEN, produttore delle schede, che include una panoramica delle funzionalità e le istruzioni per la configurazione del segnale di trigger.

Dalla sezione 2.2.1 sappiamo che gli ingressi della scheda sono di tipo differenziale LVDS (Low-Voltage Differential Signaling), una tecnologia di trasmissione che utilizza basse tensioni differenziali per ridurre al minimo le interferenze esterne e migliorare l'integrità del segnale, anche a velocità di trasmissione elevate.

Come illustrato in Figura 3.1, sulla scheda sono presenti nove jumper saldabili che devono essere configurati correttamente. La scheda consente l'utilizzo del trigger con segnali sia positivi che negativi tramite il connettore **LEMO-00**. Tuttavia, in questa configurazione, la coppia di pin **CH0** della morsettiera (i primi due pin della prima morsettiera in alto a sinistra) non può essere utilizzata come canale di ingresso.

In alternativa, è possibile impiegare un trigger esterno, consentendo così l'uso della coppia di pin **CH0** come canale di ingresso. In questo caso, il connettore **LEMO-00** diventa inutilizzabile.

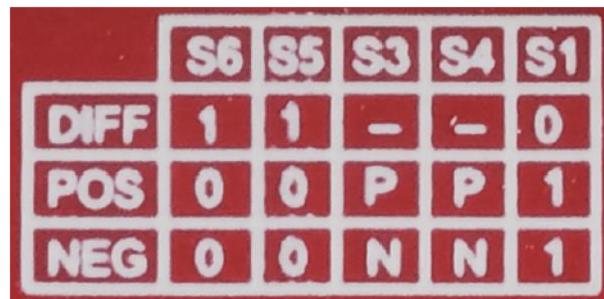


Figura 3.2: Configurazioni dei jumper.

Le configurazioni dei jumper sono le seguenti:

- **CH0 utilizzato con segnale differenziale LVDS:**
  - Dissaldare il jumper **S1**.
  - Saldare i jumper **S5** e **S6**.
  - In questa configurazione, il connettore **LEMO-00** non deve essere utilizzato, pertanto **CH0** funziona come ingresso.
- **LEMO-00/CH0 con segnale positivo Single-Ended LVTTL [9]:**
  - Saldare il jumper **S1**.
  - Saldare la connessione **P** su **S3** e **S4**.
  - Dissaldare i jumper **S5** e **S6**.
  - In questa configurazione, la coppia di pin **CH0 non può essere utilizzata**.

- **LEMO-00/CH0 con segnale negativo Single-Ended NIM [10]:**
  - **Saldare** il jumper **S1**.
  - **Saldare** la connessione **N** su **S3** e **S4**.
  - **Dissaldare** i jumper **S5** e **S6**.
  - Anche in questa configurazione, la coppia di pin **CH0** non può essere utilizzata.

I jumper **S3**, **S4**, **S5** e **S6** si trovano attorno al connettore **LEMO-00** sulla scheda **A5255**, come mostrato nella Figura 3.3.

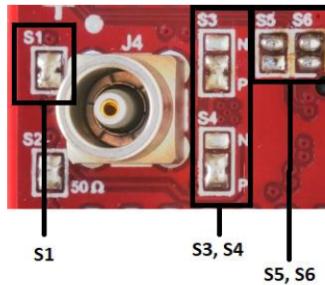


Figura 3.3: Localizzazione dei jumper S1-S6.

I pin **33** e **34** sono utilizzati per i segnali di alimentazione (**VDD**) o di massa (**GND**), oppure possono essere lasciati scollegati. Per selezionare quali segnali far passare attraverso i pin **33** e **34**, è necessario saldare o dissaldare i jumper **S8** e **S9**, come mostrato nella Figura 3.4. Nell'esempio riportato in figura, il pin **33** (**S8**) è collegato a massa, mentre il pin **34** (**S9**) è collegato alla tensione di alimentazione **VDD** da 3,3 V.



Figura 3.4: Configurazione dei jumper S8-S9.

L'impedenza di ingresso dei canali è impostata a **50 Ω** di default. Se è necessaria un'impedenza di ingresso elevata (circa **1 MΩ**), il jumper **S2** deve essere dissaldato.

La scheda **A5255** è configurata di default per propagare il segnale di trigger dal connettore **LEMO** al canale di ingresso CH0. Se si desidera utilizzare solo il canale **CH0** come ingresso è necessario dissaldare il jumper **S7**.

Sulla base di queste informazioni, è stato dedotto che la nuova scheda **PicoCMP** dovrà avere uscite LVDS compatibili con i pin di ingresso delle morsettiera della scheda A5255. Inoltre, le linee di uscita del PicoCMP dovranno avere un'impedenza Single-Ended di  $50\ \Omega$  e differenziale di  $100\ \Omega$ , in modo da garantire un corretto adattamento di impedenza con gli ingressi della scheda A5255 e ridurre al minimo le riflessioni del segnale. Particolare attenzione dovrà essere prestata al canale CH0, che può essere utilizzato sia come ingresso sia come segnale di trigger.

Verranno realizzati quattro **PicoCMP**, ciascuna delle quali si collegherà a una delle quattro morsettiera presenti sulla scheda A5255. Inoltre, sarà necessario introdurre un connettore LEMO-00 sul PCB per fornire il segnale di trigger.

La progettazione dovrà garantire due modalità di funzionamento:

- Il primo **PicoCMP** fornirà il segnale di trigger tramite il connettore LEMO-00, che verrà propagato al canale CH0 della scheda A5255; pertanto, un segnale di ingresso sulla A5255 verrà sacrificato per il trigger.
- Le altre tre schede PicoCMP non utilizzeranno il connettore LEMO-00. In questo caso, l'ingresso IN0 della morsettiera di ciascun PicoCMP sarà utilizzato come segnale di ingresso, invece che come trigger. Di conseguenza, gli ingressi degli altri connettori della scheda A5255 saranno tutti disponibili, per complessivi 63 canali.

Sarà necessario collegare il canale di ingresso IN0 del PicoCMP in parallelo con il connettore LEMO-00, per consentire entrambe le configurazioni.

Per garantire il corretto funzionamento del sistema, sarà necessario configurare opportunamente i jumper sulla scheda A5255, in modo da permettere la ricezione del trigger. Infine, i pin 33 e 34 di ciascuna morsettiera della A5255 saranno lasciati liberi e utilizzati come riferimenti di massa comune per l'intero sistema.

### 3.2 Analisi scheda A5256

Dato che la scheda da progettare dovrà implementare la logica della scheda A5256, descritta nella sezione 2.2.2, il passo successivo è stato analizzarla seguendo lo stesso approccio adottato per la A5255. A tal fine, sono stati consultati i manuali per comprendere le funzionalità e le possibili configurazioni della scheda

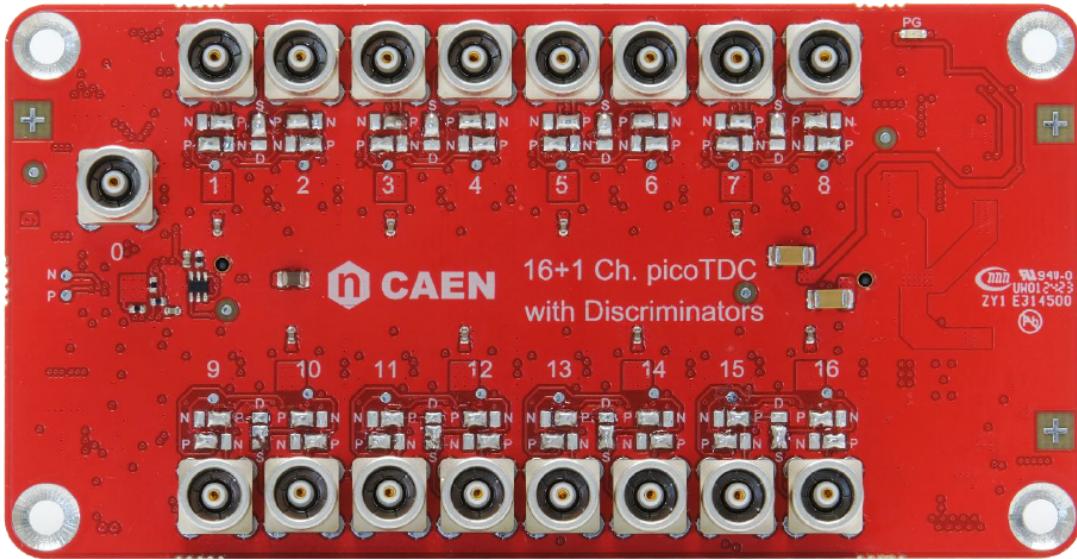


Figura 3.5: Fronte A5256

Osservando la Figura 3.5, si notano due file da 8 connettori Lemo-00 ciascuna, per un totale di 16 ingressi. Inoltre, è presente un altro connettore Lemo separato dalle due file precedenti, che consente di fornire il trigger. Questo ingresso è fondamentale per stabilire il tempo di riferimento in cui avviene un evento.

Sotto ogni coppia di ingressi (1-2, 3-4, e così via) sono presenti anche in questo caso dei jumper saldabili (Figura 3.6), che consentono di configurare la polarità delle soglie dei discriminatori. Inoltre, questi jumper permettono di impostare se i segnali saranno discriminati utilizzando una soglia singola o doppia.

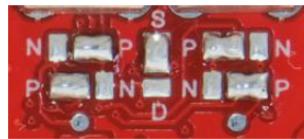


Figura 3.6: Jumper A5256

In modalità dual threshold, solo gli ingressi dispari ( $In = 1, 3, 5, \dots, 15$ ) potranno essere utilizzati, poiché per applicare la seconda soglia utilizzeranno i discriminatori degli ingressi pari.

Sono presenti due jumper per ciascun canale, ed entrambi devono essere saldati sulla stessa polarità. L'eccezione riguarda il canale **Ch0**, che è collegato a due discriminatori: uno con polarità positiva e l'altro con polarità negativa. Questo accade perché i circuiti integrati utilizzati per discriminare i segnali contengono ciascuno due discriminatori, e i canali sono accoppiati due a due all'interno di ogni integrato. Tuttavia, il canale **Ch0** utilizza lo stesso circuito integrato e quindi il segnale di trigger viene comparato da due discriminatori. Questa configurazione con doppia soglia consente di misurare la **pendenza del trigger**, permettendo di analizzare le transizioni rapide del segnale.

La Figura 3.6 mostra un esempio di jumper saldati per segnali con polarità positiva (P) e per la configurazione a soglia singola (S).

### 3.2.1 Analisi circuitale

Una volta completata questa analisi preliminare, considerando che il **picoCMP** dovrà integrare la logica della scheda **A5256**, sono state condotte ulteriori analisi sul circuito, con particolare attenzione all'identificazione dei discriminatori utilizzati e alle scelte delle tensioni di alimentazione.

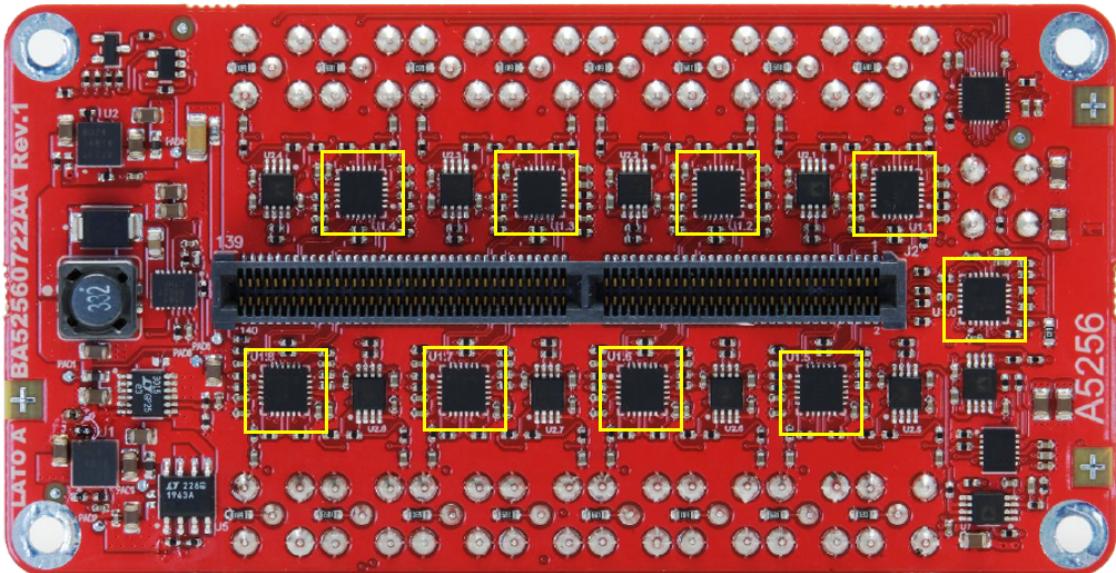


Figura 3.7: Back della scheda A5256, evidenziato in giallo si osservano i discriminatori

Questo approccio ha fornito un punto di partenza per la progettazione della nuova scheda. La scheda **A5256**, essendo stata progettata ah hoc, offre prestazioni ottimali. Mantenere l'uso

degli stessi discriminatori potrebbe quindi risultare vantaggioso, permettendo di preservare delle buone prestazioni che sono fondamentali per l'applicazione in cui il **picoCMP** verrà impiegato. In particolare, è necessario garantire tempi di propagazione minimi, un aspetto cruciale per ridurre al minimo il **jitter** introdotto dal sistema. L'efficienza temporale è essenziale per mantenere elevata la qualità delle misurazioni e per evitare che il nuovo dispositivo introduca distorsioni o errori temporali significativi nei segnali elaborati.

Dopo aver esaminato attentamente la sigla con una lente di ingrandimento e utilizzato un tester per verificare le alimentazioni, è stato possibile identificare i discriminatori che sono degli LMH7322 prodotti dalla *Texas Instruments*. Si tratta di comparatori ad alta velocità, con un tempo di propagazione di 700 ps, confermando così le nostre aspettative in termini di performance. Le tensioni di alimentazione per questi comparatori sono di  $\pm 4.5$  V per la dinamica di ingresso e 1.7 V per quella di uscita. Ulteriori dettagli riguardanti i comparatori e le scelte relative alle alimentazioni saranno forniti nei capitoli successivi.

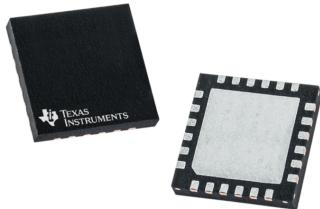


Figura 3.8: LMH7322

### 3.3 Scelte Progettuali

In questa sezione verranno descritte tutte le scelte progettuali effettuate per arrivare alla realizzazione dello schema elettrico finale, analizzando in dettaglio le decisioni relative alla selezione dei componenti, alla progettazione dei circuiti, alla verifica delle prestazioni tramite simulazioni su **LTspice** e alla progettazione dello schema elettrico finale su **KiCad**.

#### 3.3.1 Tensioni di Alimentazioni

Come primo passo nella definizione dello schema elettrico, è stata effettuata una ricerca approfondita dei componenti necessari per la generazione delle tensioni di alimentazione desiderate. Successivamente, i circuiti sono stati simulati su LTspice per verificarne il corretto funzionamento e l'effettiva erogazione delle tensioni di alimentazione. Una volta validate le simulazioni, i circuiti sono stati progettati su KiCad, che sarà il software utilizzato per lo sviluppo del PCB una volta completato lo schema elettrico. In particolare, come discusso in precedenza, le tensioni di alimentazione che ci interessano e che verranno utilizzate sono **+4,5 V**, **-4,5 V** e **1,7 V**.

### 3.3.1.1 Alimentazione 1V7

Per la generazione della tensione di alimentazione a 1.7 V, necessaria per alimentare le uscite dei comparatori e ottenere livelli logici conformi allo standard LVDS (maggiori dettagli saranno forniti nei capitoli successivi), è stato scelto l'**LTM8074**, un regolatore step-down prodotto da Analog Devices. Questo componente offre un'ampia gamma di tensione di ingresso (3.2 V - 40V) e un'elevata efficienza, minimizzando al contempo le **emissioni elettromagnetiche**. Questo aspetto è particolarmente importante nel nostro progetto per ridurre al minimo il rumore nei segnali da discriminare.

L'**LTM8074** è in grado di fornire una corrente continua fino a 1.2 A (con un picco di 1.75 A) e permette di regolare la tensione di uscita nell'intervallo (0.8 V - 12 V). Dunque, configurandolo opportunamente, è possibile ottenere 1.7 V con elevata precisione, garantendo un'alimentazione stabile e affidabile.

Noi utilizzeremo una tensione di ingresso di 12V, che sarà fornita da una morsettiera tramite la quale ci collegheremo esternamente per ottenere l'alimentazione necessaria.

Un ulteriore vantaggio di questo componente è il suo **formato compatto BGA da 4x4x1.82 mm**, che consente di ridurre l'ingombro sulla scheda e semplificare il layout del PCB.

Grazie a queste caratteristiche, l'**LTM8074** rappresenta una soluzione buona per la generazione della tensione di alimentazione di 1.7 V, offrendo **elevata efficienza, basso rumore, compattezza e facilità di integrazione** nel progetto **PicoCMP**.

Analizzando il datasheet della scheda, sono riportate tutte le specifiche necessarie per la scelta dei componenti ed i relativi collegamenti per la realizzazione del circuito di alimentazione a 1.7V, come mostrato in Figura 3.9.

## TYPICAL APPLICATION

3.3V<sub>OUT</sub> from 4.5V<sub>IN</sub> to 40V<sub>IN</sub> Step-Down Converter

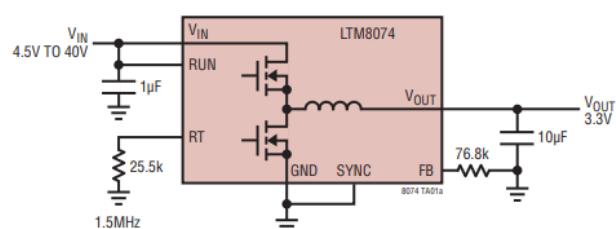


Figura 3.9: Circuito LTM8074

Per la selezione dei componenti, il datasheet fornisce la Tabella in Figura 3.10, che elenca i valori dei componenti necessari per ottenere diverse tensioni di uscita. In particolare, è stata scelta

la riga corrispondente a 1.8V come tensione di riferimento. Successivamente, attraverso simulazioni su *LTspice*, il valore della resistenza è stato opportunamente regolato per ottenere con precisione la tensione desiderata di 1.7V.

**Table 1. Recommended Component Values and Configuration ( $T_A = 25^\circ\text{C}$ )**

$V_{IN}$	$V_{OUT}$	$R_{FB}$ (kΩ)	$C_{IN}^{**}$	$C_{OUT}$	$f_{SW}$	$R_T$ (kΩ)	MAXIMUM $f_{SW}$	MIN $R_T$ (kΩ)
3.2V to 40V	0.8	7500	0.47μF 50V X5R 0603	47μF 6.3V 0805 X5R	850kHz	48.7	950kHz	42.2
3.2V to 40V	1	866	0.47μF 50V X5R 0603	47μF 6.3V 0805 X5R	850kHz	48.7	1.1MHz	36.5
3.2V to 40V	1.2	453	1μF 50V X5R 0603	47μF 6.3V 0805 X5R	1MHz	40.2	1.3MHz	30.1
3.2V to 40V	1.5	267	1μF 50V X5R 0603	47μF 6.3V 0805 X5R	1MHz	40.2	1.5MHz	25.5
3.2V to 40V	1.8	187	1μF 50V X5R 0603	47μF 6.3V 0805 X5R	1MHz	40.2	1.7MHz	22.1
3.2V to 40V	2	158	1μF 50V X5R 0603	47μF 6.3V 0805 X5R	1.2MHz	33.2	1.8MHz	20.5
3.5V to 40V	2.5	110	1μF 50V X5R 0603	22μF 6.3V 0805 X5R	1.4MHz	27.4	2.2MHz	16.2
4.5V to 40V*	3.3	76.8	1μF 50V X5R 0603	10μF 10V 0805 X5R	1.5MHz	25.5	2.2MHz	16.2
7V to 40V*	5	45.3	1μF 50V X5R 0805	10μF 10V 0805 X5R	1.5MHz	25.5	2.2MHz	16.2
14V to 40V*	8	26.7	1μF 50V X5R 0805	10μF 10V 0805 X5R	1.7MHz	22.1	2.2MHz	16.2
21V to 40V*	12	17.4	1μF 50V X5R 0805	10μF 16V 0805 X7S	2MHz	18.2	2.2MHz	16.2
3.2V to 36V	-3.3	76.8	1μF 50V X5R 0603	10μF 10V 0805 X5R	1.5MHz	25.5	2.2MHz	16.2
3.2V to 35V	-5	45.3	1μF 50V X5R 0805	10μF 10V 0805 X5R	1.5MHz	25.5	2.2MHz	16.2
3.2V to 32V	-8	26.7	1μF 50V X5R 0805	10μF 10V 0805 X5R	1.7MHz	22.1	2.2MHz	16.2
4V to 28V	-12	17.4	1μF 50V X5R 0805	10μF 16V 0805 X7S	2MHz	18.2	2.2MHz	16.2

Figura 3.10: Valori Raccomandati LTm8074

Mantenendo invariati tutti gli altri componenti, abbiamo scelto di utilizzare una resistenza  $R_{fb}$  da 210 kΩ invece di 187 kΩ e di aggiungere una capacità da 1 nF sul pin TR/SS, che permette di implementare la funzione di soft-start, ossia un incremento graduale della tensione di uscita per evitare picchi di corrente all'accensione. Con questa configurazione, la simulazione su *LTspice* (Figura 3.12) conferma che otteniamo con precisione una tensione di uscita di 1.7 V. Inoltre, sono presenti capacità di bypass sia in ingresso che in uscita per ridurre al minimo il rumore e garantire una maggiore stabilità del circuito.

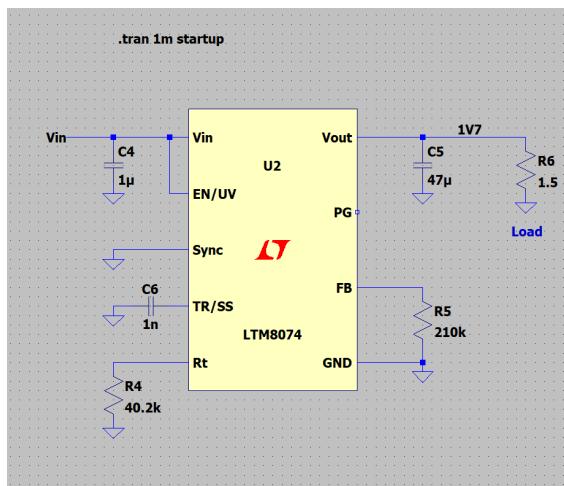


Figura 3.11: Circuito per generare 1,7 V

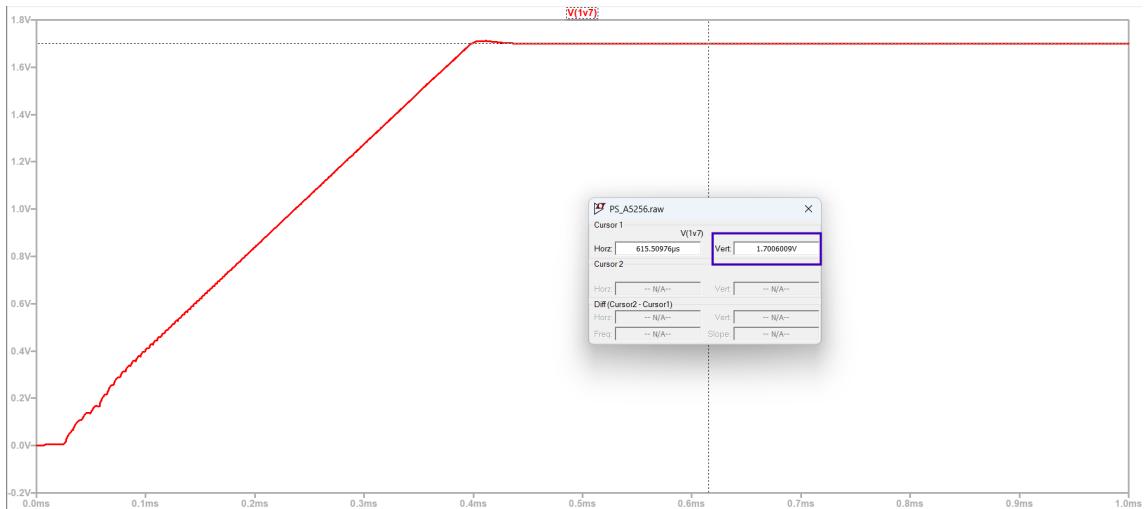


Figura 3.12: Analisi temporale di  $V_{out} = 1,7 \text{ V}$

### 3.3.1.2 Alimentazione 4V5

La generazione della tensione di **4.5 V** per il circuito è stata realizzata utilizzando due stadi in cascata. Il primo stadio impiega un step-down converter (LTM8074) per ridurre la tensione di alimentazione da **12V** a **5V**, mentre il secondo stadio utilizza un **LDO LT1963A** per abbassare ulteriormente la tensione da **5V** a **4.5V**.

Lo step-down converter impiegato è lo stesso utilizzato per la generazione della tensione di **1.7V**, è stato scelto per la sua elevata efficienza, poiché il suo rendimento arriva fino al 90%. Successivamente, la tensione è regolata dal LT1963A, un regolatore Low Dropout (LDO) che fornisce una tensione stabile di **4.5V**, essenziale per il corretto funzionamento dei circuiti sensibili.

L'utilizzo dell'LDO è fondamentale in questa fase, in quanto assicura una tensione stabile e priva di ripple, riducendo il rumore e garantendo prestazioni ottimali per i circuiti analogici. Il LT1963A ha una tensione di dropout di soli **340mV**, anche con un carico di **1.5A**, e grazie alla sua bassa rumorosità, è particolarmente indicato per applicazioni che richiedono una regolazione precisa e pulita della tensione.

La configurazione a due stadi in cascata è stata scelta per combinare efficienza energetica e qualità della tensione di uscita. Il primo stadio, switching, permette di ridurre la tensione in modo efficiente con una dissipazione minima, mentre il secondo stadio lineare, basato sull'LDO LT1963A, abbassa ulteriormente la tensione a **4.5V**, mantenendo il rumore al minimo e assicurando una regolazione stabile.

Per generare i **5V** a partire dai **12V**, è stata seguita la stessa procedura descritta nel Capitolo 3.3.1.1, poiché il LTM8074 è lo stesso componente utilizzato per la generazione dei **1.7V**, con la sola differenza nella configurazione del circuito per ottenere una tensione di uscita diversa.

Infine, per la generazione della tensione di **4.5V**, è stato consultato il datasheet dell'LT1963A, che include una sezione dedicata alla “typical application”, in cui vengono fornite le informazioni

necessarie per il corretto dimensionamento delle resistenze di uscita, al fine di ottenere la tensione desiderata (Figura 3.14).



Figura 3.13: Circuito Integrato LT1963A

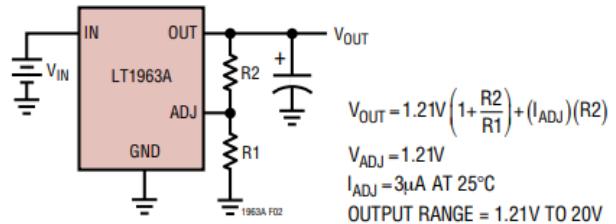


Figura 3.14: Typical Application LT1963A

Poichè abbiamo che la  $V_{OUT}$  è pari a:

$$V_{OUT} = 1.21V \left( 1 + \frac{R2}{R1} \right) + (I_{ADJ})(R2)$$

Fissando  $R1 = 3.3k\Omega$  e trascurando  $I_{ADJ}$ , la resistenza  $R2$  sarà pari a:

$$R2 = R1 \left( \frac{V_{OUT}}{1.21V} - 1 \right)$$

Sostituendo i valori:

$$R2 = 3.3k\Omega \times \left( \frac{4.5V}{1.21V} - 1 \right)$$

$$R2 = 3.3k\Omega \times (3.719 - 1) = 3.3k\Omega \times 2.719$$

$$R2 \approx 8.97k\Omega$$

Poiché una resistenza da  $8.97k\Omega$  non è un valore standard in commercio, è stata utilizzata una resistenza da  $8.66k\Omega$ , che è il valore disponibile più vicino.

Una volta determinati i valori delle resistenze, il circuito è stato simulato in LTspice, includendo anche le capacità di bypass per l'LDO, al fine di minimizzare il rumore. Come si può osservare in Figura 3.16, le tensioni generate risultano ancora una volta molto vicine a quelle desiderate.

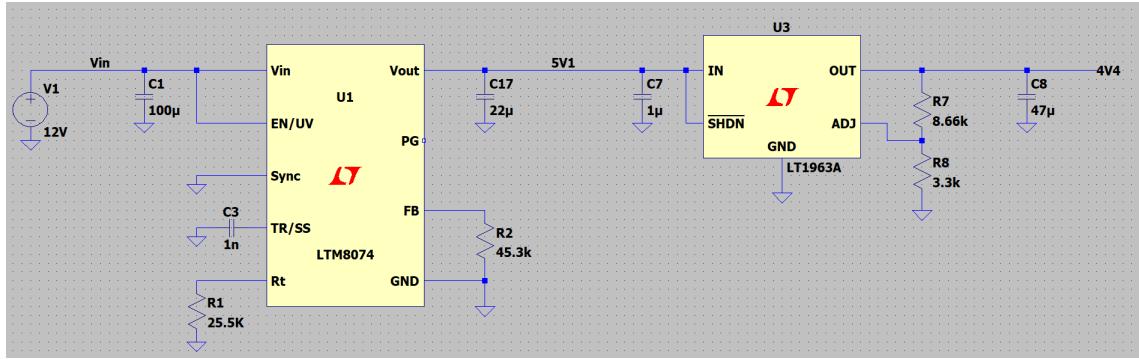


Figura 3.15: Circuito per la generazione di 4,5 V

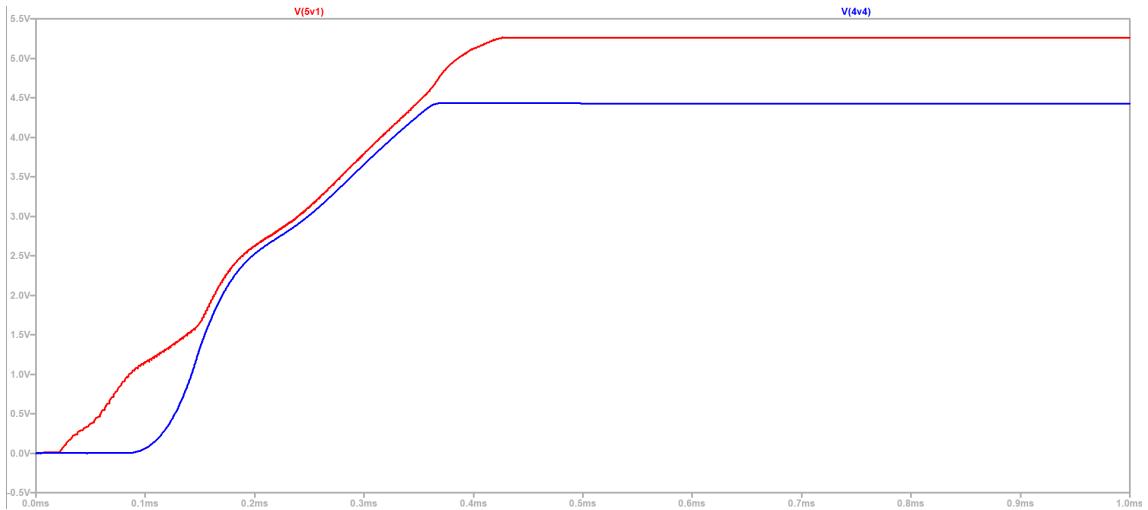


Figura 3.16: Analisi temporale di  $V_{out} = 4,5 \text{ V}$

### 3.3.1.3 Alimentazione -4V5

Per la generazione della tensione di -4,5 V si utilizzano due circuiti. Dato che necessitiamo di una tensione negativa e come ingresso abbiamo 12 V positivi, è stato utilizzato un **convertitore DC/DC inverting** LT3581 che ci fornirà una tensione negativa di -5 V. Successivamente, è stato impiegato un **regolatore LDO LT3015** per tensioni negative in modo da portare la tensione ai -4,5 V necessari.

Per la generazione della tensione di -5V, è stato scelto l'**LT3581**, un convertitore DC/DC prodotto da Analog Devices. Questo dispositivo offre diverse configurazioni, tra cui la modalità **inverting**, che permette di ottenere una tensione negativa a partire da una tensione positiva. L'LT3581 configurato per fornire una tensione di uscita di -5V eroga una corrente massima di 1.5 A.

Il concetto di base dei due stadi in cascata utilizzati per la generazione della tensione di **-4,5V** è lo stesso di quello adottato per i **+4,5V**. Sebbene in questo caso la tensione venga invertita, il principio resta invariato: il primo stadio, basato su un convertitore DC/DC inverting, permette di ottenere una tensione negativa, mentre il secondo stadio, tramite un regolatore LDO, regola la

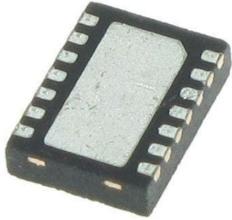


Figura 3.17: Circuito integrato LT3581

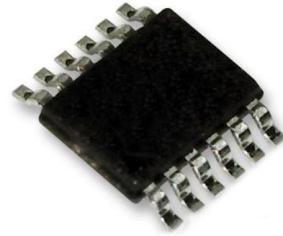


Figura 3.18: Circuito integrato LT3015

tensione per raggiungere il valore desiderato. Il rendimento del convertitore inverting è leggermente più basso, circa **82%**, ma il sistema a due stadi è comunque fondamentale per mantenere un'efficienza elevata, minimizzando la dissipazione di energia, garantendo una tensione di alimentazione stabile e riducendo al minimo il rumore, aspetto essenziale per garantire il buon funzionamento dei circuiti sensibili.

Consultando il datasheet, è presente la sezione "Typical Application", in cui è mostrata la configurazione inverter per generare la tensione di -5V da una tensione positiva compresa tra 3V e 16V. Sono specificati i collegamenti e i componenti da utilizzare per sfruttare al meglio il componente. Questo è visibile nella Figura 3.19.

**700kHz, -5V Inverting Converter Can Accept Input Voltages from 3V to 16V**

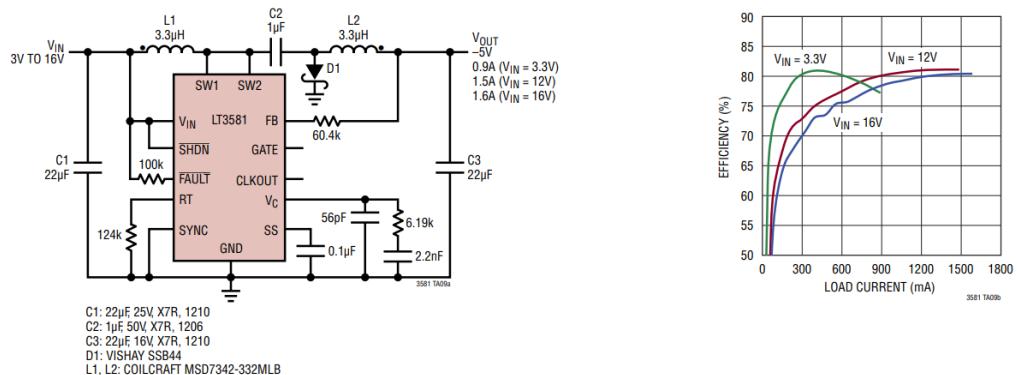


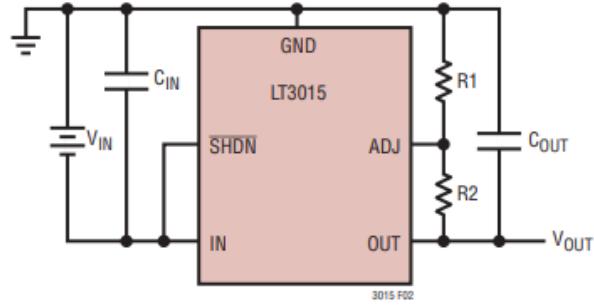
Figura 3.19: A sinistra il circuito per fornire i -5V, a destra l'efficienza del convertitore al variare della Vin

Questa volta non sono state effettuate simulazioni su LTSpice poiché il modello del dispositivo è disponibile ma dichiarato non funzionante dal produttore,

Una volta generata la tensione di -5V, è stato utilizzato l'LT3015 per abbassarla ulteriormente a -4.5V. Questo dispositivo è particolarmente adatto poiché è un regolatore lineare low dropout, il quale consente di avere piccole differenze di tensione tra ingresso ed uscita. Nel nostro caso, dobbiamo

solo ridurre la tensione di 500mV.

Anche in questo caso, come per il regolatore LDO LT1963A, il datasheet del LT3015 include una sezione "Typical Application" in cui viene illustrato come configurare le resistenze di feedback per ottenere la tensione desiderata, come mostrato in Figura 3.20.



$$V_{OUT} = -1.22V \left(1 + \frac{R_2}{R_1}\right) + (I_{ADJ})(R_2)$$

$V_{ADJ} = -1.22V$  AND  $I_{ADJ} = 30\text{nA}$  AT  $25^\circ\text{C}$

OUTPUT RANGE =  $-1.22$  TO  $-29.5\text{V}$

Figura 3.20: Typical application LT3015

Fissando la resistenza  $R_2 = 118\text{k}\Omega$  e trascurando  $I_{ADJ}$ , si ottiene un valore di  $R_1 \approx 44\text{k}\Omega$ . Poiché questo valore non è disponibile in commercio, è stata scelta una resistenza standard di  $R_1 = 46.4\text{k}\Omega$ .

Come ultimo passo, abbiamo nuovamente simulato il circuito su LTspice, come mostrato in Figura 3.22. In questa simulazione, è stata utilizzata direttamente una tensione di ingresso di  $-5\text{V}$ , poiché non è stato possibile generarla a partire dal circuito inverter basato su LT3581.

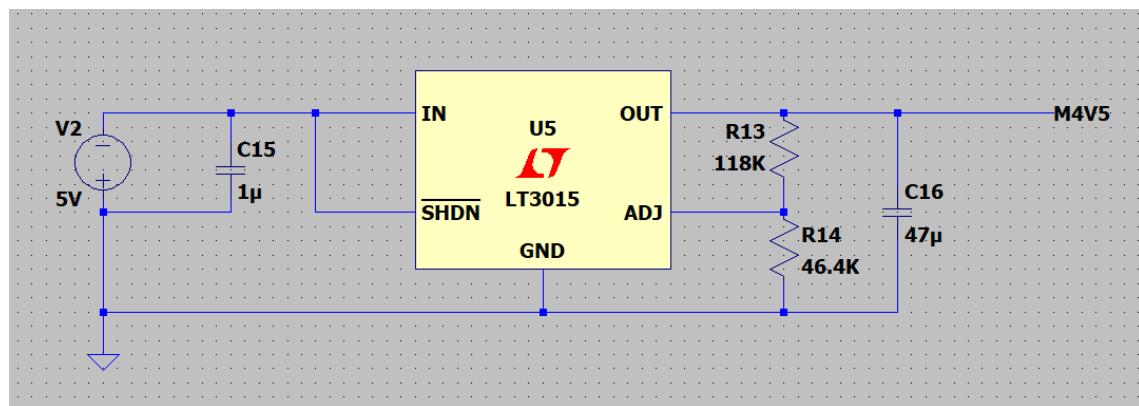
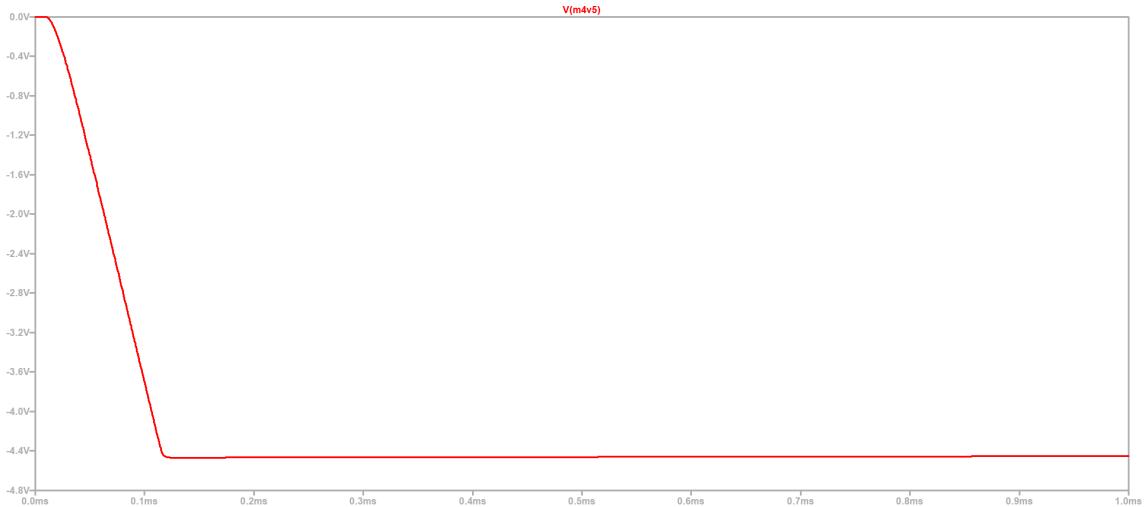


Figura 3.21: Circuito per la generazione di  $-4.5\text{ V}$



### 3.3.2 Circuito di Trigger

Il circuito di trigger è una parte fondamentale del progetto, poiché fornisce il segnale di riferimento per il sistema FERS. In particolare, consente al sistema di identificare l'inizio di un evento. Una volta ricevuto il trigger, il sistema saprà che tutto ciò che arriva successivamente potrebbe essere un fotone da rilevare e, di conseguenza, dovrà calcolare gli istanti temporali di ogni evento rilevato.

Per realizzare il circuito di trigger, è necessario un discriminatore, il quale determinerà se il segnale di trigger supera la soglia impostata via software, e tradotta in tensione tramite apposita circuiteria a DAC e buffer analogico.

#### 3.3.2.1 Discriminatore

Nel capitolo 3.2.1 è stato indicato che, per mantenere prestazioni ottimali, si utilizzeranno i discriminatori della scheda A5256, che sono dei **LMH7322**.

L'LMH7322 presenta due comparatori ad alta velocità con un ritardo di propagazione di 700 ps ed un range di ingresso che va da  $[V_{CC} - 1.5V, V_{EE}]$ . Inoltre, le uscite compatibili con gli standard RSPECL e LVDS lo rendono adatto all'integrazione in sistemi digitali ad alta velocità. La scelta di questo componente è dunque ideale per la nostra applicazione poiché introduce ritardi di propagazione molto bassi ed è anche possibile configurare le uscite in modo tale che siano LVDS compatibili (standard di trasmissione dei segnali che utilizza segnali differenziali con una tensione di offset  $V_O = 1.2V$  e che varia tra  $V_{OH} = 1.4V$  e  $V_{OL} = 1V$ , per migliorare la velocità e ridurre il consumo di potenza), caratteristica fondamentale per il nostro sistema, in quanto gli ingressi della scheda A5255 accettano segnali di tipo LVDS.

Dato che l'LMH7322 dispone di due comparatori, l'idea è di utilizzarli entrambi per discriminare il segnale di *trigger/ingresso* proveniente dal **Lemo-00/In0** del picoCMP. Le uscite del

discriminatore per il trigger, in formato LVDS, verranno inviate ai primi due ingressi della scheda A5255 (**Ch0 e Ch1**, Figura 3.23).

#### A5255 Pinout

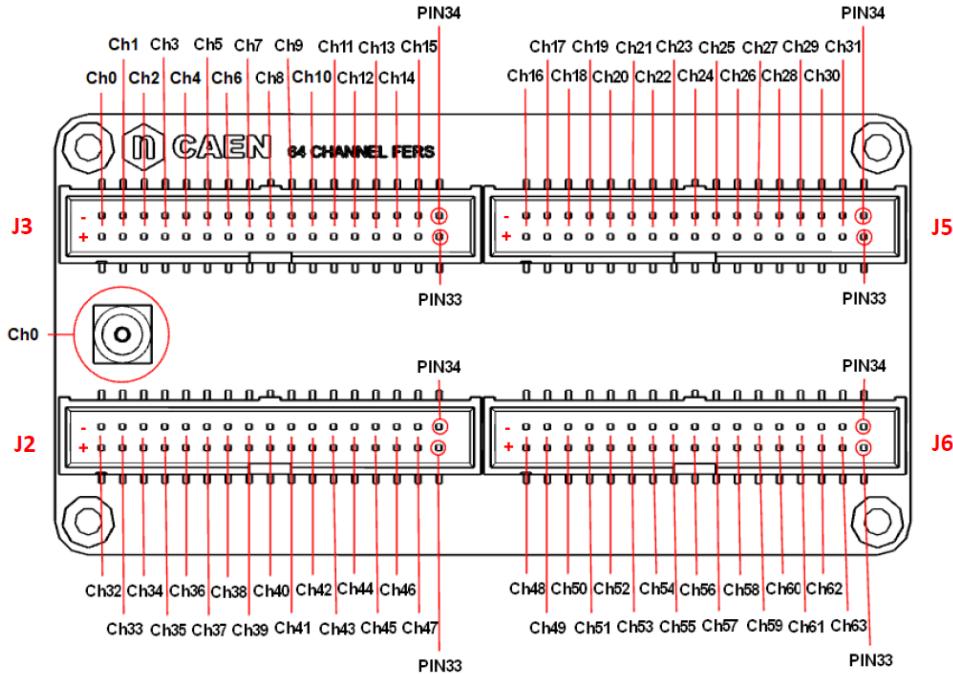


Figura 3.23: Pin Out A5255

In questo modo, il primo picoCMP fornirà il trigger a tutto il sistema, propagando il segnale discriminato al **Ch0** della scheda **A5255**. Inoltre, **Ch1** può essere utilizzato comunque come ingresso, e se si imposta la soglia di **Ch1** più alta di quella di **Ch0**, sarà possibile misurare la pendenza del segnale di trigger.

Per le altre tre schede picoCMP, che si innesteranno sugli altri connettori della A5255, dato che il *Lemo* sarà collegato in parallelo con l'ingresso *In0* del picoCMP, potrà essere sfruttato come ingresso a doppia soglia

In sintesi, verranno utilizzate quattro schede picoCMP, ciascuna connessa a uno dei quattro connettori 2x17 della scheda A5255. L'ingresso Trigger/In0 del picoCMP svolgerà due funzioni:

- Per il primo picoCMP, fungerà da trigger, poiché si collegherà al *Ch0* della A5255.
- Per le tre schede rimanenti, fungerà da ingresso a doppia soglia e si collegherà alle coppie della A5255: **Ch16-Ch17**, **Ch32-Ch33**, **Ch48-Ch49** (Figura 3.23)

In questo modo otterremmo che il primo picoCMP farà da trigger e avrà 14 canali di ingresso, mentre le altre tre schede rimanenti avranno 15 ingressi, di cui uno a doppia soglia.

L'LMH7322 sarà alimentato con una tensione di  $V_{CCI} = 4.5$  V, e una  $V_{EE} = -4.5$  V, consentendo così di discriminare ingressi sia positivi che negativi. Per quanto riguarda la dinamica delle uscite, per minimizzare i consumi utilizzeremo una tensione di  $V_{CCO} = 1.7$  V riducendo la tensione di modo comune di circa 500mV, in accordo con le specifiche del datasheet per ottenere uscite compatibili con lo standard LVDS. Inoltre, da datasheet, essendo lo stadio di uscita del tipo PECL dovrà essere terminata con una resistenza da  $50\Omega$ .

Si può osservare il circuito del discriminatore in Figura 3.24

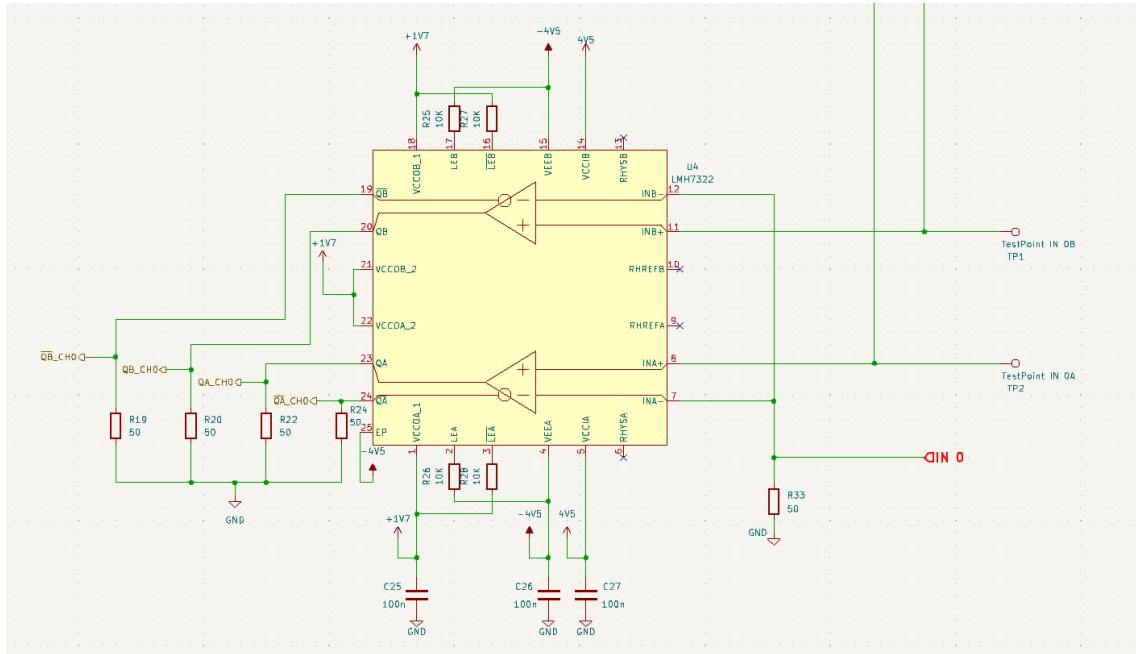


Figura 3.24: Circuito di discriminazione per il trigger

In prossimità di ogni linea di alimentazione del comparatore, e in generale per ogni componente attivo, sono state aggiunte capacità di bypass da  $100\text{ nF}$  per ridurre il rumore. Inoltre, è stata inserita una resistenza da  $50\Omega$  all'ingresso del segnale di trigger/In0 per avere adattamento di impedenza, poiché verranno utilizzati cavi esterni e piste PCB con un'impedenza caratteristica di  $50\Omega$ .

Per garantire il corretto funzionamento del comparatore senza bloccare l'uscita, il pin di latch enable (LE) è stato collegato a  $V_{EE}$  tramite una resistenza da  $10\text{ k}\Omega$ , mentre il pin  $\overline{\text{LE}}$  è stato connesso a  $V_{CCO}$  con una resistenza dello stesso valore. Questa configurazione assicura che il comparatore rimanga sempre operativo, evitando il congelamento dell'uscita e permettendo una continua discriminazione del segnale.

### 3.3.2.2 Circuito di soglia

Poiché i discriminatori dovranno operare rispetto a una soglia configurabile, è necessario un circuito che permetta di fornire tali soglie per ogni comparatore.

A tal fine, è stato deciso di utilizzare un **AD8657**, un integrato che include due amplificatori operazionali che verranno configurati in modalità differenziale. Questo circuito fornirà in uscita una tensione, che sarà utilizzata come soglia per l'LMH7322, ottenuta a partire da una tensione di riferimento sul morsetto non invertente e da una tensione di ingresso sul morsetto invertente fornita da un DAC. Quest'ultimo consentirà di settare la soglia desiderata tramite il protocollo di comunicazione **I<sup>2</sup>C**. Sono stati utilizzati due DAC:

- uno per la tensione di soglia del trigger
- uno per le tensioni di soglia degli ingressi

L'uso di due DAC separati permette di impostare in modo indipendente le soglie del trigger e quelle degli ingressi.

Il DAC impiegato per gli ingressi è un **AD5673**, è stato scelto per il suo **basso consumo energetico**, la sua **elevata accuratezza a 12 bit**, che garantisce una conversione digitale-analogica precisa, e l'interfaccia **I<sup>2</sup>C**, che permette di **modificare dinamicamente le soglie di riferimento** per adattarle alle esigenze del sistema. Inoltre, la sua **tensione di riferimento interna stabile a 2.5 V** verrà sfruttata in un circuito di **buffer** per generare i riferimenti necessari agli **amplificatori differenziali** e al **DAC del trigger**, assicurando stabilità e affidabilità del segnale analogico.

Nella parte bassa della Figura 3.25 è possibile osservare la configurazione dell'AD5673 dove si può osservare che le uscite che vanno da VOUT0 a VOUT13 sono le tensioni di uscita che andranno ai vari ingressi per generare le varie soglie.

Il dispositivo è alimentato a 4.5 V, le uscite del DAC generano segnali positivi compresi tra [0V, 2.5V], range dinamico definito dalla tensione di riferimento di 2.5V. Il pin di **GAIN** è stato collegato a massa per impostare un guadagno unitario delle uscite. I pin **RESET** e **LDAC** (Load DAC), essendo attivi bassi, sono stati collegati a Vcc perché il primo resetterebbe le uscite, mentre il secondo caricherebbe le uscite in modo asincrono, comportamento non desiderato poiché viene utilizzata l'interfaccia **I<sup>2</sup>C**. Anche **VLOGIC**, che rappresenta la tensione di alimentazione della logica digitale, è stato collegato a Vcc. I pin **A0** e **A1** rappresentano i bit meno significativi di indirizzamento per **I<sup>2</sup>C**.

Per garantire la stabilità del sistema e ridurre il rumore, sono state aggiunte due capacità di bypass da 100 nF e 10 µF, che permettono di filtrare disturbi su diverse bande di frequenza, evitando che influenzino il funzionamento del DAC.

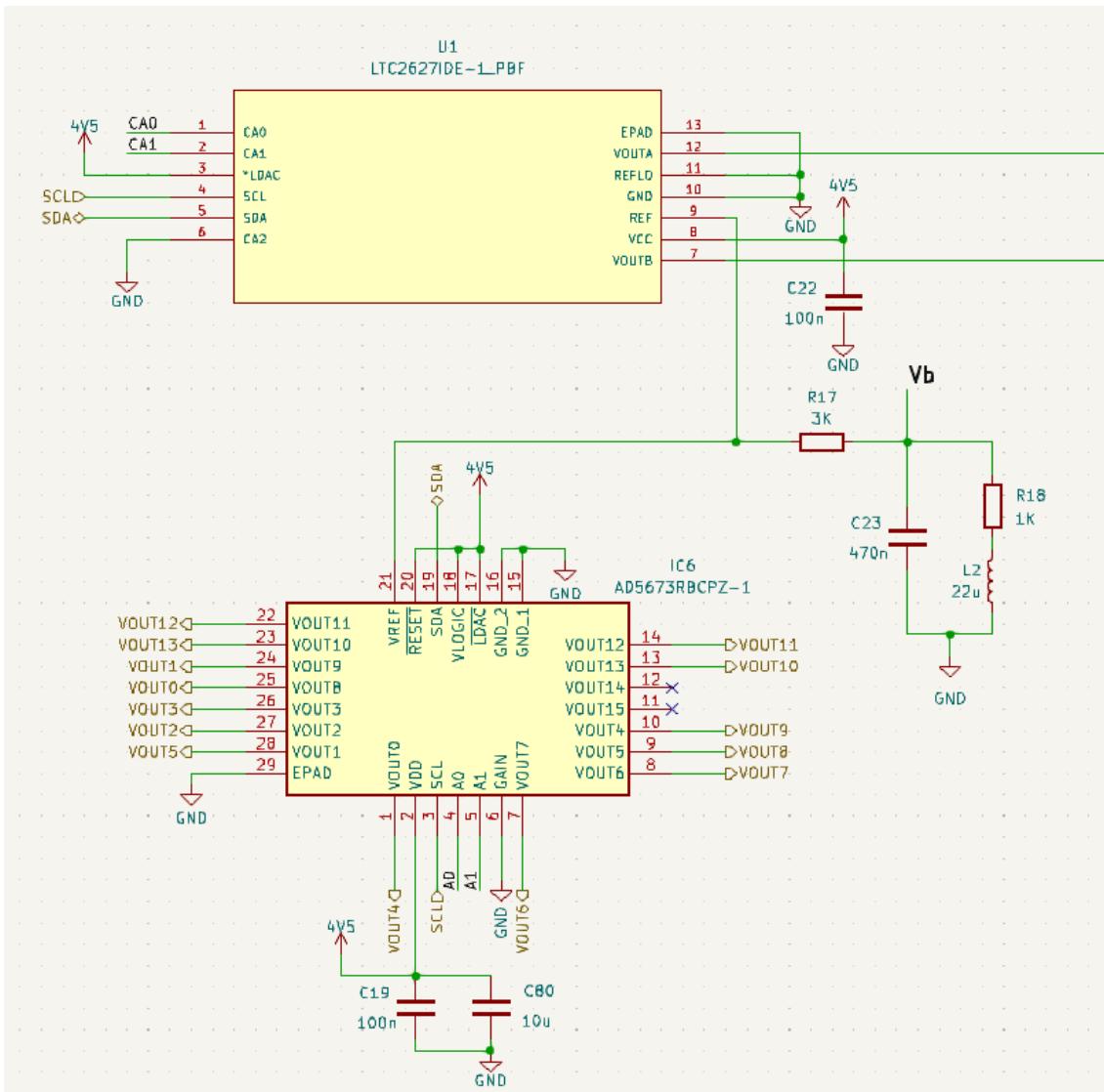


Figura 3.25: Circuito DAC

Il DAC per il trigger è un **LTC2627**, anch'esso è stato scelto per la sua alta risoluzione di 12 bit, il basso consumo energetico, le dimensioni compatte, che ne facilita l'integrazione in sistemi complessi e la compatibilità con l'interfaccia I<sup>2</sup>C.

Anche l'LTC2627 è stato alimentato a 4,5 V, e per garantire la stabilità del segnale è stata aggiunta una capacità di bypass da 100 nF, come nel caso precedente. Il pin REF è collegato alla tensione di riferimento stabile a 2,5 V generata dall'AD5673, consentendo una logica di uscita che varia da Vreflo a Vref. Poiché Vreflo è a massa, il range di uscita del DAC risulta essere compreso tra 0 e 2,5 V, come nel caso dell'AD5673. Le uscite VoutA e VoutB verranno utilizzate per generare le soglie del trigger. Infine, i pin CA2, CA1 e CA0 sono utilizzati per l'indirizzamento tramite interfaccia I<sup>2</sup>C.

Tramite questi DAC, generiamo le tensioni che verranno applicate sui pin invertenti degli am-

plificatori differenziali di trigger e degli ingressi. Modificando il valore delle uscite dei DAC, l'uscita degli amplificatori varierà, e forniranno la soglia ai vari comparatori.

L'ultimo passo consiste nel generare la tensione di riferimento per i pin non invertenti degli amplificatori, permettendo così di generare una soglia compresa tra +1,25 V e -1,25 V. Questo intervallo è stato scelto poiché il segnale dei fotorivelatori, dopo la preamplificazione, non supera questo range.

La tensione di riferimento è stata generata a partire dal partitore che si osserva nella Figura precedente 3.25. La struttura comprende resistenze, condensatori e induttori. Se analizziamo il circuito in frequenza, si tratta di un filtro passa basso con una frequenza di taglio (f-3dB) di circa 470Hz. Alle basse frequenze, il condensatore si comporta come un circuito aperto e l'induttore come un semplice conduttore, quindi il circuito agisce come un partitore di tensione. Alle alte frequenze, invece, il condensatore impedisce il passaggio delle frequenze, limitando così il segnale in uscita. Quindi in regime DC, otteniamo la tensione **V<sub>b</sub>**, che è la tensione risultante tra il partitore di tensione di ingresso **V<sub>ref</sub>** e le resistenze da 3kΩ e 1kΩ. In particolare, il partitore di tensione è dato dalla formula:

$$V_b = V_{ref} \times \left( \frac{R_{18}}{R_{18} + R_{17}} \right)$$

Dove:

- $R_{18} = 1\text{k}\Omega$
- $R_{17} = 3\text{k}\Omega$
- $V_{ref} = 2.5\text{V}$

Pertanto, la tensione risultante è:

$$V_b = 0.625\text{V}$$

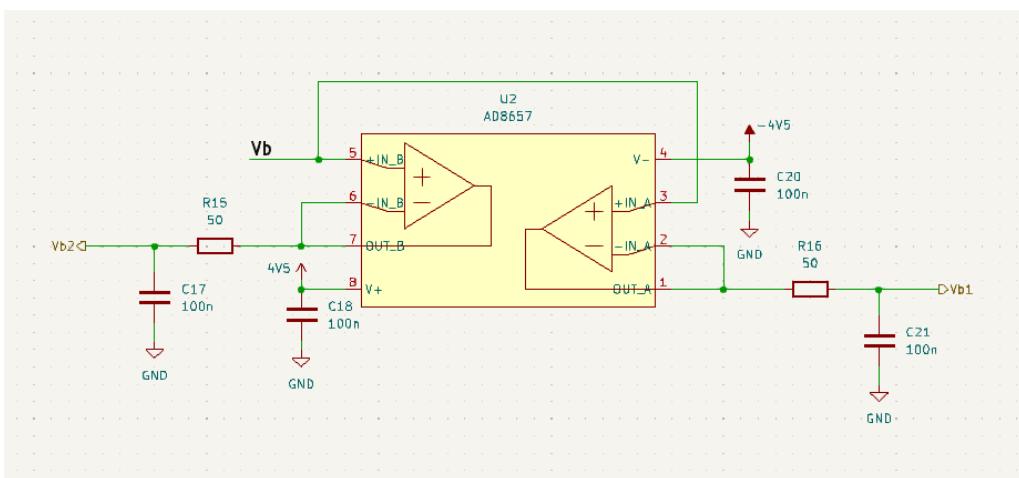


Figura 3.26: Tensioni di riferimento V<sub>b1</sub> e V<sub>b2</sub>

La tensione  $V_b$  viene bufferizzata dal circuito mostrato in Figura 3.26, al fine di ottenere un generatore con bassa impedenza di uscita e tensione il più stabile e pulita possibile, utilizzando un AD8657 in configurazione buffer. Le uscite bufferizzate  $V_{b1}$  e  $V_{b2}$  fungeranno da riferimento per gli amplificatori differenziali dei trigger e degli ingressi.

A questo punto, unendo tutti i componenti, si arriva alla generazione delle soglie del trigger e degli ingressi tramite l'**AD8657** in configurazione differenziale, come mostrato in Figura 3.27.

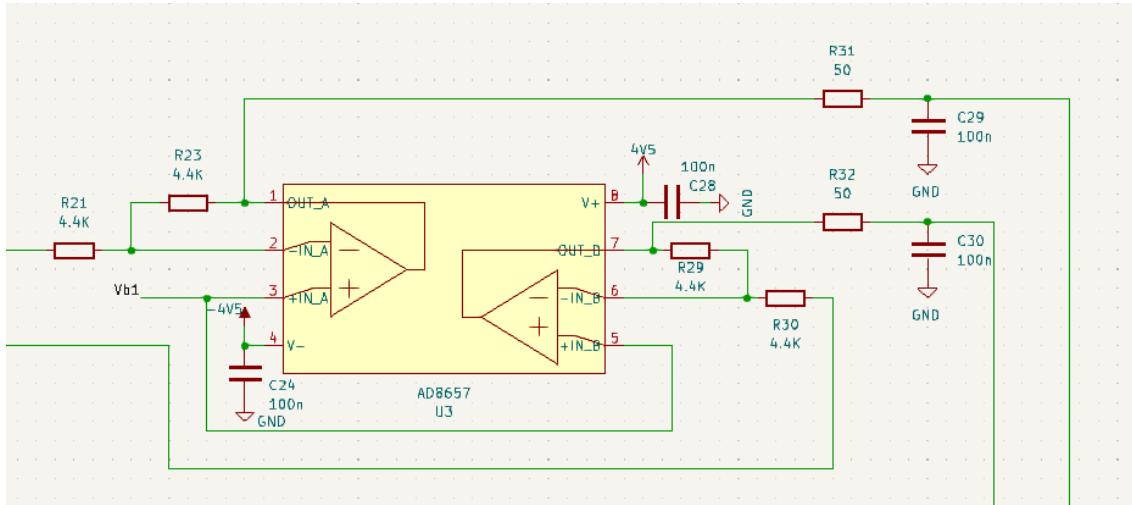


Figura 3.27: AD8657 in configurazione differenziale

Fissando opportunamente le resistenze e le tensioni di riferimento  $V_{b1}$  e  $V_{b2}$ , si ottiene proprio il range di soglia desiderato di  $[-1.25V, 1.25V]$ . La funzione di trasferimento di ogni amplificatore operazionale è la seguente:

$$V_{\text{out}} = -V_{\text{in}} \cdot \frac{R_2}{R_1} + 2 \cdot V_b$$

Poiché le due resistenze  $R_2$  e  $R_1$  sono uguali e pari a  $4.4\text{k}\Omega$ , la formula si semplifica a:

$$V_{\text{out}} = 2 \cdot V_b - V_{\text{in}}$$

A questo punto, analizzando i casi estremi, ossia:

- Quando  $V_{\text{in}} = 0\text{ V}$ , otteniamo:

$$V_{\text{out}} = -0 \cdot \frac{4.4}{4.4} + 2 \cdot V_b = 2 \cdot V_b$$

- Quando  $V_{\text{in}} = 2.5\text{ V}$ , otteniamo:

$$V_{\text{out}} = -2.5 \cdot \frac{4.4}{4.4} + 2 \cdot V_b = -2.5 + 2 \cdot V_b$$

Con  $V_b = 0.625\text{ V}$ , i risultati finali sono:

Quando  $V_{\text{in}} = 0 \text{ V}$ ,  $V_{\text{out}} = 2 \cdot 0.625 = 1.25 \text{ V}$

Quando  $V_{\text{in}} = 2.5 \text{ V}$ ,  $V_{\text{out}} = -2.5 + 2 \cdot 0.625 = -1.25 \text{ V}$

Pertanto, il range di uscita  $V_{\text{out}}$  è compreso tra  $[-1.25V, 1.25V]$ .

Dunque, sulla base della tensione di ingresso  $V_{in}$  generata dai DAC, è possibile ottenere la tensione di soglia necessaria per i comparatori. Il circuito completo è mostrato in Figura 3.28.

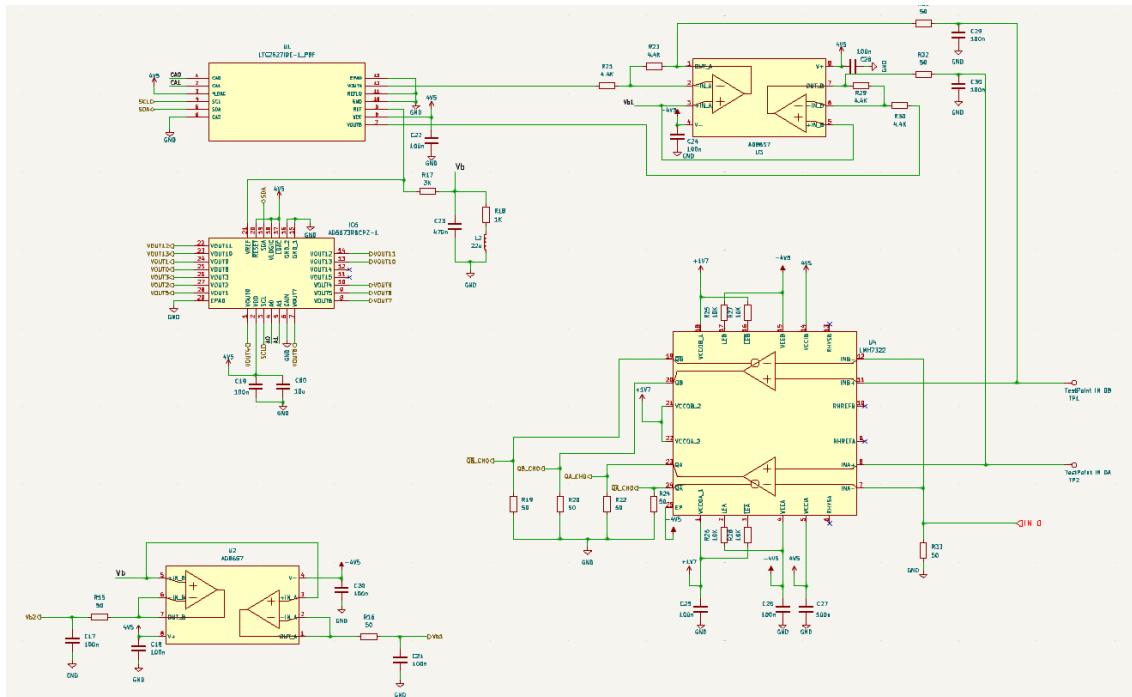


Figura 3.28: Circuito completo di Trigger e DAC

### 3.3.3 Circuito di Ingresso

La struttura del circuito di ingresso è simile a quella del trigger, con l'aggiunta di jumper saldabili che permettono di scegliere il tipo di segnale da discriminare (positivo o negativo) e la modalità di threshold (singola o doppia), come nel caso della scheda originale A5256.

Il circuito di ingresso è mostrato in Figura 3.29, dove possiamo identificare le due strutture principali: una per la generazione della soglia e l'altra per la discriminazione del segnale. Questa configurazione è progettata per due segnali di ingresso, quindi il blocco verrà ripetuto sette volte per ottenere i 14 ingressi totali. Tra le due strutture, si trova il circuito dei jumper saldabili. È importante notare che, quando si salda il jumper per la selezione della soglia doppia, l'ingresso 2

viene disabilitato, poiché entrambi i comparatori vengono utilizzati per gestire l'ingresso 1. Anche per gli ingressi sono state aggiunte resistenze da  $50\ \Omega$  per l'adattamento di impedenza, garantendo così una corretta interfaccia tra il circuito e i segnali in ingresso.

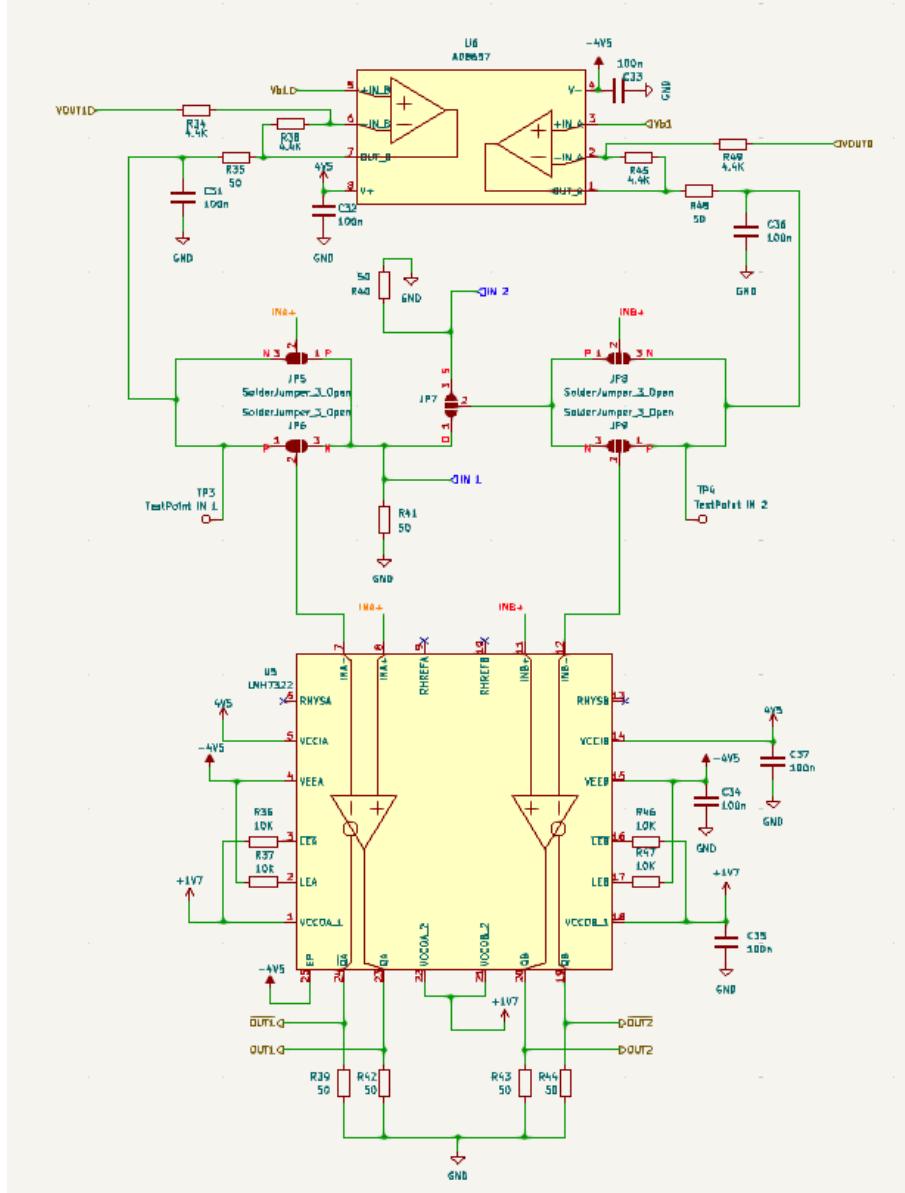


Figura 3.29: Circuito di Ingresso

### 3.3.4 Consumi

La scelta dei componenti è stata fatta anche sulla base dei consumi. In particolare, la selezione degli integrati per la generazione delle tensioni di alimentazione è stata vincolata dalla necessità di erogare una corrente adeguata, determinata dall'assorbimento complessivo di tutti i componenti alimentati.

Sono state dunque calcolate tutte le correnti assorbite dal circuito in base a ciascuna alimentazione (4.5V, -4.5V, 1.7V). Una volta ottenuti questi valori, sono stati selezionati i componenti in grado di erogare le correnti necessarie al circuito.

Per fare questo sono stati consultati i datasheet dei vari componenti e sono state prese in considerazioni le correnti di alimentazione, quindi abbiamo che:

#### Corrente Assorbita 4V5

- **LTC2627**

$$I_{CC} = 1.3 \text{ mA}$$

- **AD5673**

$$I_{CC} = 5 \text{ mA}$$

- **AD8657**

$$I_{CC} = 34 \mu\text{A} \quad (\text{per singolo amplificatore})$$

$$I_{CC_{TOT}} = I_{CC} \times 2 = 68 \mu\text{A}$$

- **LMH7322**

$$I_{CC} = 12 \text{ mA} \quad (\text{per singolo comparatore})$$

$$I_{CC_{TOT}} = I_{CC} \times 2 = 24 \text{ mA}$$

#### Corrente Totale

$$\begin{aligned} \mathbf{I}_{\text{tot},4.5\text{V}} &= I_{\text{LTC}} + I_{\text{AD5673}} + (9 \times I_{\text{AD8657}}) + (8 \times I_{\text{LMH7322}}) \\ &= 1.3 \text{ mA} + 5 \text{ mA} + (9 \times 68 \mu\text{A}) + (8 \times 24 \text{ mA}) \approx \mathbf{200 \text{ mA}} \end{aligned}$$

#### Corrente Assorbita -4V5

- **AD8657**

$$I_{CC} = 34 \mu\text{A} \quad (\text{per singolo amplificatore})$$

$$I_{CC_{TOT}} = I_{CC} \times 2 = 68 \mu\text{A}$$

- **LMH7322**

$$I_{CC} = 12 \text{ mA} \quad (\text{per comparatore})$$

$$I_{CC_{TOT}} = I_{CC} \times 2 = 24 \text{ mA}$$

### Corrente Totale

$$\mathbf{I}_{\text{tot}, -4.5V} = (9 \times I_{AD8657}) + (8 \times I_{LMH7322}) \approx \mathbf{200 \text{ mA}}$$

### Corrente Assorbita 1V7

- **LMH7322**

$$I_{CC} = 25 \text{ mA} \quad (\text{per comparatore})$$

$$I_{CC_{TOT}} = I_{CC} \times 2 = 50 \text{ mA}$$

### Corrente Totale

$$\mathbf{I}_{\text{tot}, 1.7V} = 8 \times I_{LMH7322} = 8 \times 50 \text{ mA} \approx \mathbf{400 \text{ mA}}$$

Sulla base di queste correnti assorbite, sono stati scelti i componenti di cui abbiamo discusso nei capitoli 3.3.1.1, 3.3.1.2 e 3.3.1.3, i quali hanno una corrente massima erogata di circa 1,5 A ciascuno. Pertanto, siamo ampiamente al di sopra delle correnti assorbite dal sistema.

## Capitolo 4

# Progettazione Layout

### 4.1 Kicad

Per la progettazione della nuova scheda è stato utilizzato **KiCad**, un software CAD open-source che permette di creare lo schema elettrico del circuito e, successivamente, associando le impronte (footprints) ad ogni componente, è possibile passare alla fase di layout del circuito stampato (PCB).

Il processo di progettazione con KiCad inizia con la creazione dello **schema elettrico** tramite il relativo editor, dove si disegna il circuito utilizzando simboli per i vari componenti. Una volta completato lo schema, è possibile associare a ciascun componente un'**impronta** (footprint), che rappresenta la forma fisica del componente per il layout del PCB. Successivamente, nel editor per il layout, si passa alla progettazione vera e propria del PCB, disponendo i componenti sulla superficie del circuito e tracciando le connessioni elettriche tramite piste. KiCad supporta progettazioni a più strati e fornisce strumenti avanzati come l'auto-routing, la gestione delle regole di progettazione (DRC) e la visualizzazione in 3D del PCB, facilitando la verifica della progettazione prima della produzione. Infine, KiCad genera i file Gerber necessari per la produzione del PCB e altri file di supporto come i file di foratura e le informazioni sul posizionamento dei componenti [11].

### 4.2 Definizione stackup layer

Una fase cruciale della progettazione è stata quella di definire lo *stack-up* del PCB, ossia stabilire il numero di strati del circuito stampato, le loro dimensioni e la progettazione adeguata dei layer di segnale e dei piani di riferimento, con l'obiettivo di garantire un controllo accurato dell'impedenza delle tracce.

I segnali di ingresso devono essere progettati per avere un'impedenza di **50 Ω**, in modo tale da avere il matching di impedenza con i cavi di ingresso utilizzati. Per ottenere un corretto adattamento di impedenza e ridurre al minimo le riflessioni del segnale, minimizzando allo stesso tempo le perdite, è fondamentale adottare un adeguato adattamento. Questo obiettivo si raggiunge

utilizzando una resistenza da **50**  $\Omega$  verso massa sugli ingressi e progettando le tracce ad impedenza controllata.

Ricordando che la formula delle riflessione è la seguente:

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (4.1)$$

dove:

- $\Gamma$  è il coefficiente di riflessione,
- $Z_L$  è l'impedenza di carico,
- $Z_0$  è l'impedenza caratteristica della linea di trasmissione.

Per minimizzare le riflessioni, è necessario che:

$$Z_L = Z_0 \quad (4.2)$$

ovvero, l'impedenza della traccia deve essere uguale a quella del cavo utilizzato.

Anche le uscite devono presentare un'impedenza controllata per due motivi principali:

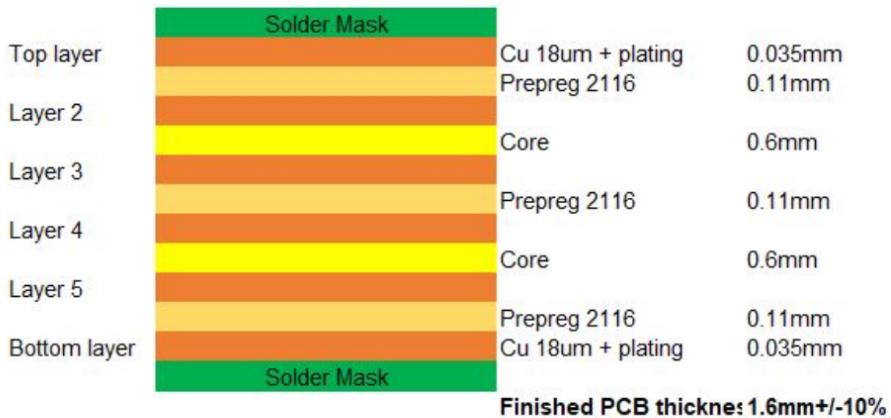
1. Le tracce devono dovranno avere un impedenza di **50**  $\Omega$  perché queste uscite si connetteranno alla scheda **A5255**, in cui ogni ingresso ha un'impedenza di 50  $\Omega$ .
2. Per rispettare lo standard **LVDS**, è necessario che l'impedenza differenziale tra le coppie sia pari a **100**  $\Omega$ .

Per ottenere un'impedenza controllata su un PCB, è essenziale l'uso di **piani di riferimento**, ovvero strati conduttori continui che garantiscono un ritorno di corrente stabile e minimizzano le interferenze elettromagnetiche. I piani di riferimento possono essere di **massa (GND)** o di **alimentazione (VCC)**, e sono fondamentali per garantire un corretto controllo dell'impedenza delle tracce.

Nel nostro caso, si utilizzano due tipologie di tracce: **microstrip** e **stripline** [12], che verranno approfondite in seguito.

Lo **stack-up layer** (Figura 4.1) rappresenta la sequenza di strati che costituiscono una scheda PCB, includendo materiali dielettrici, conduttori in rame e **soldermask** (strato protettivo applicato sulla superficie del PCB che impedisce la formazione di cortocircuiti durante il processo di saldatura e protegge le tracce di rame da danni meccanici e contaminanti). In questo contesto, è necessario definire con precisione gli spessori di ciascun strato e posizionare correttamente i piani di riferimento per garantire che gli strati di segnale abbiano l'impedenza controllata richiesta.

Abbiamo deciso di sviluppare una scheda a 6 strati, poiché, essendo la scheda densamente popolata, è necessario avere più spazio per le tracce. Sono stati scelti 3 strati di segnale, tutti con



### 6-layer PCB stackup

Figura 4.1: Esempio di stack-up layer a 6 strati.

impedenza controllata. Lo **stack-up layer** è configurato come segue: **top → Segnale / GND / Segnale / GND / Power / Segnale ← bottom**.

In questo modo, il **top layer** è ad impedenza controllata grazie alla presenza di un piano di riferimento GND sottostante, il che permette l'utilizzo di **microstrip**. Tra i piani di riferimento di GND, uno strato interno utilizza **stripline** ad impedenza controllata. Lo strato di **bottom** è anch'esso ad impedenza controllata, poiché avrà come piano di riferimento quello dedicato alle alimentazioni. Questo piano è considerato come un piano di riferimento "non ideale", poiché, avendo tre alimentazioni, sarà interamente realizzato in rame ma segmentato per garantire la separazione tra le varie alimentazioni.



Figura 4.2: Stack-up layer utilizzato nel progetto.

Una volta definiti il posizionamento e la sequenza di tutti gli strati, per determinare gli spessori di ciascuno di essi, ci siamo consultati con il produttore che realizzerà la PCB. Questo perché gli spessori sono standardizzati e, quindi, abbiamo esaminato le opzioni disponibili, arrivando infine alla definizione dello **stack-up layer** con i vari spessori, come illustrato in Figura 4.3.

Per il **top** e il **bottom layer** si utilizzeranno **microstrip**, mentre per i layer interni saranno

F.Silkscreen	Serigrafia sopra	Non specificato	...
F.Paste	Pasta salda sopra		
F.Mask	Maschera di saldatura sopra	Non specificato	...
F.Cu	Rame	0.035 mm	
Dielettrico 1	PrePreg	FR4	0.12 mm
GND1.Cu	Rame	0.035 mm	
Dielettrico 2	Core	FR4	0.5 mm
In1.Cu	Rame	0.035 mm	
Dielettrico 3	Core	FR4	0.14 mm
GND2.Cu	Rame	0.035 mm	
Dielettrico 4	Core	FR4	0.51 mm
Power.Cu	Rame	0.035 mm	
Dielettrico 5	PrePreg	FR4	0.12 mm
B.Cu	Rame	0.035 mm	
B.Mask	Maschera di saldatura sotto	Non specificato	...
B.Paste	Pasta salda sotto		
B.Silkscreen	Serigrafia sotto	Non specificato	...

Figura 4.3: Spessore di ciascun layer.

impiegate **stripline** asimmetriche. Il termine “asimmetriche” indica che la traccia ha due distanze diverse rispetto ai piani di riferimento: una distanza dal piano di riferimento superiore e una dal piano di riferimento inferiore.

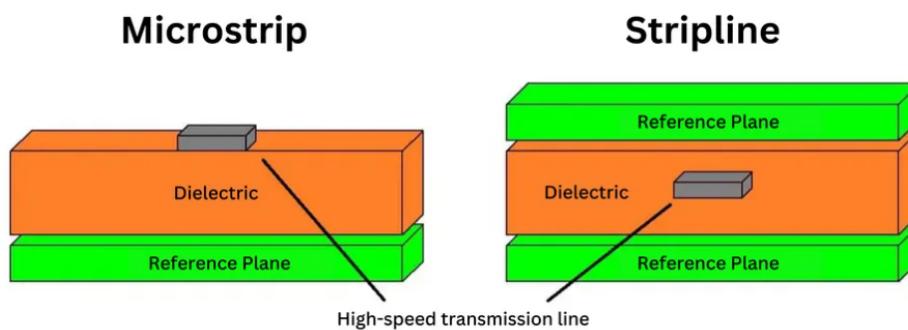


Figura 4.4: A sinistra le **microstrip**, a destra le **stripline**.

#### 4.2.1 Microstrip

Le **microstrip** sono tracce conduttrici posizionate sulla superficie del PCB, separate dal substrato dielettrico seguito da un piano di riferimento, generalmente il piano di massa (GND). L’impedenza caratteristica di una microstriscia dipende dalla larghezza della traccia  $w$ , dallo spessore del rame

$t$ , dallo spessore del substrato  $h$  e dalle proprietà del materiale dielettrico, come la sua permittività relativa  $\varepsilon_r$ .

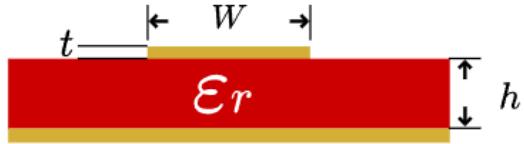


Figura 4.5: Parametri dell'impedenza microstrip.

La formula che definisce l'impedenza delle microstrisce è la seguente:

$$Z_o \approx \frac{87}{\sqrt{\varepsilon_r + 1.41}} \times \ln \left( \frac{5.98h}{0.8w + t} \right)$$

dove:

- $Z_o$  è l'impedenza caratteristica della microstriscia,
- $\varepsilon_r$  è la permittività relativa del materiale dielettrico,
- $h$  è lo spessore del substrato dielettrico,
- $w$  è la larghezza della traccia,
- $t$  è lo spessore del rame della traccia.

Per ottenere un'impedenza controllata sui layer **top** e **bottom**, è necessario determinare la larghezza della traccia  $w$  avendo fissato a priori tutti gli altri parametri. Invertendo la formula, otteniamo:

$$W \approx \frac{7.48h}{\exp \left( \frac{Z_o \sqrt{\varepsilon_r + 1.41}}{87} \right)} - 1.25t$$

Sostituendo i valori noti, si può calcolare la larghezza della traccia necessaria a ottenere l'impedenza desiderata.

Le **microstrip** sono particolarmente indicate per applicazioni ad alta frequenza grazie alla loro struttura semplice, che offre un buon controllo dell'impedenza e basse perdite di segnale. Inoltre, la loro progettazione è relativamente facile, poiché richiedono solo un piano di riferimento situato sotto la traccia, il che contribuisce a ridurre le interferenze elettromagnetiche.

I principali vantaggi nell'uso delle microstrisce sono:

- **Facilità di fabbricazione:** Le microstrisce sono facili da progettare e realizzare su una PCB.
- **Controllo dell'impedenza:** La geometria della traccia e le caratteristiche del materiale dielettrico consentono di mantenere un'impedenza stabile.

- **Basse perdite:** Le microstrisce riducono al minimo le perdite, soprattutto a frequenze elevate.
- **Bassa capacità:** La bassa capacità consente tempi di transizione più rapidi.

Sebbene il principale svantaggio delle microstrisce sia la loro suscettibilità alle interferenze elettromagnetiche, dovuta al fatto che sono libere da un lato, la loro capacità di garantire un'impedenza controllata e di minimizzare le perdite le rende comunque una soluzione ideale per il nostro circuito.

#### 4.2.2 Stripline Asimmetrica

Le **stripline** sono linee di trasmissione che si trovano all'interno di un PCB, completamente racchiuse tra due piani di riferimento. A differenza delle **microstrisce**, le stripline non sono esposte sulla superficie del PCB, ma sono immerse nel substrato dielettrico e isolato da due strati conduttori. Questa configurazione offre vantaggi in termini di protezione contro le interferenze elettromagnetiche (EMI) e una migliore distribuzione del campo elettromagnetico.

Le **stripline asimmetriche** presentano una geometria in cui le distanze tra la traccia e i piani di riferimento superiore ( $h_a$ ) e inferiore ( $h_b$ ) sono diverse.

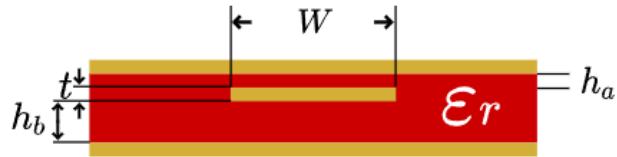


Figura 4.6: Parametri di una stripline asimmetrica

L'impedenza caratteristica  $Z_o$  delle stripline asimmetriche dipende dalla larghezza della traccia ( $w$ ), dalle distanze  $h_a$  e  $h_b$ , dallo spessore della traccia ( $t$ ), e dalla permittività relativa del materiale dielettrico ( $\varepsilon_r$ ). La formula che definisce l'impedenza caratteristica è la seguente:

$$Z_o \approx \frac{80}{\sqrt{\varepsilon_r}} \times \ln \left( \frac{1.9(2h_a + t)}{0.8w + t} \right) \times \left( 1 - \frac{h_a}{4h_b} \right)$$

dove:

- $Z_o$  è l'impedenza caratteristica della stripline,
- $\varepsilon_r$  è la permittività relativa del materiale dielettrico,
- $h_a$  è la distanza tra la traccia e il piano di riferimento superiore,
- $h_b$  è la distanza tra la traccia e il piano di riferimento inferiore,

- $w$  è la larghezza della traccia,
- $t$  è lo spessore del rame della traccia.

Per ottenere un'impedenza controllata, è necessario determinare la larghezza  $w$  della traccia. La formula per calcolare  $w$  in funzione dell'impedenza  $Z_o$  è la seguente:

$$w \approx \frac{1.9(2h_a + t)}{\exp\left(\frac{Z_o\sqrt{\epsilon_r}}{80} \times \frac{1}{1 - \frac{h_a}{4h_b}}\right)} - 0.8t$$

Sostituendo i valori noti nella formula, è possibile determinare la larghezza della traccia necessaria per ottenere l'impedenza desiderata.

Le stripline offrono diversi vantaggi, particolarmente utili in applicazioni ad alte prestazioni:

- **Migliore protezione dalle interferenze elettromagnetiche (EMI):** Essendo completamente racchiuse nel substrato dielettrico e tra due piani di riferimento, le stripline sono meno vulnerabili alle interferenze esterne, offrendo una maggiore immunità ai disturbi elettromagnetici.
- **Basse perdite a frequenze elevate:** Le stripline sono particolarmente adatte per applicazioni ad alte frequenze, dove la trasmissione del segnale deve essere mantenuta con il minimo degrado.
- **Stabilità dell'impedenza:** La geometria della traccia e la disposizione dei piani di riferimento permettono di mantenere un'impedenza caratteristica costante, che è cruciale per il corretto funzionamento del circuito.

Uno svantaggio delle stripline è che presentano una capacità maggiore, poiché sono situate tra due piani, il che porta a tempi di transizione più lenti. Tuttavia, la protezione contro le EMI (interferenze elettromagnetiche) e la stabilità dell'impedenza offerte dalle stripline sono fondamentali per il design, che richiede una trasmissione del segnale precisa e affidabile. Inoltre, la possibilità di ottenere un'impedenza controllata anche a frequenze elevate ha reso le stripline la scelta ideale per il nostro circuito, nonostante la loro complessità di progettazione.

## 4.3 Vincoli Geometrici

Il primo vincolo affrontato durante la progettazione della nuova scheda è stato di natura geometrica. Poiché il nostro PCB si innesterà direttamente sui connettori della A5255, la **larghezza massima** della scheda è stata determinata dalla dimensione del connettore stesso. In particolare, la larghezza del PCB dovrà corrispondere esattamente con quella del connettore per garantire un incastro preciso. Se la larghezza fosse maggiore, le schede adiacenti si toccherebbero, compromettendo l'innesto corretto. Questo vincolo ha quindi stabilito il limite superiore per la larghezza della scheda. I connettori utilizzati sono i modelli **HARTING 09185346323**, che hanno una larghezza di 50 mm, e pertanto la larghezza della scheda è stata fissata a **50 mm**.

Per quanto riguarda la **lunghezza** del PCB, la scelta è stata influenzata dalla necessità di contenere tutti i componenti della scheda. La lunghezza è stata adattata progressivamente, man mano che la scheda veniva popolata, al fine di ottimizzare lo spazio per ciascun componente. L'obiettivo era sfruttare al massimo la superficie disponibile, garantendo che tutti i componenti fossero disposti in modo razionale e che il layout risultasse funzionale ed efficiente. In questo modo, è stato possibile mantenere una gestione ottimale dello spazio e delle connessioni, rispettando al contempo le altre specifiche progettuali. La lunghezza finale della scheda è stata fissata a **130 mm**.

## 4.4 Posizionamento e routing dei componenti

Il passo successivo è stato il posizionamento dei componenti sul PCB, seguendo un criterio logico e funzionale. Si è posta particolare attenzione alla separazione tra i circuiti di alimentazione e la sezione dedicata all'elaborazione del segnale. Per garantire un migliore isolamento e ridurre eventuali interferenze, l'intera catena di alimentazione è stata collocata sul lato inferiore della scheda, mentre la parte relativa al *signal processing* è stata posizionata sul lato superiore. Questa scelta progettuale offre anche un vantaggio dal punto di vista della dissipazione termica. I comparatori, infatti, tendono a generare una quantità significativa di calore durante il funzionamento. Poiché il calore tende naturalmente a salire, posizionare questi componenti sul lato superiore della scheda favorisce una migliore dispersione termica, contribuendo così a migliorare l'affidabilità e le prestazioni complessive del sistema.

Una volta effettuata questa scelta, si è passati al posizionamento dei connettori di ingresso e di uscita. Il connettore di ingresso, identico a quello utilizzato nella A5255 (connettore maschio  $2 \times 17$ ), è stato posizionato sul *top layer*, a una delle estremità del PCB 4.7.

Per il connettore di uscita è stata progettata una footprint personalizzata, poiché non era disponibile un connettore a  $90^\circ$  che permetesse di innestare direttamente la scheda sui connettori

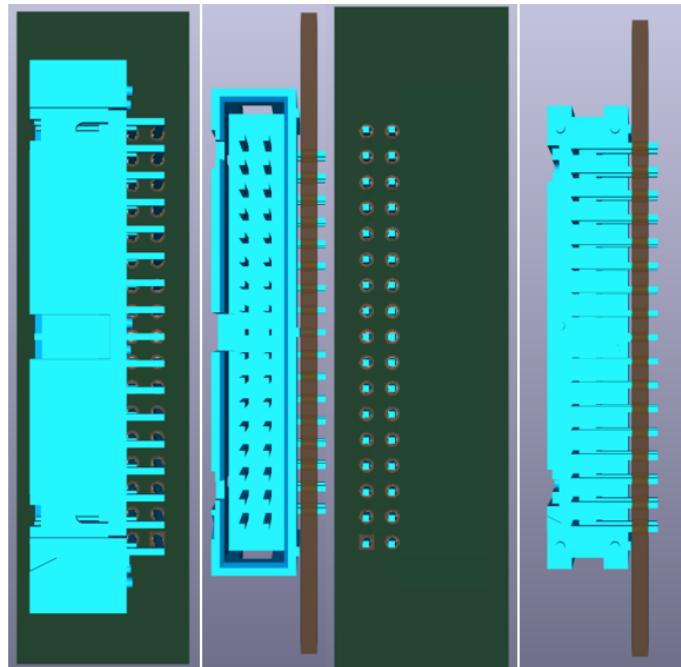


Figura 4.7: Varie angolazioni del connettore di ingresso  $2 \times 17$ .

della A5255. Per questo motivo, il connettore è stato posizionato in testa, all'estremità opposta a quello di ingresso. Di conseguenza, invece della footprint standard a fori passanti, si è scelto di adottare una versione SMD, adattandola alle esigenze specifiche del progetto, come illustrato in Figura 4.8.

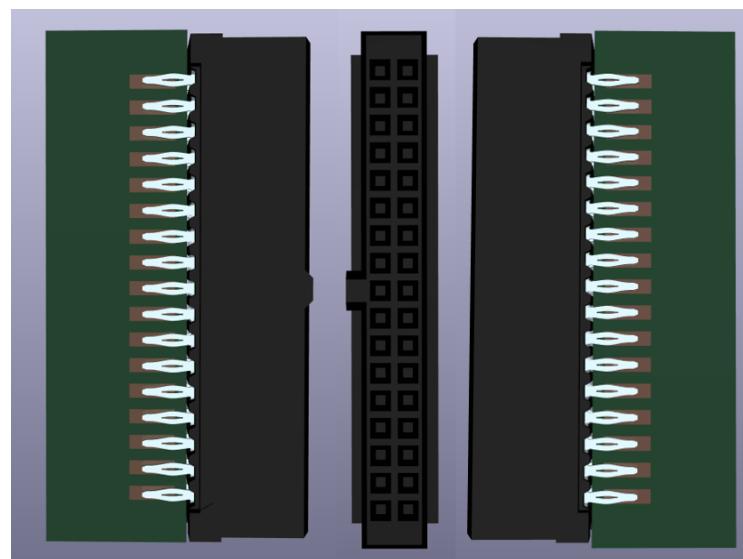


Figura 4.8: Il connettore di uscita visto dal fronte, dal davanti e dal *back* della scheda.

Dopo aver posizionato i connettori, si è passati al posizionamento dei *solder jumper*, che consentono la configurazione delle soglie positive e negative, oltre alla scelta tra soglia singola o doppia.

Gli ingressi sono intrinsecamente accoppiati a due a due, poiché ogni LMH7322 integra due comparatori. Di conseguenza, la scelta tra soglia singola o doppia influenza direttamente sulla coppia di ingressi: selezionando la modalità *dual threshold*, infatti, un ingresso verrà sacrificato.

Per ottimizzare il layout del PCB, si è cercato di progettare una struttura compatta per i *solder jumper* relativi a due ingressi e di replicarla sistematicamente per tutti gli altri ingressi, garantendo così un'organizzazione ordinata ed efficiente del circuito 4.9.

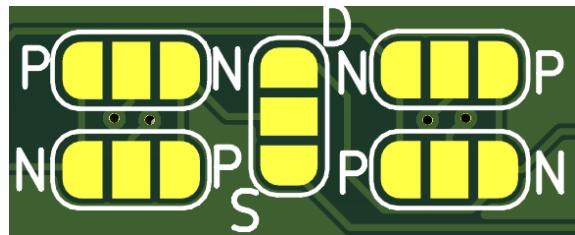


Figura 4.9: Solder Jumper per due ingressi

La configurazione delle soglie avviene saldando opportunamente tutti e quattro i *solder jumper* secondo le seguenti modalità:

- Per impostare una soglia positiva, è necessario saldare il pin centrale con il pin identificato dalla lettera **P**.
- Per impostare una soglia negativa, è necessario saldare il pin centrale con il pin identificato dalla lettera **N**.

Per quanto riguarda il *solder jumper* centrale, la configurazione avviene nel seguente modo:

- Per impostare la modalità *single threshold*, è sufficiente saldare il pin centrale con il pin **S**.
- Per selezionare la modalità *dual threshold*, il pin centrale va collegato al pin **D**.

Questa struttura è stata ripetuta per gli ingressi rimanenti e posizionata sul *back* della scheda, in prossimità del connettore di ingresso, per consentire il collegamento diretto degli ingressi alla sezione di *solder jumper* corrispondente. In Figura 4.10 si possono osservare, oltre ai *solder jumper*, anche le resistenze da  $50\ \Omega$ , utilizzate per l'adattamento di impedenza di ingresso. Accanto ai *solder jumper* sono presenti dei *test point* che permettono di verificare facilmente, tramite tester, le soglie impostate via software per ciascun ingresso.

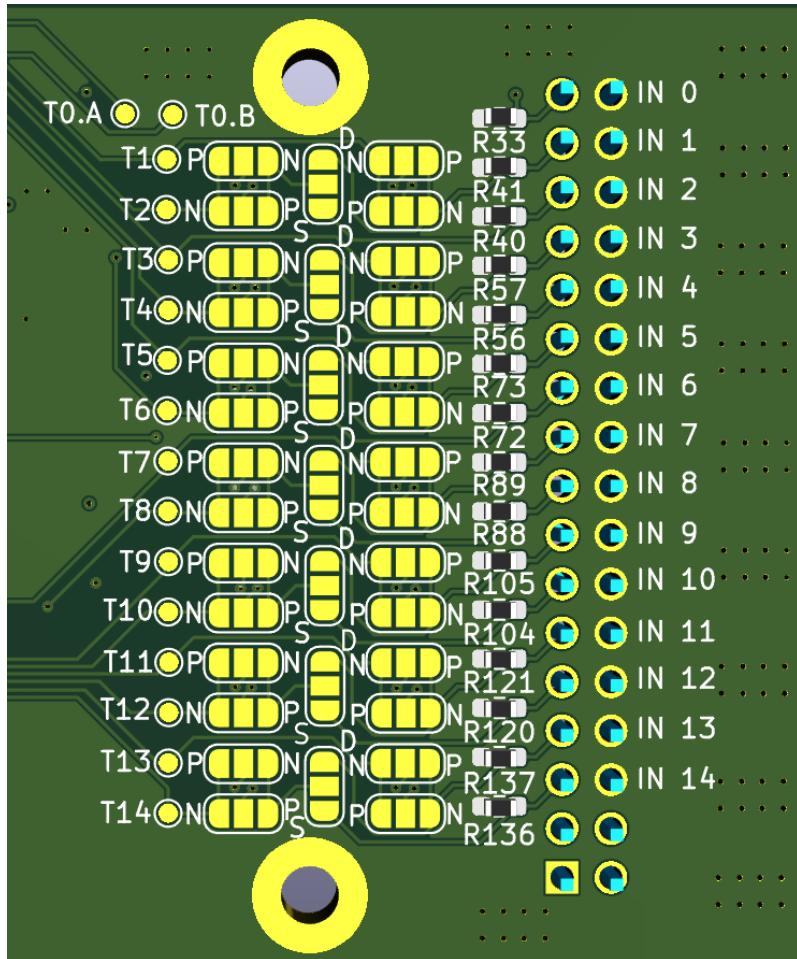


Figura 4.10: In figura si possono osservare tutti i solder jumper dei vari ingressi con i relativi test point per misurare la tensione di soglia impostata

Una volta posizionati il connettore di ingresso e i solder jumper in modo appropriato, si è proceduto con la realizzazione dei collegamenti, prestando particolare attenzione alle tracce che collegano gli ingressi ai solder jumper, in quanto devono mantenere un’impedenza di  $50\ \Omega$ . Come discusso nel capitolo 4.2, sul lato *back* della scheda vengono utilizzate **microstrip**. Utilizzando la formula per il calcolo della larghezza della traccia ( $W$ ) delle microstrip e sostituendo i valori specifici, si ottiene che queste tracce devono avere una larghezza di  $W = 0.18\text{ mm}$ . Per i rimanenti collegamenti che non richiedono un’impedenza controllata, è stata utilizzata una larghezza di traccia  $W = 0.2\text{ mm}$ . Questa scelta permette di mantenere dimensioni contenute, facilitando il passaggio delle tracce tra i jumper senza rischiare cortocircuiti dato che questa struttura è particolarmente compatta.

Successivamente, si è passati al posizionamento dei componenti per la parte di discriminazione. Il primo passo è stato progettare una struttura di base per i comparatori e i relativi collegamenti. Una volta definita questa struttura, è stata replicata per tutti gli ingressi rimanenti, in modo da mantenere un layout del PCB compatto e ordinato, facilitando anche l'identificazione visiva delle diverse sezioni del circuito.

In particolare, considerando che ogni comparatore necessita di soglie di riferimento, si è deciso di posizionare i comparatori LMH7322 in prossimità degli AD8657 che generano le soglie, insieme ai componenti passivi necessari per il loro funzionamento.

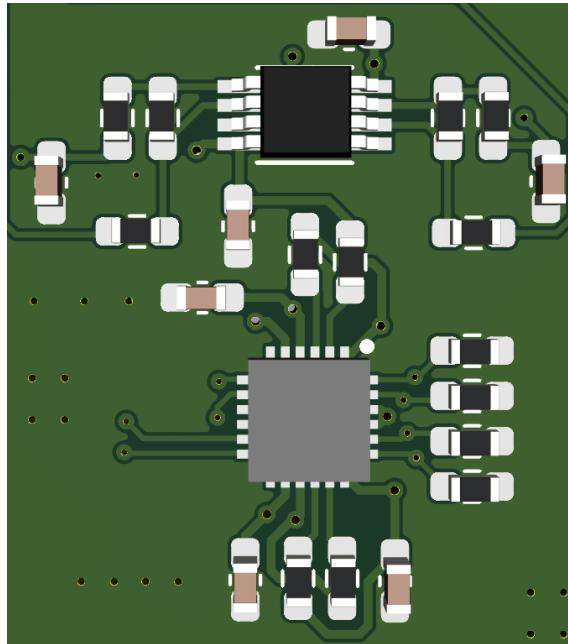


Figura 4.11: Struttura del circuito per la discriminazione, composta dall’LMH7322 e dall’AD8657 per la generazione delle soglie.

Poiché i segnali di ingresso raggiungono i comparatori, è fondamentale mantenere un’impedenza controllata di  $50\ \Omega$  per evitare riflessioni e degradazioni del segnale. Per ottenere questo risultato, i segnali vengono instradati dai *solder jumper* ai comparatori attraverso un *layer* di segnale interno.

Di conseguenza, è stato necessario calcolare la larghezza  $W$  delle piste interne. Essendo queste di tipo *stripline*, applicando la formula descritta nel Capitolo 4.2, si è determinato che la larghezza necessaria per mantenere l’impedenza desiderata è pari a 0.16 mm.

Successivamente, queste tracce si collegano, tramite *vias*, alle piste situate sul *front* del PCB per connettersi ai pin dell’LMH7322. Per garantire la continuità dell’impedenza, le piste sul *front* devono avere la stessa larghezza delle piste che trasportano i segnali di ingresso ai *solder jumper*, ovvero  $W = 0.18\ \text{mm}$ .

Anche per i segnali di uscita è stato necessario garantire un controllo adeguato dell’impedenza. In particolare, era fondamentale rispettare due requisiti:

- **Impedenza single-ended:**  $50 \Omega$
- **Impedenza differenziale:**  $100 \Omega$ , come richiesto dallo standard *LVDS*

L'impedenza differenziale dipende sia dall'impedenza della singola traccia sia dalla distanza tra le due tracce che formano la coppia differenziale. Anche questi segnali verranno instradati attraverso il *layer* interno.

Per determinare i parametri ottimali, è stato utilizzato un calcolatore che ha permesso di stabilire che ogni coppia differenziale deve rispettare i seguenti parametri:

- larghezza delle piste  $W = 0.13 \text{ mm}$ .
- distanza tra le due tracce  $S = 0.3 \text{ mm}$ .

Per i rimanenti collegamenti, le piste dedicate all'alimentazione sono state dimensionate con una larghezza di  $W = 0.3 \text{ mm}$ , in modo da garantire una corretta dissipazione in relazione ai consumi del circuito. Per i collegamenti che non richiedono un'impedenza controllata, sono state invece utilizzate tracce con una larghezza di  $W = 0.2 \text{ mm}$ .

L'alimentazione viene prelevata direttamente tramite *vias* posizionati adiacenti ai componenti, i quali si connettono direttamente al rispettivo nodo di alimentazione presente sul piano interno di alimentazione. Quest'ultimo è stato segmentato in modo opportuno per garantire una distribuzione efficiente della potenza e verrà descritto in dettaglio nelle sezioni successive.

In figura 4.12 sono chiaramente visibili le otto strutture di discriminazione. Il primo circuito, in alto a destra, è dedicato alla discriminazione del trigger, mentre, procedendo da destra a sinistra, si trovano tutti i circuiti di discriminazione relativi ai segnali di ingresso e le rispettive soglie.

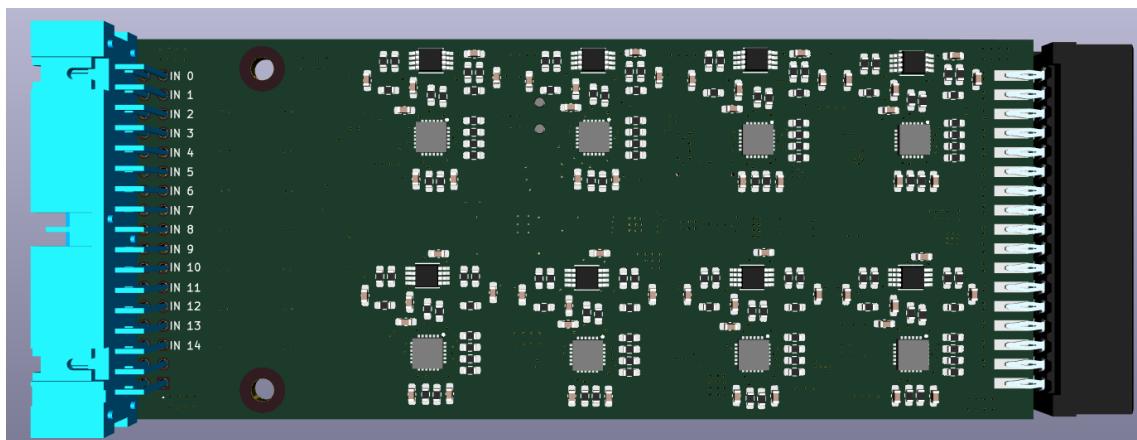


Figura 4.12: Rappresentazione degli 8 circuiti di discriminazione presenti nel PCB.

In figura 4.13 è possibile invece osservare il layer interno, dove risulta abbastanza chiaro il percorso delle tracce che collegano i segnali di ingresso ai comparatori, così come quelle che conducono le uscite differenziali ai connettori di uscita. Il layout è stato progettato in modo da essere il più ordinato e chiaro possibile, cercando anche di mantenere un routing di tipo Manhattan [13], al fine di semplificare il percorso delle tracce e ridurre le interferenze tra i diversi layer, migliorando così l'affidabilità e la qualità del segnale.

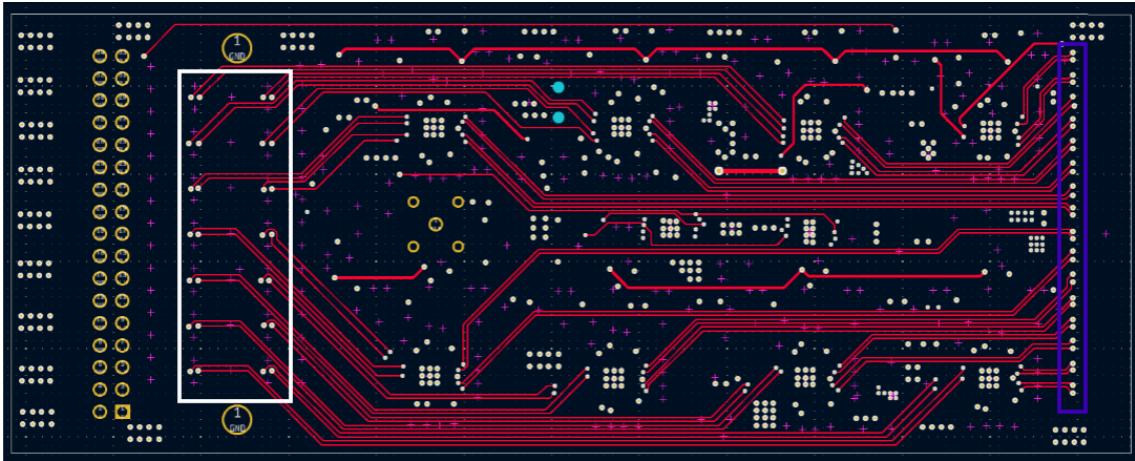


Figura 4.13: Visualizzazione del *layer* interno con il percorso dei segnali di discriminazione. In bianco i segnali di ingresso e in blu le uscite differenziali

Dopo aver posizionato e collegato i circuiti di discriminazione, abbiamo disposto strategicamente gli ultimi componenti mancanti. In particolare, l'ultimo AD8657, che opera in modalità buffer per generare le tensioni di riferimento Vb1 e Vb2 destinate agli amplificatori differenziali, è stato collocato in una posizione ottimale per garantire una distribuzione equilibrata di queste tensioni.

Nello specifico, Vb1 alimenta quattro circuiti di discriminazione, mentre Vb2 è destinata agli altri quattro. Il componente è stato posizionato all'estremità della scheda, in prossimità del connettore di ingresso e a metà strada tra le due file di circuiti di discriminazione. Questa scelta consente di sfruttare sia il layer interno che quello frontale, facilitando una distribuzione semplice ed efficace dei due riferimenti di tensione (Figura 4.14).

Infine, gli ADC sono stati posizionati al centro della scheda per facilitare la diramazione di tutti i collegamenti verso i vari AD8657.

In Figura 4.15 si può osservare il risultato finale del front della scheda.

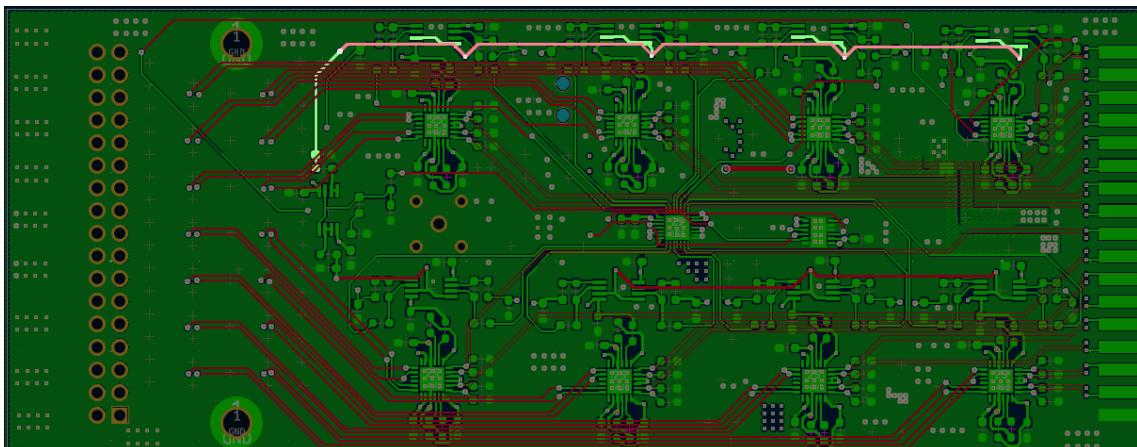


Figura 4.14: Evidenziato si osserva il collegamento di Vb1 con gli AD8657 tra i layer front e interno

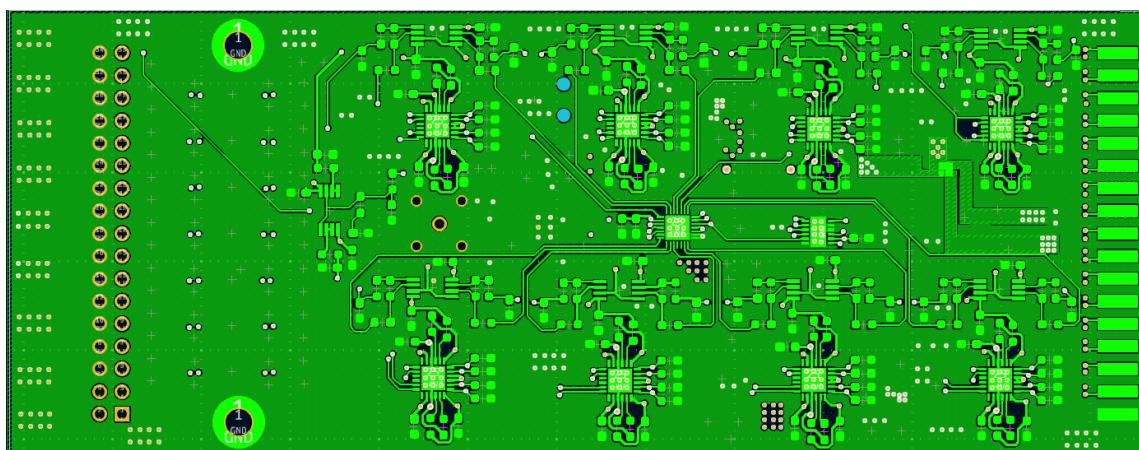


Figura 4.15: Routing del front del PCB

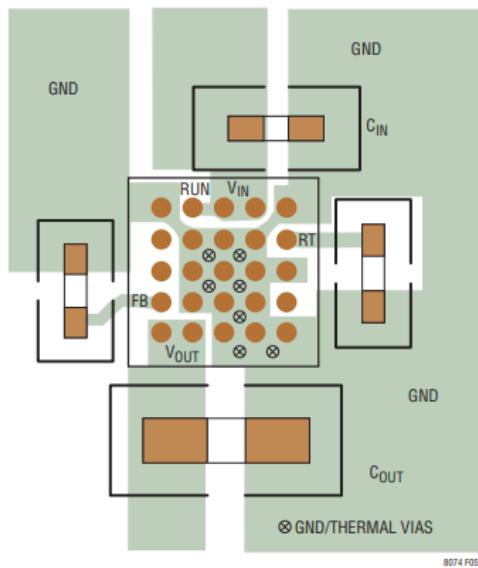
Terminata la parte di signal processing sul layer superiore, siamo passati al layout dello strato inferiore, dove sono stati posizionati tutti i componenti di alimentazione e i connettori.

Su questo lato, la densità dei componenti non è elevata, ma si è comunque cercato di mantenere una disposizione logica e ordinata. In particolare, i connettori sono stati posizionati vicino al connettore di ingresso, mentre i componenti che generano le tensioni sono stati collocati più vicino al connettore di uscita.

Le due catene di alimentazione, una per +4.5V e l'altra per -4.5V, sono composte ciascuna da un convertitore e un linear dropout, posizionati vicini tra loro. Questa disposizione riduce al minimo la lunghezza delle tracce e facilita l'identificazione dei circuiti.

Per alcuni componenti, il layout è stato realizzato seguendo le indicazioni fornite nei rispettivi datasheet. In particolare, per alcuni di essi, il produttore raccomanda un design specifico del PCB per ottimizzarne le prestazioni. Di conseguenza, è stato fondamentale riprodurre con la massima precisione il circuito suggerito, garantendo così l'affidabilità del design.

In particolare, per i due LTM8074, uno che genera la tensione di 1.7V e l'altro quella di 5V, sono presenti all'interno del datasheet i layout consigliati. Poiché i due componenti sono identici, abbiamo progettato il layout per uno dei due e poi l'abbiamo replicato per l'altro. Il layout suggerito, come riportato nel datasheet, è quello mostrato in Figura 4.16.



**Figure 5. Layout Showing Suggested External Components, GND Plane and Thermal Vias**

Figura 4.16: layout LTM8074 suggerito dal produttore

Dato che il back della scheda è stato ricoperto da uno strato di rame collegato a GND, le aree del componente che devono essere collegate a massa si connetteranno direttamente a questo strato di rame. Per quanto riguarda il resto del layout, è stato seguito fedelmente il design proposto, inserendo le vie tra i pad BGA del componente per ottimizzare la dissipazione termica.

Un altro componente per cui abbiamo dovuto seguire attentamente il layout è il convertitore LT3581. Per questo componente, infatti, il produttore fornisce layout specifici in base alla configurazione utilizzata. Nel nostro caso, come spiegato nei capitoli precedenti, è stata adottata la configurazione inverter, e il layout da seguire, come indicato nel datasheet, è rappresentato in Figura 4.17:

Uno degli aspetti più rilevanti riguarda il pad esposto. Questo pad deve essere collegato direttamente al backplane.

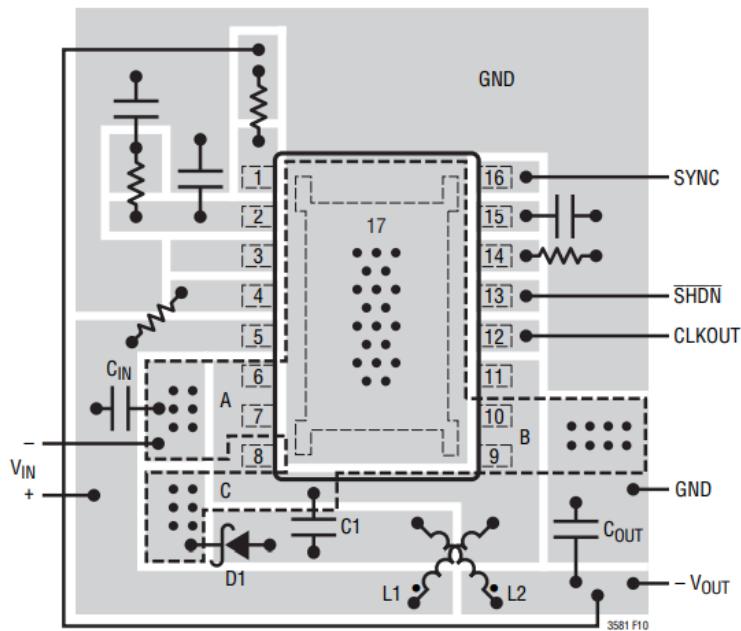


Figura 4.17: Layout LT3581 in configurazione inverter

tamente al piano di terra per garantire una dissipazione termica ottimale. La connessione tramite numerose vie al piano di terra è fondamentale per migliorare ulteriormente la gestione del calore.

Inoltre, le zone indicate come A, B e C devono essere collegate direttamente al pad esposto, e non al piano di terra (GND) tramite un collegamento diretto. Questo accorgimento è necessario per evitare la creazione di loop di ritorno indesiderati, che potrebbero compromettere le prestazioni del circuito, generando interferenze o instabilità nei segnali. Collegare queste zone direttamente al pad esposto contribuisce a garantire un ritorno di corrente pulito e riduce il rischio di disturbi elettrici, ottimizzando così il funzionamento complessivo del convertitore.

Una volta posizionati i componenti in modo logico e ordinato, rispettando i layout consigliati per quelli più critici, si è proceduto al collegamento tra di essi.

Particolare attenzione è stata dedicata alle tracce di alimentazione. In particolare, la tensione di 12V è stata distribuita ai vari componenti tramite una traccia di larghezza  $W = 0.8$  mm; questa scelta è stata necessaria per supportare le correnti in gioco e garantire un'adeguata dissipazione del calore, riducendo al minimo la resistenza della traccia ed evitando cadute di tensione indesiderate.

Allo stesso modo, anche le tracce che collegano i convertitori ai linear dropout sono state dimensionate con una larghezza di  $W = 0.6$  mm, assicurando una corretta gestione della corrente e una migliore dissipazione termica, così da evitare surriscaldamenti che potrebbero compromettere l'affidabilità del sistema.

Per le tensioni di  $\pm 4.5$ V e 1.7V, sono state realizzate piazze di rame di ampie dimensioni sui

pin di uscita, attraverso le quali la tensione viene trasferita al piano di POWER mediante un numero elevato di vias. Questo approccio consente di creare il piano di alimentazione che ci permetterà di alimentare tutto il circuito. L'utilizzo di più vias riduce la resistenza parassita, garantendo una connessione più efficiente e affidabile tra gli strati della scheda, oltre a migliorare la dissipazione del calore.

In Figura 4.18 è possibile osservare le diverse strutture, evidenziate con colori differenti:

- **Blu:** catena convertitore-LDO per la generazione della tensione di 4.5V.
- **Giallo:** catena inverter-LDO per la generazione della tensione di -4.5V.
- **Rosso:** convertitore per la generazione della tensione di 1.7V.

Accanto, sono visibili i connettori, identificati nei seguenti colori:

- **Nero:** connettore per l'ingresso dei 12V prelevati dall'esterno.
- **Verde:** due connettori I<sup>2</sup>C collegati in parallelo, che permettono di inserire un cavo verso Arduino e, tramite l'altro connettore, collegare in serie tutte le altre schede, garantendo la comunicazione I<sup>2</sup>C tra di esse. Sono presenti anche i solder jumper per poter scegliere gli indirizzi I<sup>2</sup>C dei DAC.
- **Bianco:** footprint del connettore LEMO, utilizzato per fornire il segnale di trigger al circuito.

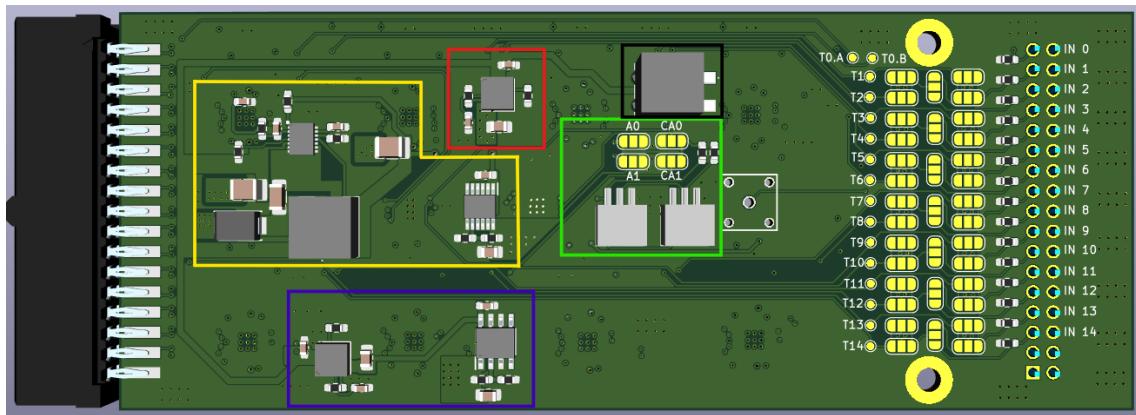


Figura 4.18: Layout del back della scheda

Gli ultimi passi sono stati la progettazione dei due piani di massa e del piano di alimentazione. Per i piani di massa, i due layer dedicati sono stati riempiti interamente di rame, creando zone continue collegate a GND. Inoltre, anche il *front* e il *back* della scheda sono stati riempiti di rame

connesso a GND. Per ridurre l'impedenza tra questi quattro strati e garantire un potenziale uniforme, sono state posizionate il maggior numero possibile di *vias* di massa. Questo accorgimento consente di minimizzare differenze di potenziale locali, migliorare la continuità elettrica e far sì che l'intero sistema di massa si comporti come un unico piano GND ben connesso e a bassa impedenza.

La progettazione del piano di alimentazione, invece, ha richiesto maggiore attenzione. Non avendo un layer dedicato per ogni alimentazione, è stato necessario segmentarlo opportunamente per ospitare le tre tensioni disponibili, mantenendo una distanza adeguata tra le diverse zone (0.2 mm) per evitare cortocircuiti e disturbi. Il piano di POWER è stato progettato in modo che ogni componente presente sia sul *front* che sul *back* della scheda possa prelevare direttamente l'alimentazione necessaria tramite *vias*, garantendo così una distribuzione efficiente e affidabile della potenza.

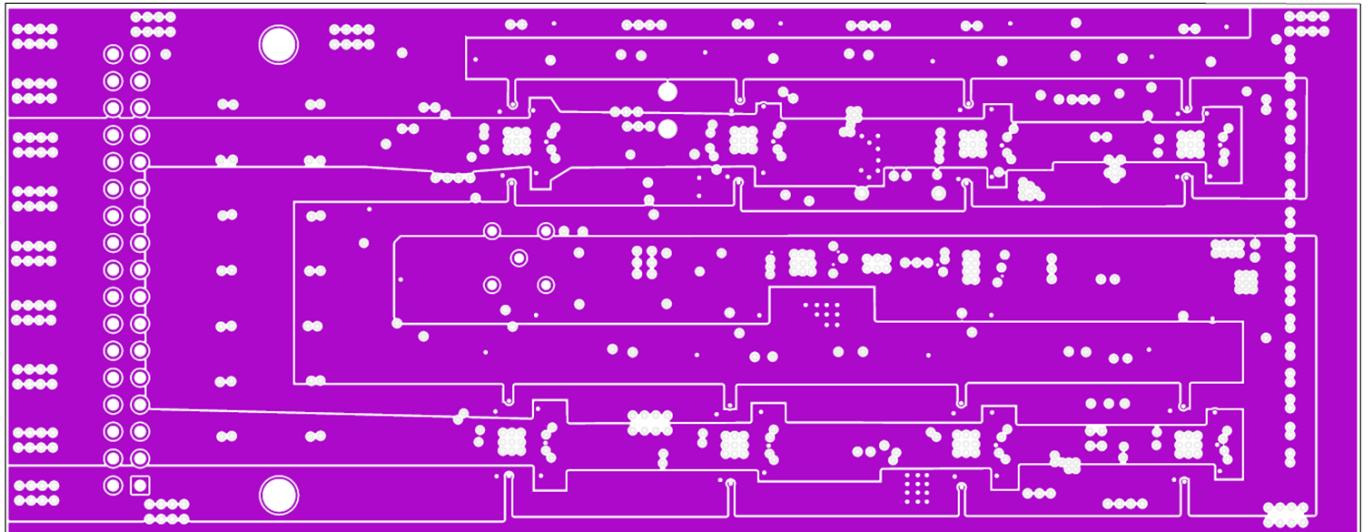


Figura 4.19: Layout del piano di alimentazione

Una volta terminati tutti i layer e i vari collegamenti, si è utilizzato il tool **DRC** di KiCad, che esegue il *Design Rule Check* per verificare il rispetto delle regole di progettazione e individuare eventuali errori. Correggendo progressivamente tutte le segnalazioni, si è giunti al design finale della scheda, pronto per la produzione, fornendo al produttore tutti i file necessari per realizzare il PCB, come i file Gerber, il file di posizionamento e la *Bill of Materials*.

I file Gerber, che descrivono il layout del circuito stampato, possono essere visualizzati nelle Figure 4.20 4.21 4.22 4.23 4.24 4.25

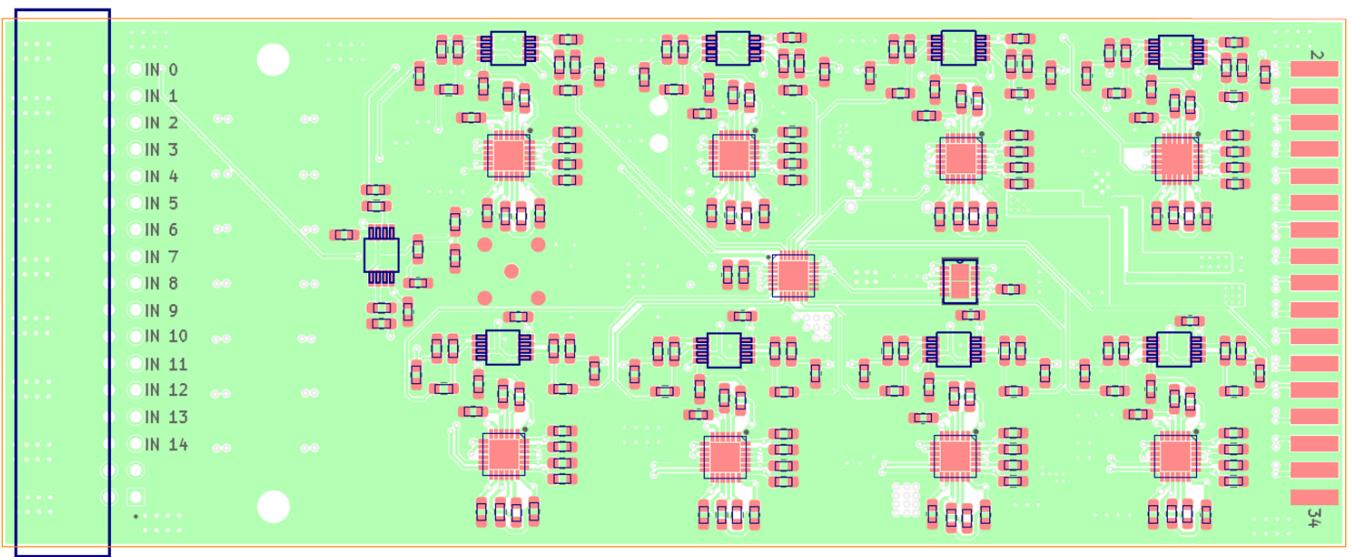


Figura 4.20: Gerber Top Layer

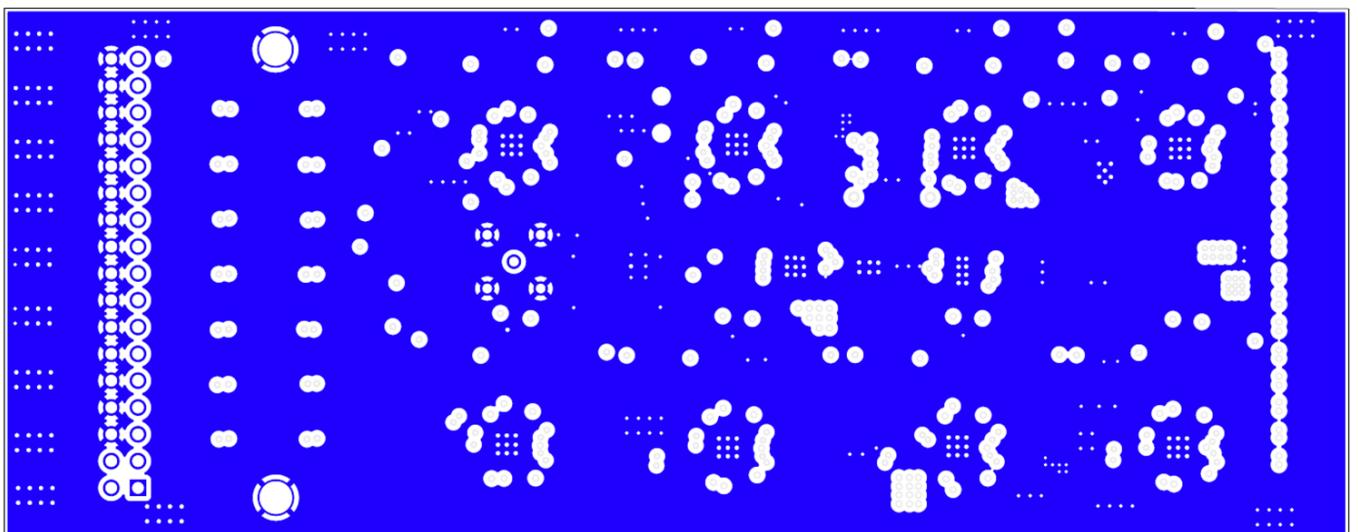


Figura 4.21: Gerber Ground Layer 1

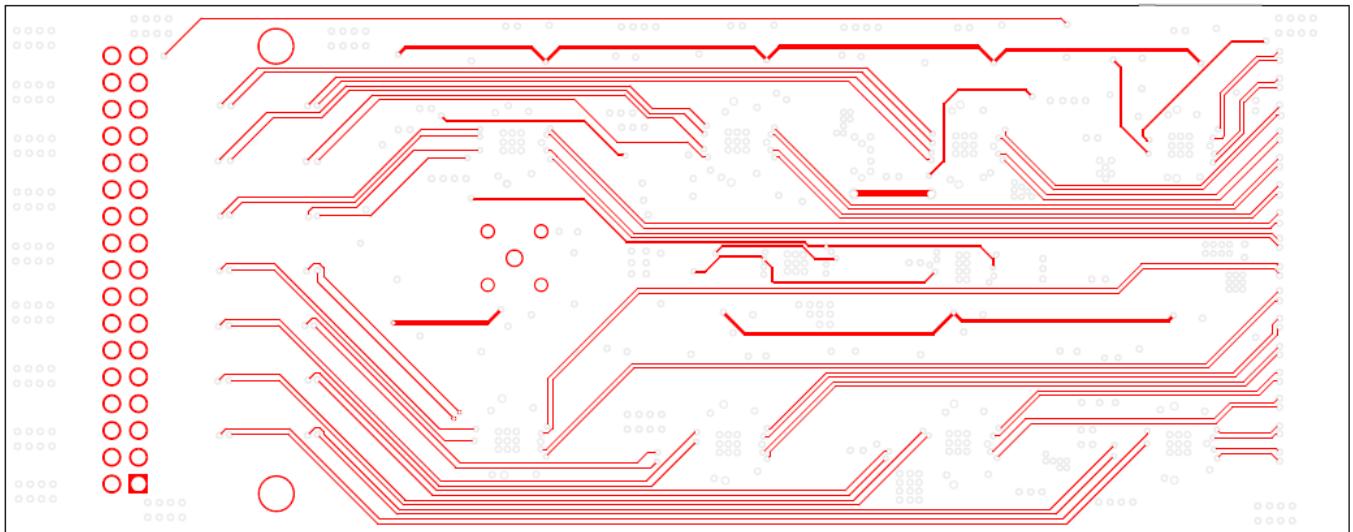


Figura 4.22: Gerber Signal Layer

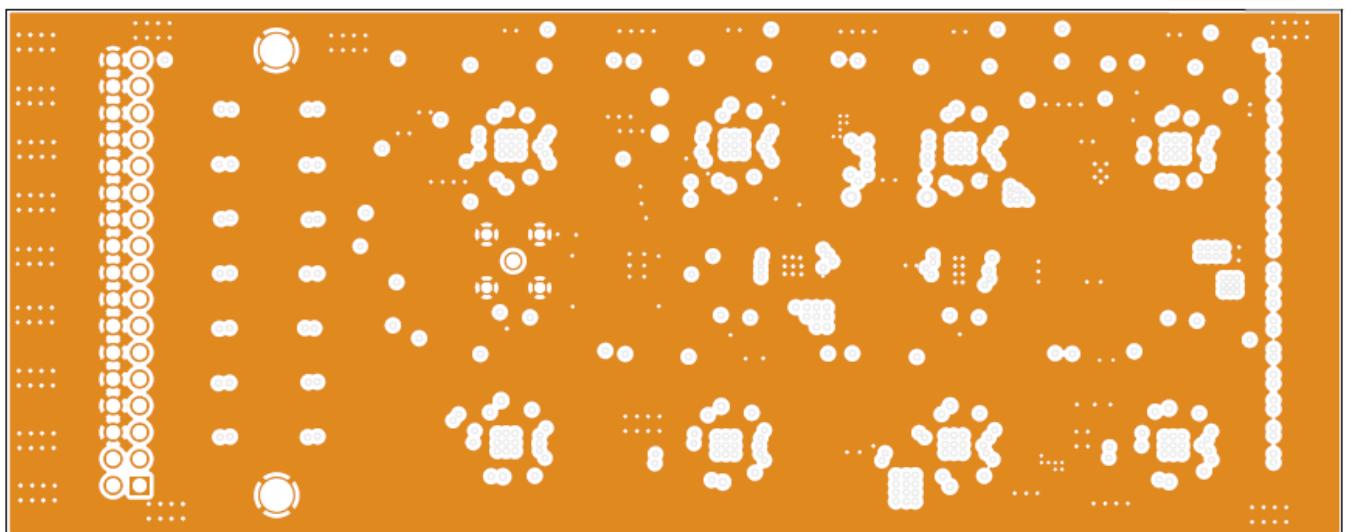


Figura 4.23: Gerber Ground Layer 2

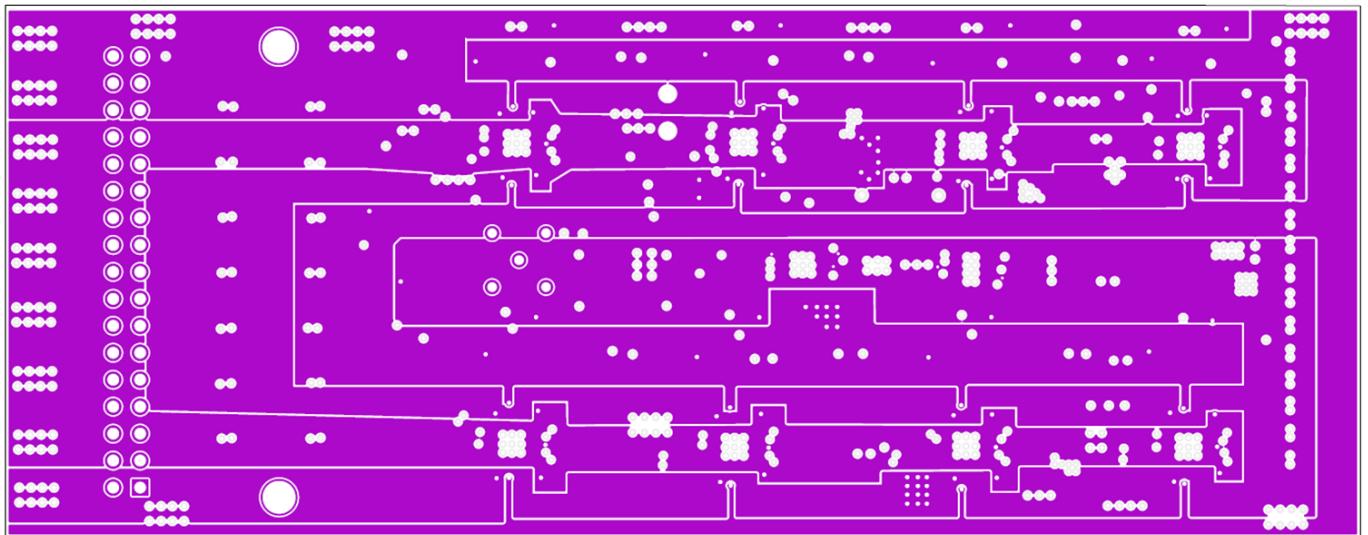


Figura 4.24: Gerber Power Layer

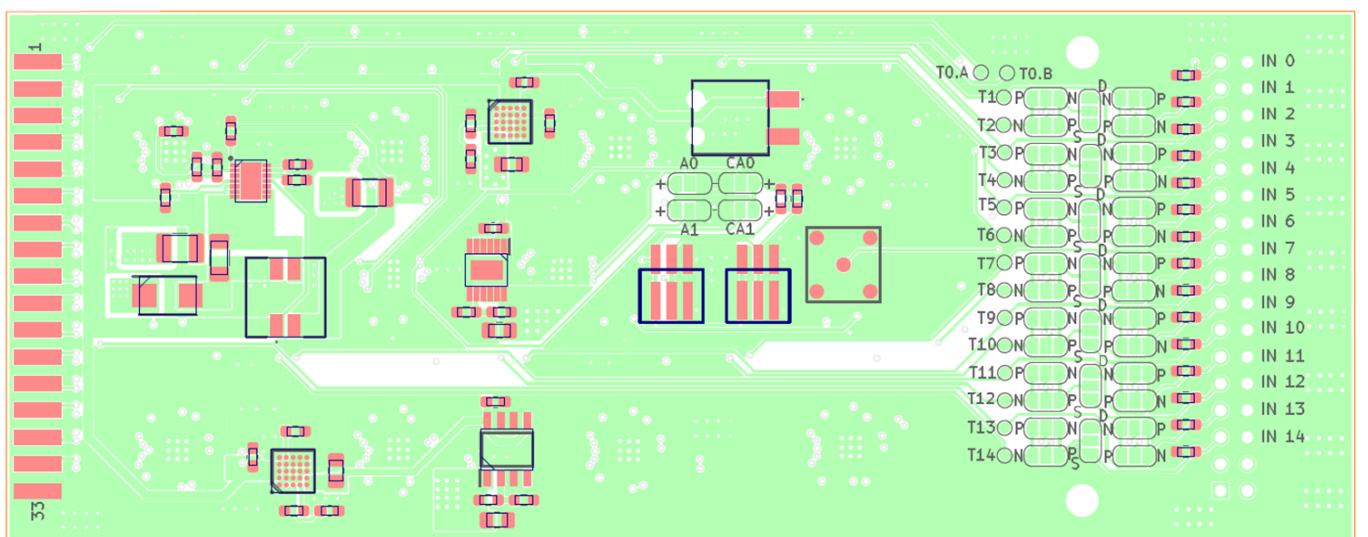


Figura 4.25: Gerber Back layer

# Capitolo 5

## Interfaccia Grafica

### 5.1 GUI

Terminata la progettazione del layout, l'ultimo passo è stato lo sviluppo della **GUI** per l'impostazione delle soglie dei comparatori e la gestione della comunicazione tra PC, Arduino e PCB. Per il trasferimento dei dati, è stata scelta la **comunicazione seriale** per inviare le soglie dal PC ad Arduino, mentre la comunicazione **I2C** è stata impiegata per trasmettere i dati ricevuti da Arduino alla scheda, poiché i DAC utilizzano questo protocollo.

La GUI è stata progettata tramite **Python** ed è un'interfaccia semplice, come mostrato in Figura 5.1. Al suo interno, sono presenti quattro **checkbox** per selezionare la configurazione dei **solder jumper** sulla scheda, i quali, a seconda della configurazione, impostano l'**indirizzo I2C** per i **DAC**.

Sono inoltre presenti delle **textbox** dove inserire le soglie per ciascun canale, con valori compresi tra **-1.25V** e **1.25V**. Le prime due textbox servono per impostare le soglie per i comparatori riservati al trigger, mentre le altre per gli altri ingressi. È disponibile anche una **textbox separata** per assegnare la stessa soglia a tutti gli ingressi da **IN1** a **IN14**.

Infine, vi sono due pulsanti:

- **Apply**, che applica le modifiche.
- **Reset**, che ripristina tutte le soglie a **0V**.

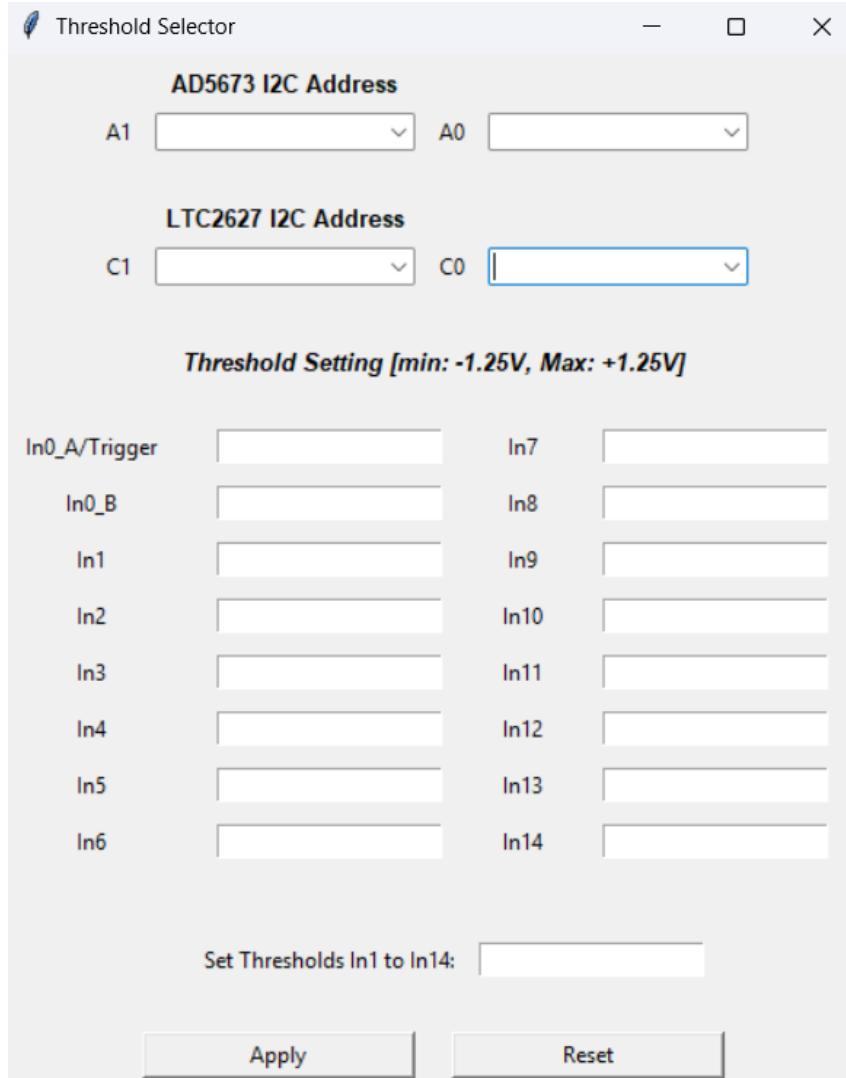


Figura 5.1: Interfaccia Grafica

Una volta applicate le modifiche dalla GUI, i dati vengono elaborati per generare una sequenza di byte che rispetta la struttura definita dai datasheet dei **DAC LTC2627** e **AD5673**, illustrata in Figura 5.2. La struttura è identica per entrambi i dispositivi.

In particolare, il primo byte è composto da 4 bit di **command** (impostato a **0011** per scrivere e aggiornare il DAC) e 4 bit di **address**, che selezionano il DAC da aggiornare. Il secondo byte contiene gli 8 bit più significativi del dato, mentre l'ultimo byte include i 4 bit meno significativi del dato, con i restanti 4 bit inutilizzati poiché i DAC sono a **12 bit**.

Inoltre, è necessario includere un primo byte di indirizzo **I2C** per configurare la connessione e avviare la comunicazione.

I dati dalla GUI vengono quindi trasformati in una sequenza di **4 byte per DAC** (1 per l'indirizzo, 1 per il comando e 2 per i dati), per un totale di **64 byte**, poiché sono necessarie 16 soglie da impostare.

I byte vengono inviati tramite comunicazione seriale, e Arduino li preleva 4 alla volta per

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA						DAC DATA									
COMMAND BYTE						DATA HIGH BYTE						DATA LOW BYTE											

Figura 5.2: Struttura bytes DAC

inviarli alla scheda, aggiornando un DAC alla volta. Questo processo assicura che ogni DAC venga configurato correttamente in sequenza.

# Capitolo 6

## Sperimentazioni e risultati

Una volta completato il layout del PCB, sono state inviate in produzione quattro schede picoCMP. Successivamente, dopo la produzione, è stata avviata la fase di test. In un primo momento, sono stati effettuati dei test utilizzando il front-end originale, ossia la scheda **A5256**, con l'obiettivo di ottenere un riferimento di confronto per valutare le prestazioni della nostra scheda. Successivamente, è stato testato il **picoCMP**, confrontando le sue prestazioni con quelle ottenute dalla scheda di riferimento.

### 6.1 Test A5256

Per condurre i test utilizzando la scheda **A5256**, è stato impiegato il seguente setup, Fig6.1.

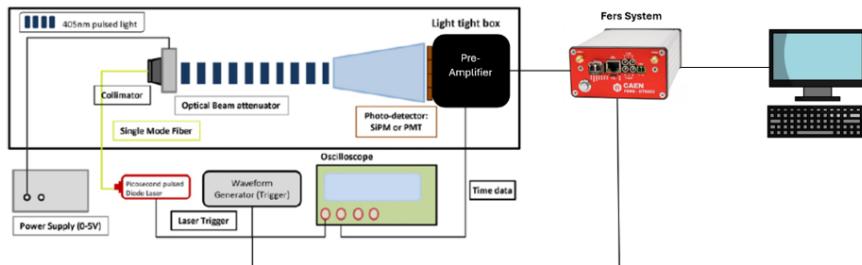


Figura 6.1: Rappresentazione del setup sperimentale che utilizza una sorgente laser viola ( $\lambda = 404nm$ ) per misurazioni temporali

Un **driver laser Taiko PDL** per fornire alimentazione e controllare il funzionamento della testa laser, permettendo così la generazione del fascio laser desiderato. Contemporaneamente, il driver emette un segnale di **trigger** sincronizzato con la luce prodotta.

Il fascio di luce generato viene trasportato attraverso una fibra ottica **single-mode** fino a un **collimatore ottico**, che lo indirizza verso una cella specifica del **MaPMT**. Il sensore è collegato

a una scheda che raccoglie i segnali provenienti da ciascun catodo del **MaPMT**. Questi segnali vengono successivamente trasmessi, tramite cavi coassiali con connettori **Lemo**, alla scheda di acquisizione **A5256**. Come noto, questa scheda è connessa al sistema **FERS**, che consente di misurare l'istante temporale che intercorre tra l'emissione del trigger e il rilevamento di un fotone. Il sistema **FERS** è collegato a un PC, permettendo di utilizzare la sua **interfaccia grafica** per modificare i parametri, tra cui le soglie dei **discriminatori**. Per l'esperimento è stato utilizzato un solo **canale**, e su di esso è stata impostata una soglia di **-3 mV**, negativa poiché il segnale è prelevato dal catodo. Inoltre, è stato utilizzato un **oscilloscopio** per osservare la differenza temporale tra il trigger e il segnale prima della discriminazione.

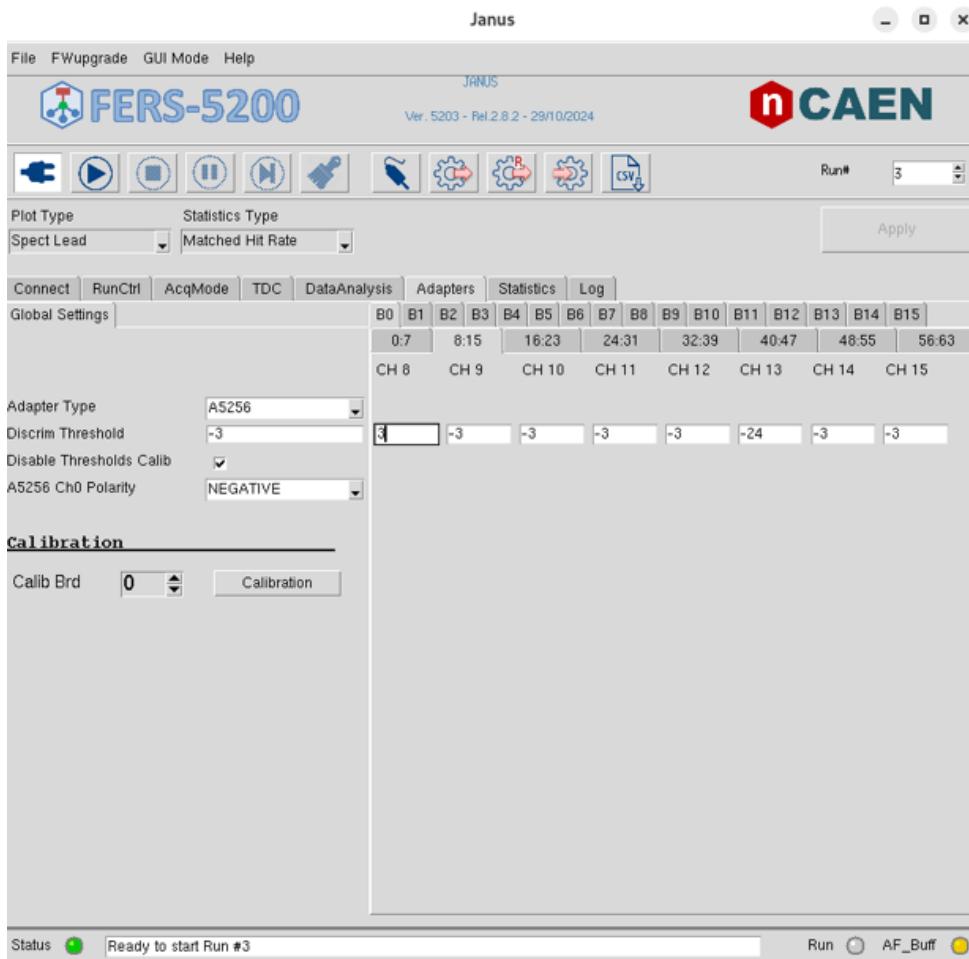


Figura 6.2: Interfaccia grafica del sistema FERS

Ovviamente, poiché il sistema deve rilevare dei fotoni, è estremamente sensibile alla luce. Pertanto, il **collimatore** che fornisce il fascio di luce al **MaPMT** e l'intero sistema di acquisizione sono stati inseriti all'interno di una scatola metallica. Questo accorgimento è stato adottato per ridurre al minimo l'influenza della luce ambientale e le possibili interferenze elettromagnetiche. Nelle figure successive si possono osservare i vari componenti del setup, all'interno della scatola: il **sensore MaPMT**, il **collimatore**, la **scheda di acquisizione dati** e i **cavi coassiali**.

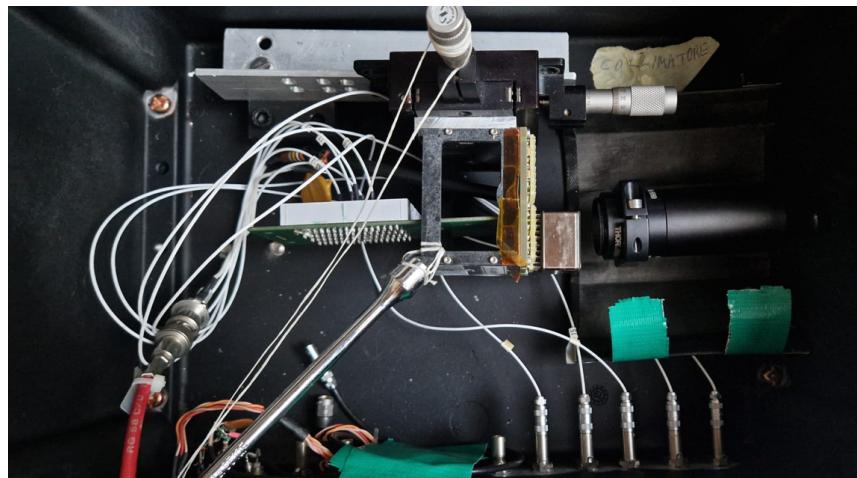


Figura 6.3: Interno della scatola

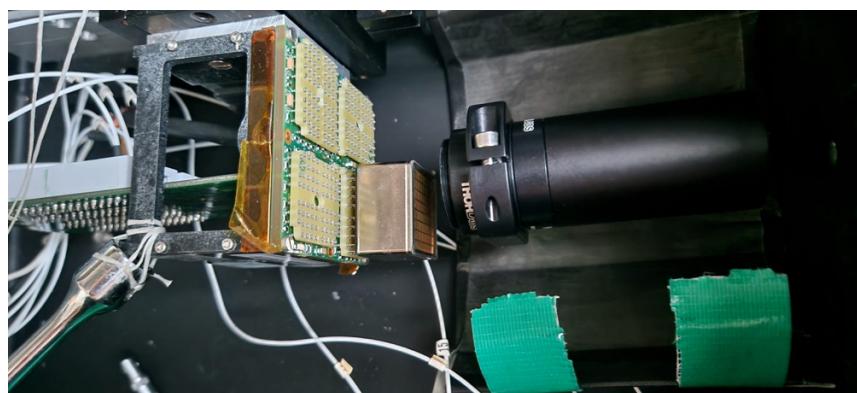


Figura 6.4: Collimatore che punta su una cella del sensore MaPMT e relativa scheda di acquisizione



Figura 6.5: Scatola chiusa che scherma il sistema

Una volta pronto il *set-up*, il *PDL* è stato configurato a una frequenza di 100 kHz. Osservando il segnale con l'oscilloscopio, si nota che il trigger è centrato nello zero, mentre a circa 28 ns si osserva il segnale prima della discriminazione. Questo ritardo, che risulta pressoché costante, è attribuibile al tempo di latenza introdotto dal sistema. Il segnale presenta un picco di circa -6 mV, mentre la soglia di discriminazione è stata impostata a -3 mV, quindi la scheda dovrebbe discriminare correttamente il segnale.

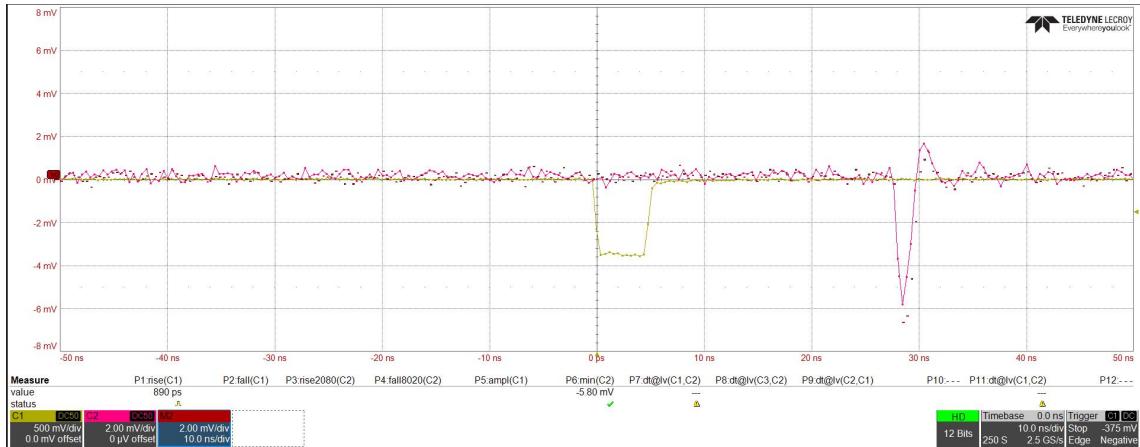


Figura 6.6: In giallo si osserva il segnale di trigger e in rosa il segnale prima di essere discriminato

Il sistema *FERS*, collegato al PC, permette di registrare tutti gli eventi rilevati su un file, fornendo l'istante temporale in *ns* in cui un segnale discriminato è stato rilevato. Un aspetto interessante che si può osservare tramite un programma creato da un dottorando è il **jitter** introdotto dal sistema. In particolare, si prende il file testuale contenente gli eventi e li si confronta in modo tale da osservare il ritardo temporale tra tutti gli eventi. L'analisi di questi dati fornisce una distribuzione gaussiana centrata sul valore medio di circa 28 ns, con una deviazione standard di circa 120 ps che sarebbe il **jitter** introdotto dal sistema.

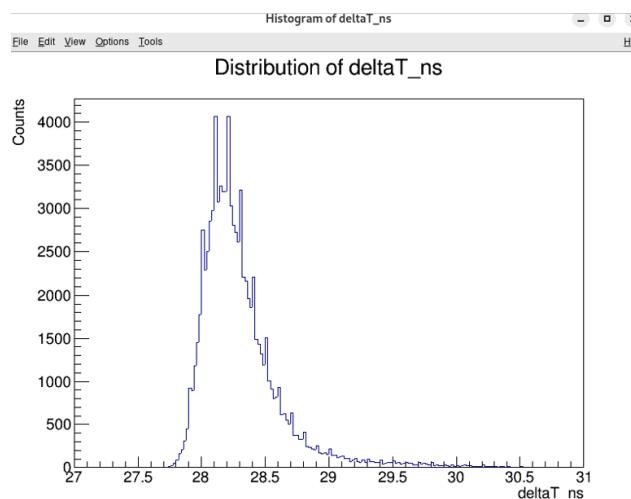


Figura 6.7: Distribuzione gaussiana dei segnali rilevati

## 6.2 Test picoCMP

Una volta completata la fase di test sul setup originale, siamo passati alla verifica preliminare del funzionamento del **picoCMP** in modo indipendente, prima della sua integrazione nel sistema. A tal fine, abbiamo fornito un'alimentazione di **12V** al connettore e monitorato i consumi, confrontandoli con i valori teorici calcolati nel Capitolo 3.3.4. Tuttavia, sono state riscontrate **forti oscillazioni nei consumi**, segnale di un possibile malfunzionamento.

Per identificare la causa del problema, è stata avviata una fase di **debug** del circuito mediante l'uso di un **tester**. L'analisi ha rivelato che tutti gli **LMH7322** presentavano un **cortocircuito** dovuto al **pad termico**.

Per proseguire con i test, è stata quindi apportata una **modifica alla scheda**: tutti i comparatori sono stati **dissaldati** e il circuito è stato adattato per testarne almeno uno, in particolare **quello di trigger**. Per eliminare il cortocircuito, le **vie** che collegavano il **pad termico** sono state forate con una **punta molto sottile di trapano**, in modo da **isolarne il corto**.

Una volta completata la modifica, il componente è stato **risaldato** e si è passati a un **secondo test** per verificarne il funzionamento. Il **picoCMP** è stato nuovamente alimentato a **12V** e sono stati monitorati i consumi che, questa volta, risultavano **stabili**. Naturalmente, essendo presente **un solo comparatore**, il **consumo statico** è risultato **inferiore** rispetto al valore teorico precedentemente calcolato, intorno ai **50 mA**.

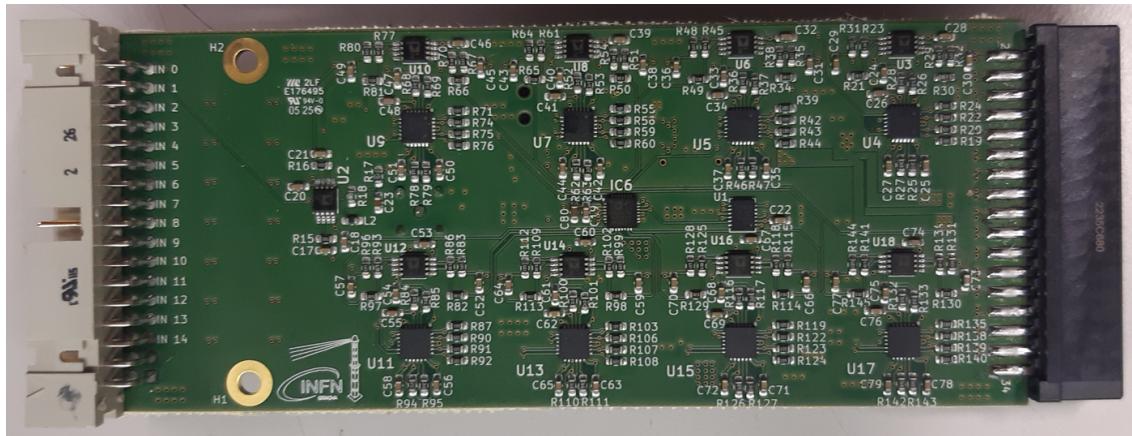


Figura 6.8: Top picoCMP

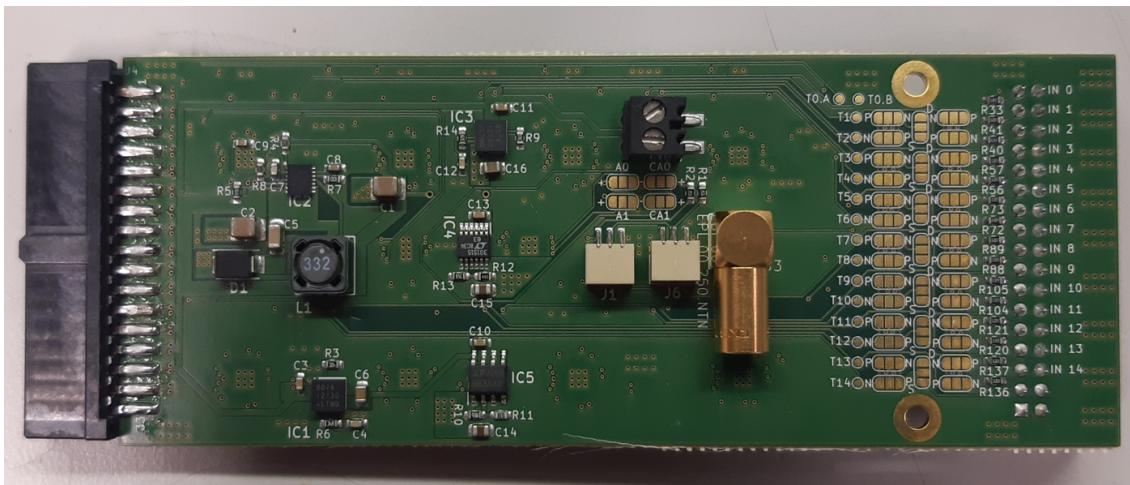


Figura 6.9: Bottom picoCMP

Una volta osservati i consumi e verificato che tutti i componenti ricevessero le corrette alimentazioni, è stato testato il corretto funzionamento dei **DAC**, osservando se le soglie venissero modificate in modo corretto.

Per eseguire questo test, il connettore per l'**I<sub>2</sub>C** presente sul **bottom** del **picoCMP** è stato collegato ad **Arduino**, il quale è stato connesso al **PC** tramite cavo **USB** per abilitare la comunicazione seriale. A questo punto, utilizzando l'interfaccia grafica implementata, le soglie sono state variate e, tramite i **test point** presenti sul circuito, è stato verificato che la soglia misurata corrispondesse a quella impostata tramite l'interfaccia grafica. Dopo alcuni test eseguiti in questo modo e variando le soglie, il primo test sui **DAC** ha dato esito positivo.

Per un'ulteriore verifica del corretto funzionamento dei **DAC**, è stata misurata la **INL** (*Integral Non-Linearity*), facendo variare il **DAC** di **1 LSB** alla volta e misurando il valore ottenuto per l'intero range. Per eseguire questo test, è stato sviluppato uno **script Arduino** dedicato per modificare un **LSB** alla volta, mentre le misurazioni sono state effettuate tramite **oscilloscopio**. Questo approccio ha permesso di acquisire i dati misurati dall'oscilloscopio, che sono stati utilizzati per calcolare la **INL** (Integral Non-Linearity). La **INL** è un parametro fondamentale per la caratterizzazione dei **DAC**, in quanto consente di misurare quanto la curva di trasferimento reale di un DAC si discosti dalla curva ideale. In altre parole, essa indica l'errore accumulato rispetto a una conversione perfettamente lineare.

Per effettuare il confronto tra la risposta ideale e quella reale del DAC, è stato necessario calcolare i parametri della retta ideale. Considerando che i **DAC** utilizzati sono a **12 bit** e che il **range di tensioni** va da  $-1.25 \text{ V}$  a  $1.25 \text{ V}$ , possiamo calcolare la **tensione ideale** associata ad ogni valore digitale  $D$  (che varia da 0 a 4095).

Poiché il DAC è a **12 bit**, il numero totale di livelli di uscita è dato da:

$$\text{Numero di livelli} = 2^{12} = 4096$$

La differenza totale di tensione tra il valore massimo (+1.25 V) e il valore minimo (-1.25 V) è di 2.5 V. L'incremento di tensione per ciascun livello digitale ( $\Delta V$ ) è quindi:

$$\Delta V = \frac{V_{\max} - V_{\min}}{\text{Numero di livelli} - 1} = \frac{2.5}{4095} \approx 0.000610 \text{ V}$$

La tensione ideale  $V_{\text{ideal}}$  per un dato valore digitale  $D$  (dove  $D$  varia da 0 a 4095) può essere calcolata con la seguente formula:

$$V_{\text{ideal}}(D) = -1.25 + D \times \frac{2.5}{4095}$$

A questo punto, tramite uno script in MATLAB, sono stati plottati i punti misurati dall'oscilloscopio e confrontati con la retta ideale appena calcolata. Questo processo è stato ripetuto sia per il DAC **LTC2627** sia per il DAC **AD5673**. I grafici risultanti da questa analisi sono mostrati in Figura 6.10 6.11.

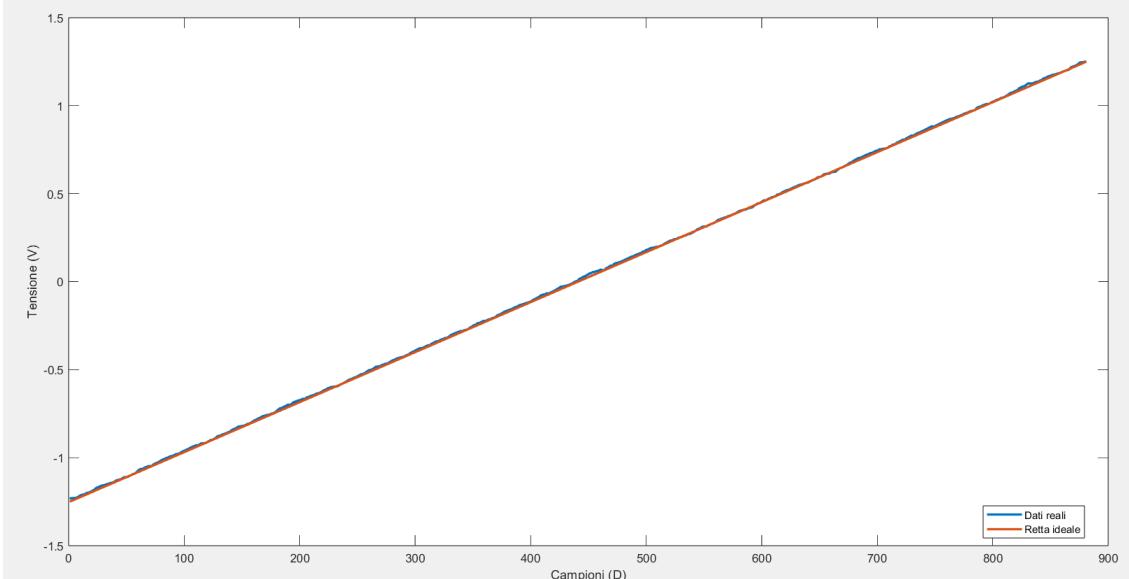


Figura 6.10: Integral non linearity LTC2627

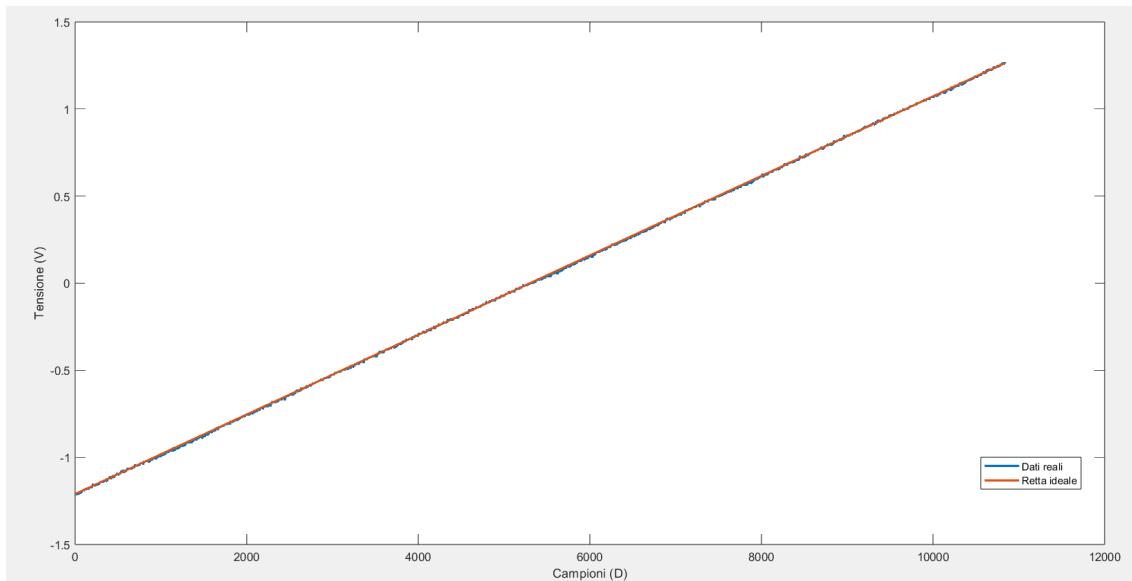


Figura 6.11: Integral non linearity AD5673

Dall’analisi dei due grafici, si osserva che l’andamento delle tensioni reali sono molto vicine alle rette ideali. Per quantificare lo scostamento, abbiamo calcolato la massima differenza tra le due rette, ottenendo valori di 6.4mV per l’LTC e 4.5mV per l’AD5673, in linea con i valori attesi da specifiche tecniche.

È importante sottolineare che il test non misura esclusivamente la linearitá della tensione di uscita del DAC, ma anche quella dell’amplificatore differenziale, che include sia il DAC che il buffer. Questo è particolarmente rilevante, poiché il range di misura è compreso tra -1.25 V e +1.25 V, mentre il range di uscita del DAC è tra 0 V e 2.5 V.

Terminate le verifiche preliminari sulle misurazioni di tensioni, correnti e i test dei DAC, si è passati alla fase successiva: il test effettivo del sistema. Per questo, è stato utilizzato lo stesso set-up descritto in precedenza, con una sola variazione: nel sistema FERS, la scheda di front-end è stata sostituita dalla A5255, alla quale è stato collegato il picoCMP tramite uno dei suoi connettori.

Il set-up è stato preparato tenendo conto che l’ingresso di trigger/In0 è condiviso sia con il canale 0 del connettore di ingresso che con il connettore LEMO. Pertanto, il segnale proveniente dal sensore è stato inviato direttamente al connettore LEMO del picoCMP, mentre il segnale di trigger è stato fornito da un altro connettore LEMO presente sulla scheda A5255.

Come nelle prove precedenti, è stato utilizzato l’oscilloscopio per analizzare il comportamento delle uscite. A tal fine, sono state impiegate due sonde, posizionate sulle uscite dopo la discriminazione, per osservare l’andamento dei segnali e calcolarne la differenza matematica.

Prima di fornire i segnali, il picoCMP è stato alimentato tramite un alimentatore da banco a 12V e collegato via I2C ad Arduino. Tramite PC, è stata impostata una soglia di -70 mV. In questo



Figura 6.12: In figura si osserva il sistema FERS con il picoCMP innestato su di esso.

caso la soglia è stata settata più alta poiché è stato utilizzato un amplificatore per incrementare l'ampiezza del segnale in uscita dal sensore.

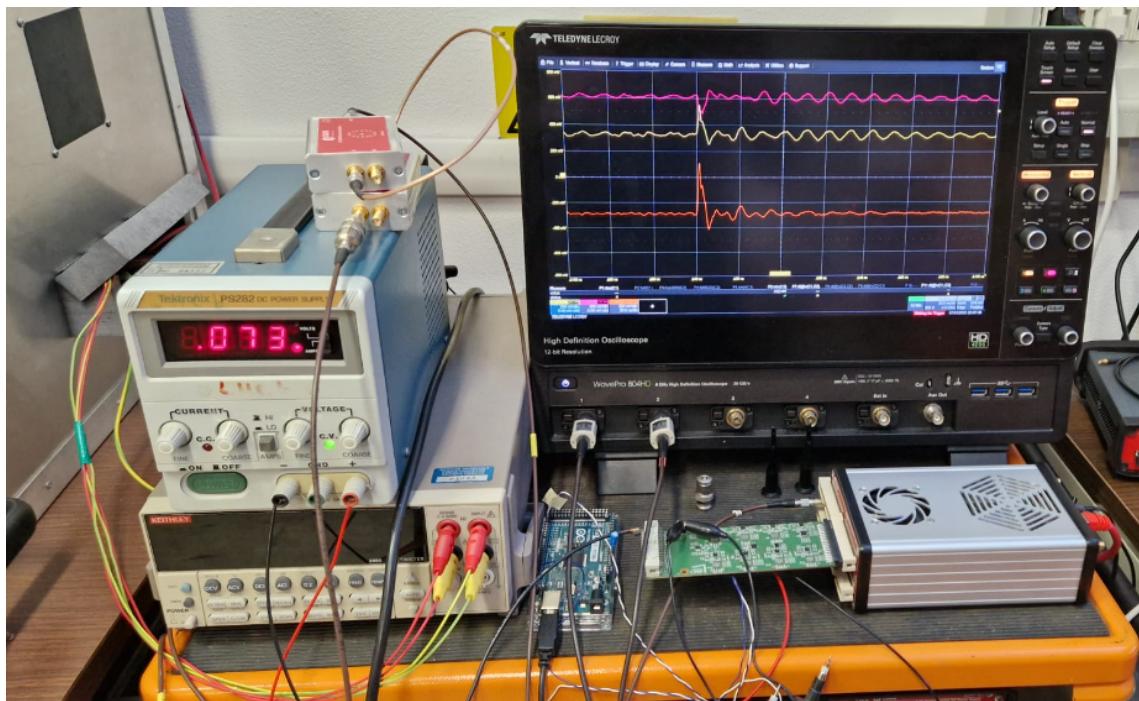


Figura 6.13: In figura si osserva il set-up adottato per le misurazioni.

Una volta che il sistema è stato correttamente configurato, è stato fornito il segnale, gestito come nelle prove precedenti dal PDL. Attraverso l'oscilloscopio, sono state analizzate le forme d'onda in uscita, riportate in Figura 6.14.



Figura 6.14: Uscite dopo la discriminazione e sottrazione matematica delle due forme d'onda.

Sono state effettuate diverse prove con soglie differenti, ottenendo sempre lo stesso risultato. In tutti i casi, si osservano due segnali digitali complementari, aventi tensione di modo comune rispettivamente di 600mV e 300mV. Applicando la differenza matematica, poiché l'ingresso riceve segnali differenziali LVDS, si ottiene un segnale con un valore di modo comune, che corrisponde alla differenza tra i due segnali. Quando un segnale supera la soglia impostata, le due uscite cambiano di stato, determinando una variazione anche nella differenza, il che indica che il segnale è stato rilevato.

È possibile notare che il segnale rilevato è sempre centrato intorno ai **42 ns**. Pertanto, l'ultima verifica da effettuare è osservare se il sistema **FERS** riesca a rilevare correttamente questi segnali e a fornire un valore temporale dal **picoTDC** che sia il più vicino possibile al valore osservato. Questo test permette anche di verificare la **compatibilità elettrica** del **picoCMP** con il sistema **FERS**.

Sono state condotte alcune prove, e si è osservato che il sistema **FERS** rilevava correttamente il segnale sul canale zero, con tempistiche sempre attorno ai **42 ns**, coerenti con quanto osservato dall'oscilloscopio. Come nel test con l'**A5256**, anche in questo caso è stato utilizzato lo script del dottorando per estrarre i dati dal file testuale contenente gli eventi, confrontando così i ritardi temporali tra tutti gli eventi.

L'analisi di questi dati ha prodotto una distribuzione **gaussiana** centrata sul valore medio di circa **43 ns**, con una deviazione standard di circa **200 ps**, che rappresenta il **jitter** introdotto dal sistema. Questo valore è abbastanza simile a quello del sistema originale; è presente un po' più di jitter, ma ciò è dovuto alla nuova topologia più complessa del sistema e all'introduzione di un **amplificatore**, che aggiunge un ulteriore contributo.

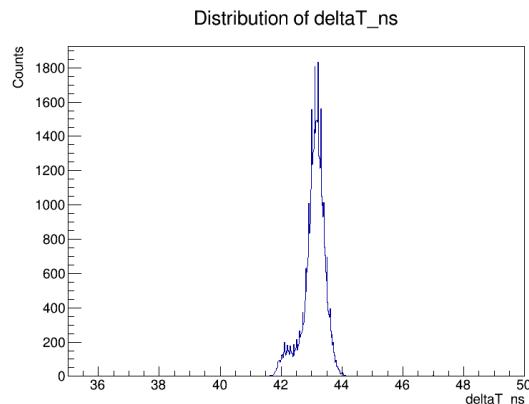


Figura 6.15: distribuzione gaussiana dei segnali rilevati



Figura 6.16: Sistema FERS con tutte e quattro le schede innestate sulla scheda A5255

## Conclusioni

L’obiettivo di questo progetto era quello di progettare una scheda che permettesse di effettuare analisi più approfondite sulla caratterizzazione dei SiPM, che in futuro verranno utilizzati come upgrade all’interno dell’esperimento **LHCb**. Questo primo prototipo ha rappresentato un passo importante per la valutazione iniziale delle performance del sistema, ma come per ogni prototipo, ci si aspettava la presenza di alcuni problemi che dovranno essere risolti nelle versioni successive.

Inizialmente, il **picoCMP** non funzionava correttamente a causa di alcuni cortocircuiti presenti nel circuito. Tuttavia, sono state apportate modifiche per risolvere questo problema, e, nonostante queste difficoltà iniziali, il sistema ha risposto positivamente ai test effettuati. In particolare, l’unico canale che è stato ripristinato e testato ha risposto correttamente, come ci si aspettava, e sono state verificate le condizioni di compatibilità elettrica con il sistema **FERS**, consentendo misurazioni temporali accurate.

Per un futuro prototipo, si potrebbero apportare modifiche significative, come ad esempio isolare completamente la parte di alimentazione da un lato, poiché durante i test è stato osservato rumore all’interno del segnale, probabilmente causato dai circuiti di switching dei convertitori. Inoltre, sarà fondamentale modificare il layout della scheda per evitare cortocircuiti tra i pad termici dei comparatori. Questo permetterà di testare più ingressi simultaneamente, aumentando così l’efficacia nella caratterizzazione dei sensori al silicio.

In sintesi, questo lavoro ha posto le basi per lo sviluppo di un sistema di caratterizzazione dei SiPM, ma ci sono ancora molti aspetti da perfezionare. Le modifiche suggerite contribuiranno a rendere il sistema più robusto e performante, offrendo uno strumento ancora più efficace per le future esigenze dell’esperimento **LHCb**.

# Documentazione tecnica

- LTM8074 - Analog Device
- LT1963A - Analog Device
- LT3581 - Analog Device
- LT3015 - Analog Device
- LMH7322 - Texas Instrument
- AD8657 - Analog Device
- AD5673 - Analog Device
- LTC2627 - Analog Device

# Indirizzi I2C

AD5673		
A1	A0	Address
GND	GND	0001100
GND	Vlogic	0001101
Vlogic	GND	0001110
Vlogic	Vlogic	0001111

LTC2627			
CA2	CA1	CA0	Address
GND	GND	GND	0010000
GND	GND	Float	0010001
GND	GND	VCC	0010010
GND	Float	GND	0010011
GND	Float	Float	0100000
GND	Float	VCC	0100001
GND	VCC	GND	0100010
GND	VCC	Float	0100011
GND	VCC	VCC	0110000

# Bibliografia

- [1] CERN (European Organization for Nuclear Research), “Large hadron collider (lhc),” <https://home.cern/science/accelerators/large-hadron-collider>, August 2023, accessed: 2023-08.
- [2] “The LHCb Upgrade I,” vol. 19, no. 05, p. P05065, may 2024. [Online]. Available: <https://dx.doi.org/10.1088/1748-0221/19/05/P05065>
- [3] E. Nappi and J. Seguinot, “Ring imaging cherenkov detectors: The state of the art and perspectives,” *La Rivista del Nuovo Cimento*, vol. 28, no. 8, pp. 1–130, 2005. [Online]. Available: <https://doi.org/10.1393/ncr/i2006-10004-6>
- [4] R. Forty, L.-B. Collaboration *et al.*, “Ring-imaging cherenkov detectors for lhc-b,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 384, no. 1, pp. 167–174, 1996.
- [5] R. Lindner, “LHCb Particle Identification Enhancement Technical Design Report,” CERN, Geneva, Tech. Rep., 2023. [Online]. Available: <https://cds.cern.ch/record/2866493>
- [6] S. Gómez, J. Alozy, M. Campbell, J. Fernandez-Tenllado, R. Manera, J. Mauricio, C. Pujol, D. Sanchez, A. Sanmukh, A. Sanuy, R. Ballabriga, and D. Gascon, “Fastic: a fast integrated circuit for the readout of high performance detectors,” *Journal of Instrumentation*, vol. 17, no. 05, p. C05027, may 2022. [Online]. Available: <https://dx.doi.org/10.1088/1748-0221/17/05/C05027>
- [7] SensL, “An introduction to the silicon photomultiplier,” SensL, Tech. Rep., 2011, technical Note, SensL © 2011.
- [8] A. Ghassemi, K. Sato, and K. Kobayashi, “Mppc technical note,” *Hamamatsu Photonics KK, Solid State Division*, 2017.
- [9] Allelcoelec, “The basics of lvttl: Logic levels and specifications,” 2023. [Online]. Available: <https://www.allelcoelec.com/blog/The-Basics-of-LVTTL-Logic-Levels-and-Specifications.html>
- [10] N. I. M. N. Committee, “Standard nim instrumentation system,” 1990. [Online]. Available: [https://inis.iaea.org/collection/NCLCollectionStore/\\_Public/21/080/21080298.pdf](https://inis.iaea.org/collection/NCLCollectionStore/_Public/21/080/21080298.pdf)

- [11] K. Developers, “Kicad eda - open source pcb design tool,” 2024, accessed: 2025-02-15. [Online]. Available: <https://www.kicad.org>
- [12] D. M. Pozar, *Microwave Engineering*, 4th ed. Hoboken, NJ: John Wiley & Sons, 2011, capitolo 3: Linee di Trasmissione, Microstrip e stripline.
- [13] C. P. D. Blog, “Pcb manhattan routing techniques,” 2020, accessed: 2025-02-18. [Online]. Available: <https://resourcespcb.cadence.com/blog/2020-pcb-manhattan-routing-techniques>