

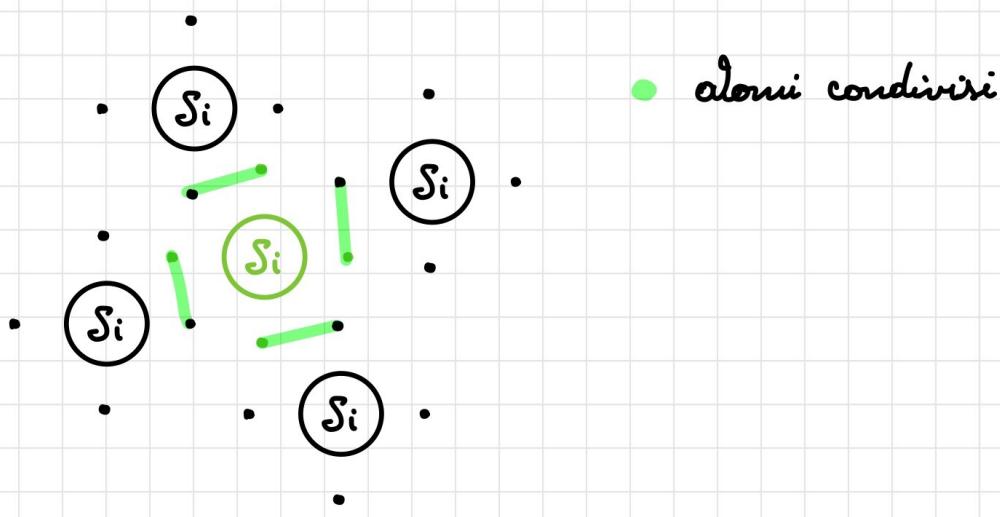
Appunti di Elettronica

Alexandra Gabriel Bradolan

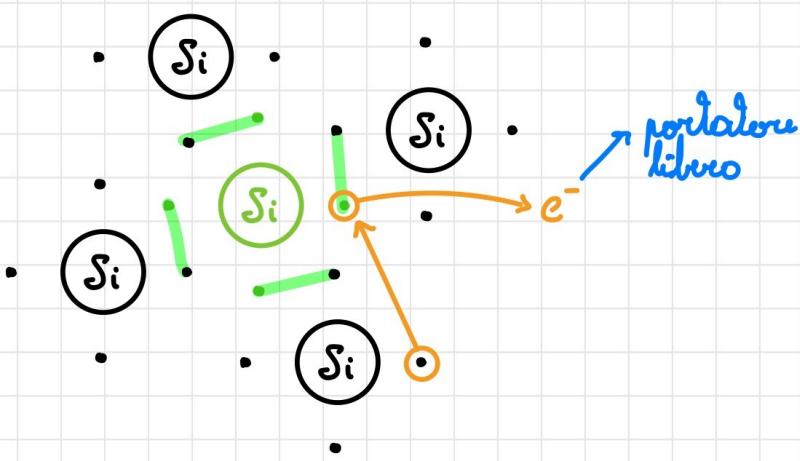
1. SEMICONDUTTORI

1.1 Il silicio

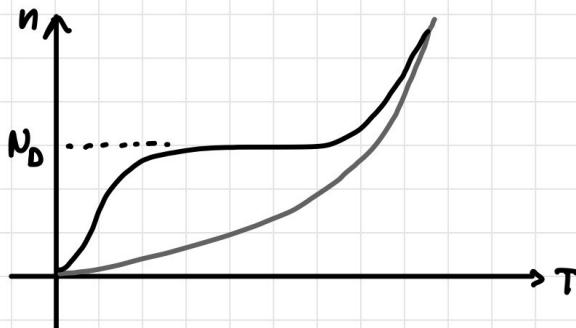
I semiconduttori sono materiali con proprietà a metà tra gli isolanti e i conduttori. Il più importante che vedremo sarà il silicio.



Il silicio forma una struttura cristallina tetraedrica con altri 4 atomi di silicio. I legami che tengono unita la struttura sono legami covalenti deboli e possono essere facilmente rotti. Quando un elettrone si allontana dall'orbitale esterno lascia un vuoto che verrà riempito da altri elettroni. Questo movimento di "posti libri" può essere paragonato al movimento di una bolla d'aria. Per semplificare la rappresentazione, trasformeremo il posto libero come una particella chiamata "lacuna" dotata di carica positiva.



La quantità di portatori liberi (elettroni / lacune mobili) cresce esponenzialmente rispetto alla temperatura. Per evitare di dover mettere i nostri circuiti in forno, possiamo introdurre degli atomi del 5° gruppo della tavola periodica, mantenendo la struttura cristallina ma ottenendo un portatore libero in più. La concentrazione di portatori liberi raggiunge un valore accettabile anche a temperature inferiori. Questa concentrazione è definita in base al numero di atomi droganti aggiunti.



È possibile anche creare un serbatoio di lacune aggiungendo atomi del loro gruppo, invece che del quinto.

In assenza di campo elettrico, i portatori liberi si muovono seguendo il gradiente di concentrazione. La corrente così ottenuta è detta di diffusione.

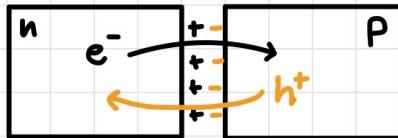
$$I = q \cdot D_n \cdot A \cdot \frac{d n(x)}{dx} \rightarrow \text{gradiente di concentrazione}$$

↓ ↓ ↓
 area coeff. di diffusione
 carica dei portatori

La corrente smetterà di scorrere quando si raggiungerà l'equilibrio di concentrazione.

1.2 Giunture PN

Consideriamo due blocchi di silicio, uno drogato con elementi del 5° gruppo (drogalvra n) e l'altro con elementi del 3° gruppo (drogalvra p) a creare un serbatoio di elettroni e lacune (h^+) rispettivamente. Mettendo a contatto i due blocchi creeremo la cosiddetta giuntura PN. A causa della differenza di concentrazione di elettroni/lacune, in presenza di campo elettrico si otterrà uno scambio di elettroni/lacune tra i due blocchi. Quando un elettrone si allontana dalla sua posizione, l'atomo si ionizza. Si verrà così a formare una carica fissa positiva all'interfaccia. Viceversa, le lacune lasceranno una carica fissa negativa.



Si formerà un campo elettrico che ostacolerà il passaggio dei nostri portatori: gli elettroni si ritrovano una barriera di carica negativa che li respinge.

Osserveremo, così, ad un equilibrio dove la gran parte degli elettroni si troverà nel blocco n (e viceversa le lacune in p) e tra i due blocchi si troverà a formare una zona della di carica spaziale. Lo spessore di questa zona sarà:

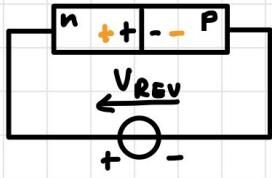
$$x_s = \sqrt{\frac{2\epsilon}{q} \left(\frac{1}{N_D} + \frac{1}{N_A} \right) \cdot V_b}$$

\downarrow \downarrow
numero di atomi
d'origine

Dove V_b è la tensione di fratt-in, ovvia la dcp nella zona di carica spaziale. La V_b è una proprietà intrinseca dei materiali e nelle giunture PN vale circa 0.7 V.

La polarizzazione ai capi della giuntura può essere di due tipi:

1. INVERSA:

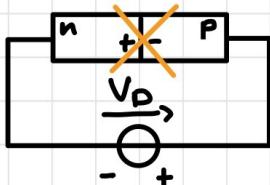


\Rightarrow si allarga la zona di carica spaziale:

$$x_s = \sqrt{\frac{2\epsilon}{q} \cdot \left(\frac{1}{N_D} + \frac{1}{N_A} \right) \cdot (V_b + V_{REV})}$$

Tanto più sarà grande x_s , tanto più sarà difficile il passaggio dei portatori maggioritari (elettroni per n e lacune per p) ma favorirebbe quello dei minoritari (le poche lacune che si possono trovare in n e viceversa). Questo passaggio di portatori minoritari genera una piccola corrente ($10^{-9} A$) trascurabile.

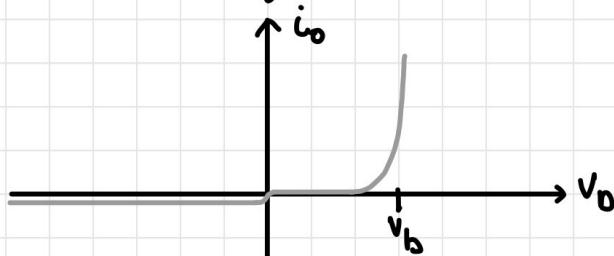
2. DIRETTA



\Rightarrow si diminuisce la zona di carica spaziale:

Quando V_D eccede V_b , si avrà ad annullare la zona di carica spaziale permettendo il flusso di portatori maggioritari e quindi una corrente macroscopica.

La caratteristica della giunzione PN sarà:



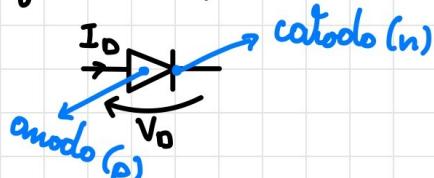
Ciò che caratterizza è quella del diodo. Essa è di tipo esponenziale e segue la seguente legge:

$$I = I_s (e^{V_D/V_{TH}} - 1) \quad V_{TH} = \frac{kT}{q} \xrightarrow{\text{c. di Boltzmann}}$$

2 IL DIODO

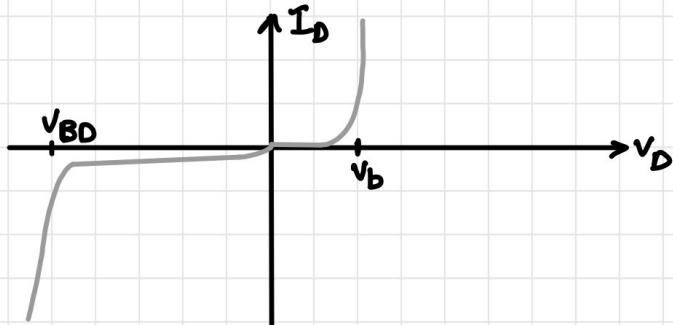
2.1 La caratteristica del diodo

Il diodo ha la seguente rappresentazione circuitale:



La potenza dissipata sarà $P = V_D I_D$. Il diodo ideale si comporta come visto precedentemente. Studiando la

caratteristica di un diodo reale, si vedrà il fenomeno del breakdown:



Per una tensione minore di V_{BD} ($\approx 10^{\circ} \text{ V}$) nel diodo, scorrerà una corrente molto elevata e verrà dissipata molta potenza. Da solio si viene raggiunto il breakdown, il diodo subirà danni irreversibili. Il diodo Zener, invece, è stato ingegnerizzato per lavorare anche in condizioni di breakdown.

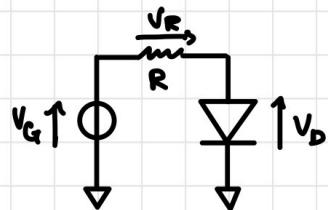
2.2 Tipi di diodi

1. LED: acronimo di light-emitting diode.
2. FOTODIODO: consideriamo un diodo polarizzato in inverso. Se riusciamo a far assorbire la radiazione luminosa alla zona di cerca spaziale, l'energia trasmessa può essere sufficiente per permettere un flusso di portatori maggioritari proporzionale all'intensità della luce.

2.3 Il diodo nei circuiti

Osservando la caratteristica di un diodo, si potrebbe pensare che per alimentarlo basterebbe collegare un generatore di tensione in parallelo. Il problema è che un generatore ideale di tensione sarebbe capace di fornire una corrente infinita: la caratteristica esponenziale del diodo fa sì che anche per valori poco più grandi di V_b essa riduca una corrente elevata, dissipando

molti potenze. Abbiamo, quindi, bisogno di un elemento che limiti la corrente in entrata: una resistenza.



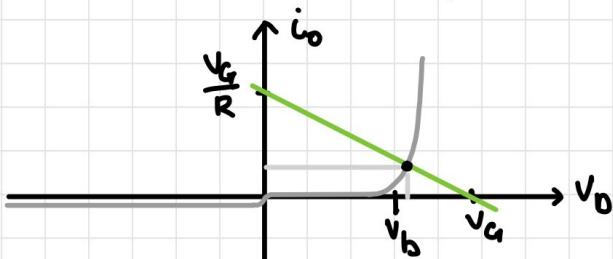
$$V_{R,\text{MAX}} = V_G \Rightarrow I_{R,\text{MAX}} = \frac{V_G}{R}$$

$$\Rightarrow I_{D,\text{MAX}} = I_{R,\text{MAX}}$$

Calcoliamo ora le correnti che scorre all'interno del diodo:

$$\begin{cases} I_D = I_S (e^{\frac{V_D}{V_{TH}}} - 1) \\ V_D = V_G - V_R = V_G - I_D \cdot R \end{cases} \rightarrow I_D = I_S (e^{\frac{V_G - I_D \cdot R}{V_{TH}}} - 1)$$

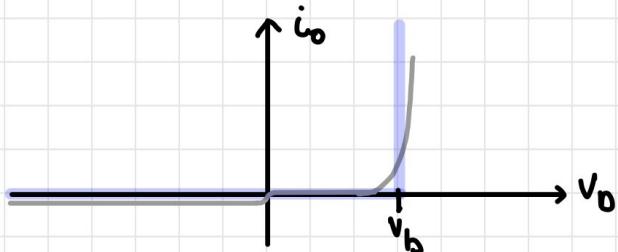
L'equazione risultante è trascendente e può essere risolta solo numericamente tramite l'aiuto di un calcolatore. Un'alternativa è usare il metodo grafico:



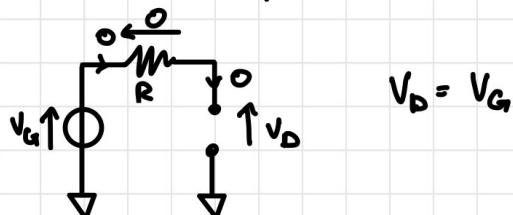
L'approccio grafico, però, non è molto pratico poiché il tracciamento dei grafici è difficile.

Ripartiamo da zero. Analizziamo la caratteristica: c'è un modo per semplificarla? Semplificandola come due rette, si ottiene una caratteristica simile all'unione tra un circuito aperto e un generatore di tensione:

1. per $V_D < V_b = 0.7 \text{ V}$ $I_D = 0$ (circuiti aperti)
2. per $V_D \approx 0.7$ I_D qualunque purché positiva (generatore)

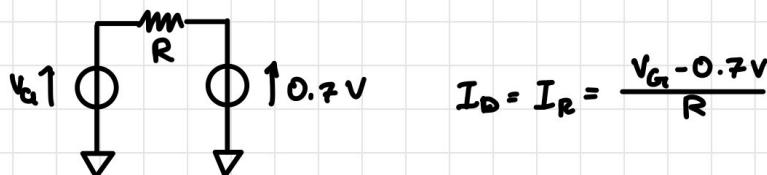


Riprendiamo il circuito. Spostiamoci da il diodo sia spento. Possiamo effettuare la seguente semplificazione:



$$V_D = V_G$$

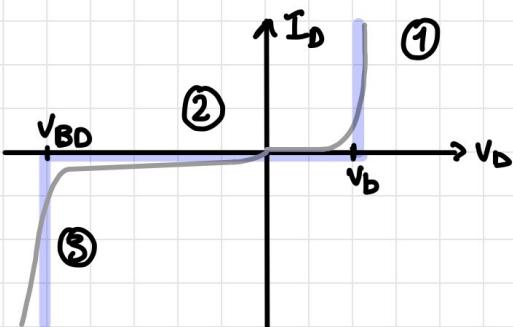
Verifichiamo, quindi, la nostra ipotesi. Se $V_D \geq 0.7\text{V}$, la nostra ipotesi non è verificata e possiamo con certezza di che il diodo è acceso. Se il diodo è acceso, il nostro circuito diventa:



$$I_D = I_R = \frac{V_G - 0.7\text{V}}{R}$$

2.4 Il diodo zener nei circuiti

Nel caso del diodo zener, aggiungiamo una nuova zona di funzionamento

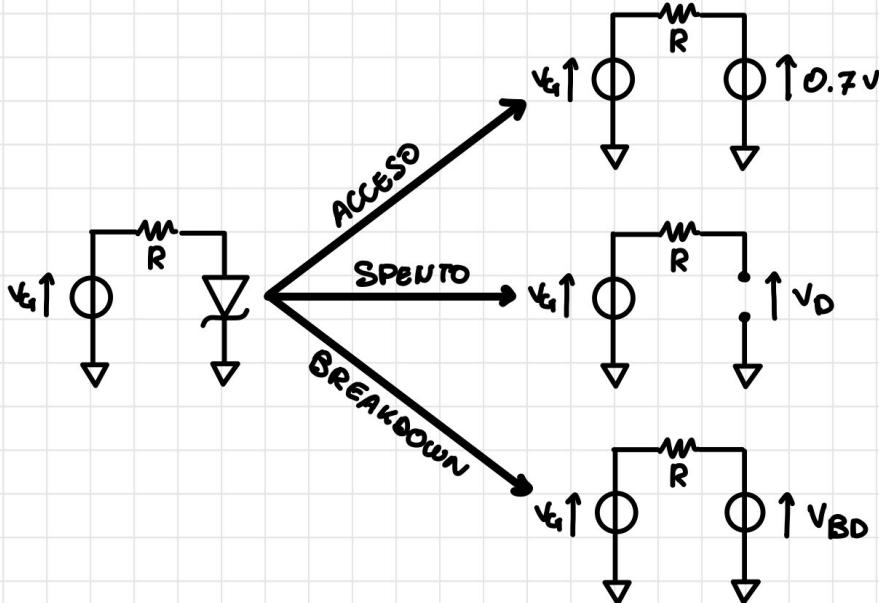


1. $V_D = 0.7\text{V}$ $I_D > 0$
 \hookrightarrow gen. tensione da 0.2V

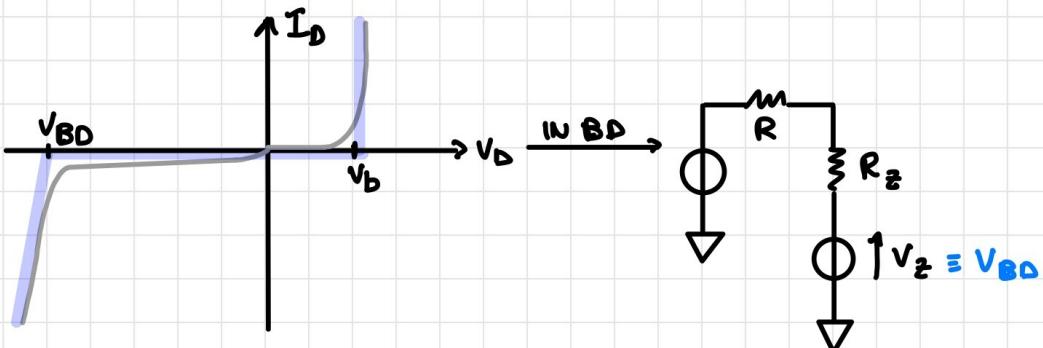
2. $V_{BD} < V_D < 0.7\text{V}$ $I_D = 0$
 \hookrightarrow C.O.

3. $V_D = V_{BD}$ $I_D < 0$
 \hookrightarrow gen. tensione da V_{BD}

Nel circuito precedente avremo:



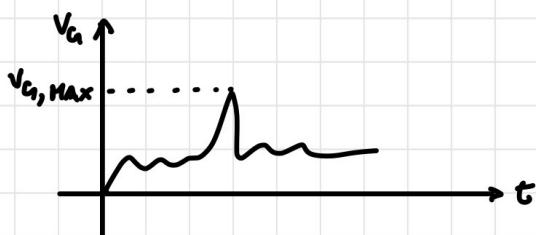
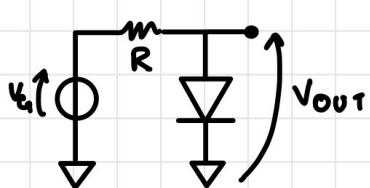
In breakdown, possiamo osservare che la curva è più correttamente approssimabile con un retta obliqua:



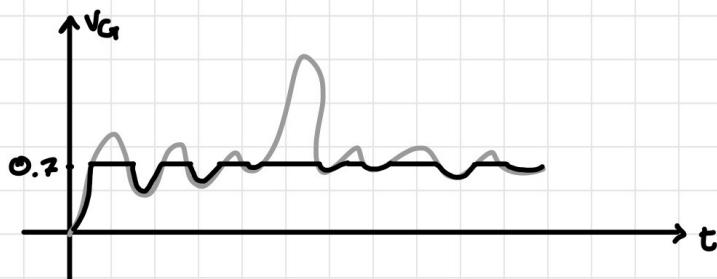
La resistenza di zener R_z è nell'ordine $[10^0; 10^1] \Omega$ e verrà trascurata, a meno che non specificato altrimenti.

2.5 Circuiti di clamping

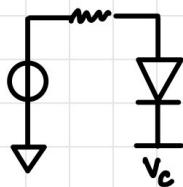
Analizzeremo ora il comportamento del diodo a fronte di un segnale temporale variabile. Considereremo il solo circuito.



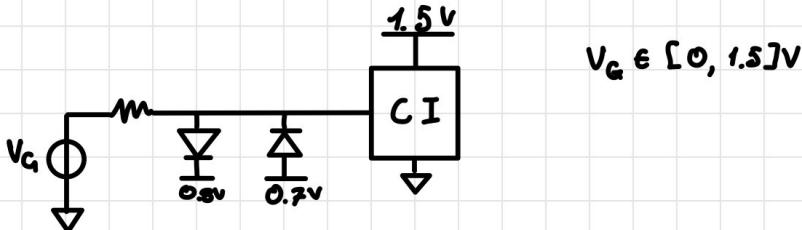
Se il diodo è acceso, avremo che $V_{OUT} = V_D = 0.7 \text{ V}$ mentre se è spento $I_D = 0$ e quindi $V_{OUT} = V_G$. Ciò si traduce nel seguente andamento:



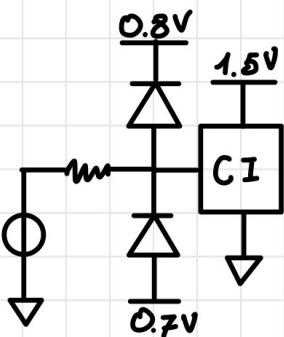
Questo fenomeno è detto **clamping** e il circuito prende il nome di circuito di clamping. Il clamping potrebbe essere un effetto indesiderato. Per eliminarlo, una semplice soluzione è aggiungere una tensione al catodo del diodo:



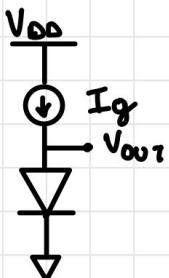
Questa funzione di clamping può essere utilizzata per proteggere alcuni circuiti sensibili:



Il circuito sopra è alternativamente scritto come:



2.6 Quando l'approssimazione non basta: termometro
Si consideri il seguente circuito. Si dimostra facilmente
che il diodo è acceso per ogni valore di Ig.

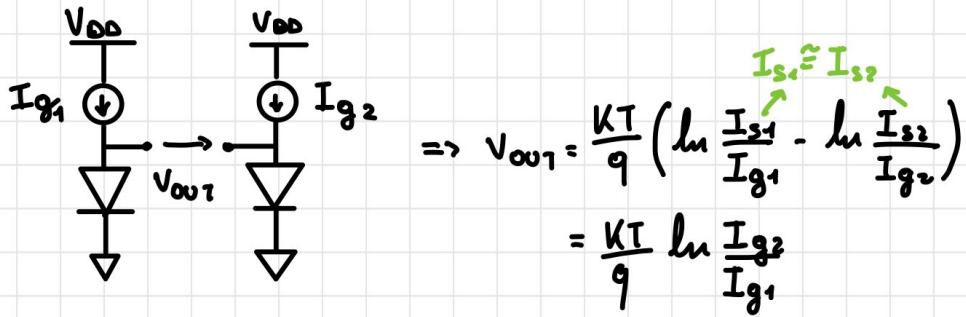


Usando il modello approssimato otteniamo che
 $V_{OOT} = V_D = 0.7\text{V}$. Proviamo a calcolare V_{OOT} usando il modello
completo:

$$\begin{cases} I_D = I_s (e^{V_D/V_{TH}} - 1) \rightarrow V_D = V_{TH} \ln \frac{I_D + I_s}{I_s} = \frac{kT}{q} \ln \frac{I_D}{I_s} \\ I_D = Ig \end{cases}$$

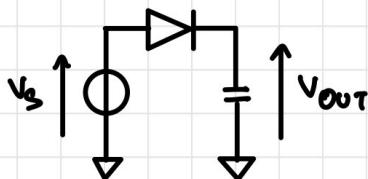
\uparrow
 $I_g \gg I_s$

Abbiamo così ottenuto un sensore per la temperatura! Per
migliorare la qualità del nostro sensore, possiamo
modificare il circuito per rimuovere I_s , anch'essa
dipendente dalla temperatura:



2.7 Circuiti notevoli a base di diodi

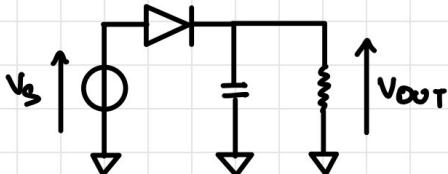
2.7.1 Mantenitore di picco



Supponiamo condensatore inizialmente scarico ($V_C(t) = 0V$ $t < 0s$). Quando $V_S > 0.7V$, il diodo si accende e $V_{out} = V_S - V_D = V_S - 0.7V$.



Subito dopo il picco di V_S il mantice la carica e poiché V_S decresce, il diodo si spegne. Poiché il diodo è spento, il condensatore non può scaricarsi, mantenendo costante V_{out} . Ciò avverrà finché V_S non supererà di nuovo il precedente massimo.



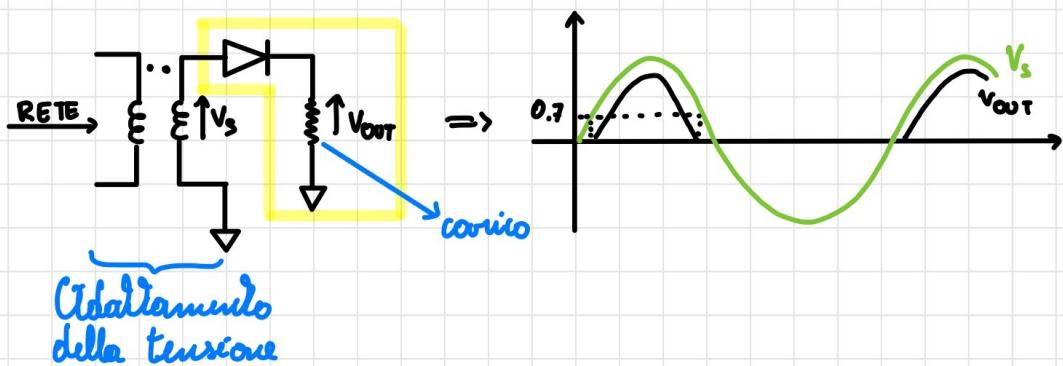
Questa variante del circuito permette al condensatore di scaricarsi. Dimensionando $T = RC$ possiamo dimensionare la velocità di scaricamento del condensatore. Ciò ci permette

velocità di scaricamento del condensatore. Ciò ci permette

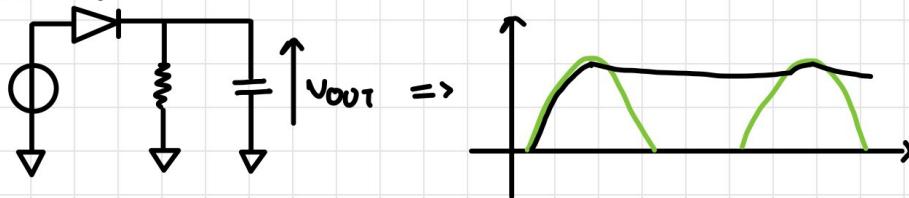


di ripetere a seguire V_{out} appena $V_s - V_{out} > 0.7 \text{ V}$

2.7.2 Alimentatori DC



La soluzione evidenziata è chiamata "raddrizzatore a singola semionda". Per mantenere costante V_{out} , possiamo aggiungere un condensatore:



Il scaricamento del condensatore può essere reso molto lento se $RC \gg 0$ e ottenere una corrente quasi continua che fluisce in modo infinitesimo. Questa flusione è detta ripple e può essere quantificata:

$$\text{ripple} = \Delta V_{out} / V_{non}$$

$$V_{OUT} = V_{NOM} e^{-\frac{t}{\tau}} \rightarrow \frac{dV_{OUT}}{dt} \Big|_{t=0} = -\frac{V_{NOM}}{\tau}$$

$$\Rightarrow V_{OUT} \approx V_{NOM} - V_{NOM} \frac{t}{\tau}$$

$$\Rightarrow |\Delta V_{OUT}| \approx V_{NOM} \frac{\Delta t}{\tau}$$

$$\Rightarrow \Delta t \text{ pari al periodo} \Rightarrow \Delta V_{OUT} = V_{NOM} \frac{\tau}{\tau}$$

Analizziamo ora la corrente che attraversa il condensatore:



$$I_c = C \cdot \frac{dV_{OUT}}{dt}$$

Il primo dei picchi di corrente, detto corrente di punta, può essere molto elevato:

$$V_2(t) = 20,7 \text{ V} \cdot \sin(2\pi \cdot 50 \text{ Hz} \cdot t)$$

$$V_{OUT} = 20 \text{ V} \cdot \sin(2\pi \cdot 50 \text{ Hz} \cdot t)$$

$$\frac{dV_{OUT}}{dt} = 20 \text{ V} \cdot 2\pi \cdot 50 \text{ Hz} \cdot \cos(2\pi \cdot 50 \text{ Hz} \cdot t)$$

$$\Rightarrow I_c^{MAX} = C \cdot 20 \text{ V} \cdot 2\pi \cdot 50 \text{ Hz} = \\ = 40 \mu\text{F} \cdot 20 \text{ V} \cdot 2\pi \cdot 50 \text{ Hz} = 251 \text{ mA}$$

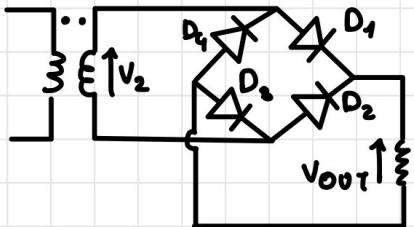
↳ valore di C per ottenere ripile del 5% con carico di $10 \text{ k}\Omega$

$$I_c^{MAX} = C |V_{OUT}| 2\pi f$$

La corrente che attraversa il carico è invece inversibile (nel caso sopra sarebbe 2 mA) rispetto a I_c . Il nostro diodo deve essere capace di portare questa corrente tanto alta quanto vogliamo avere basso il ripile.

Il diodo, inoltre, deve tollerare la tensione totale in inversa di circa il doppio della nominale senza

andare in breakdown.



Collegiamo ora al trasformatore, invece di un singolo diodo, un ponte di diodi. Abbiamo così ottenuto un raddrizzatore a doppia semionda. Qualifichiamo lo stato dei vari diodi:

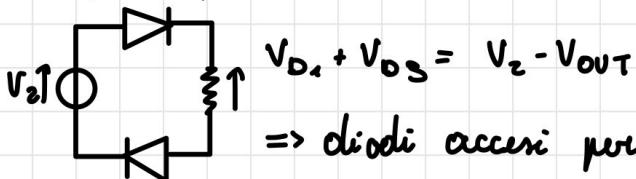
- V_2 positivo:

D_1 può accendersi

D_2 spento poiché tensione minima applicata all'anodo

D_3 può accendersi

D_4 spento poiché tensione massima applicata al catodo

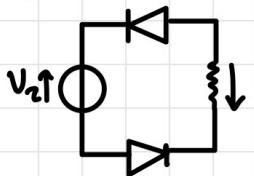


$$V_{D_1} + V_{D_3} = V_2 - V_{OUT}$$

\Rightarrow diodi accesi per $V_2 \geq 1,4\text{ V}$

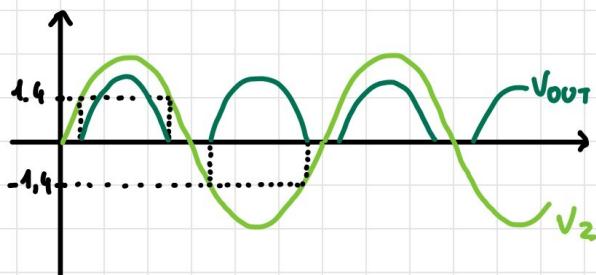
- V_2 negativo:

opposto: D_1-D_3 spenti, D_2-D_4 possono essere accesi



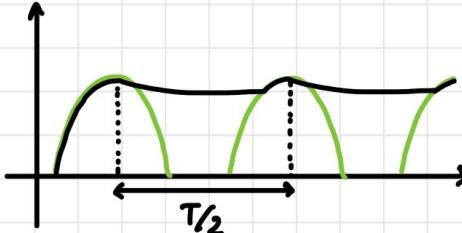
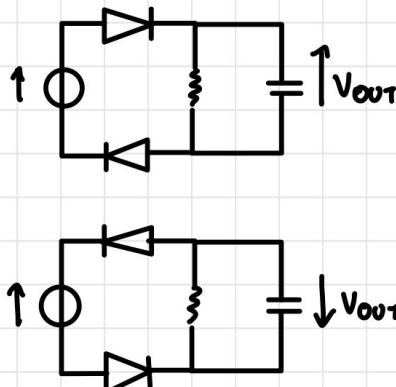
$$V_{D_2} + V_{D_4} = V_2 - V_{OUT}$$

\Rightarrow diodi accesi per $V_2 \leq -1,4\text{ V}$



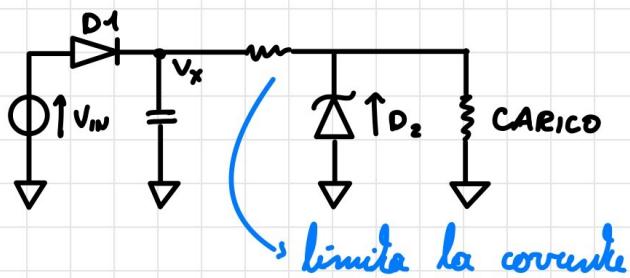
Per mantenere la tensione costante, aggiungiamo un

condensatore come nel precedente caso.



Il principale vantaggio del raddrizzatore a doppia emersione è che sarà necessaria metà della capacità per ottenere lo stesso ripple poiché lo scaricamento avviene solo per metà periodo.

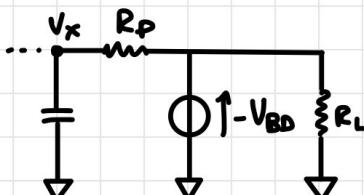
Un modo per raddrizzare ulteriormente il nostro segnale è collegare un diodo zener all'uscita:



Se lo zener è acceso, allora $V_{out} = -V_{BD}$.

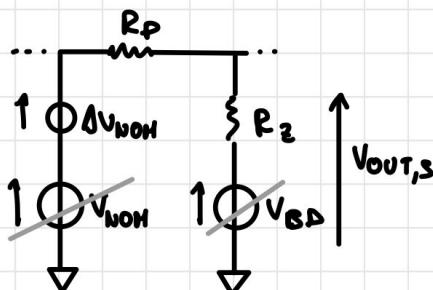
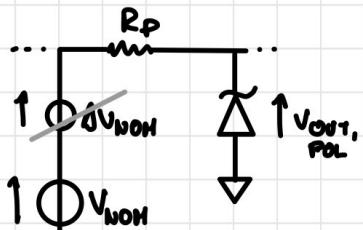
Cosa

succede con D1 spento e D2 acceso?



Viene imposta $-V_{BD}$ sul carico, quindi se si garantisce che lo zener sia sempre acceso, ovvero che $V_{x,non} + \Delta V_x > |V_{BD}|$, si i ripulisce il ripple.

Il diodo zener, però, non ha una correttoristica verticale in breakdown: bisogna aggiungere una resistenza, R_Z , in serie al diodo. Eseguiamo una analisi "di picco segnale":



- Calcoliamo il punto di carico sappiendo il segnale:

$$V_{OUT, POL} = -V_{BD}$$

- Calcoliamo l'effetto solo del segnale sul circuito lineare intorno nell'interno del punto di lavoro. Supponiamo le seguenti costanti:

$$V_{OUT, S} = \Delta V \cdot \frac{R_Z}{R_P + R_Z}$$

Ottieniamo quindi che:

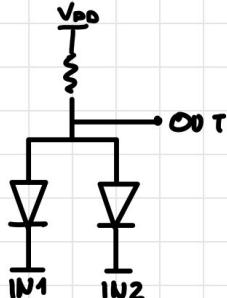
$$V_{OUT} = V_{OUT, POL} + V_{OUT, S} = -V_{BD} + \Delta V \cdot \frac{R_Z}{R_Z + R_P}$$

Viene quindi introdotto un ripple secondario dovuto alla variazione di zener.

3 IL MOSFET

3.1 Il NMOS

Proviamo a realizzare una porta AND con i diodi:

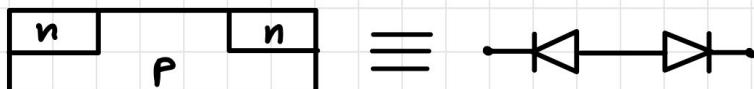


$$\begin{aligned} V_{DD} &= 5 \text{ V} \\ \text{IN}_1, \text{IN}_2 &\in \{0 \text{ V}, 5 \text{ V}\} \end{aligned}$$

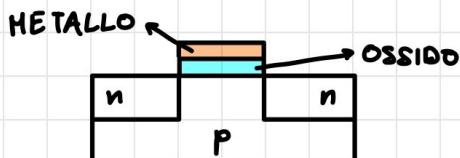
IN 1	IN 2	OUT
0	0	0.7 V
0	1	0.7 V
1	0	0.7 V
1	1	5 V

Noticiamo subito che il diodo non è il miglior componente per lo scopo: la regolazione della corrente va delegata ad un resistore e abbiamo inoltre una tensione residua di 0.7V. Il componente ideale per implementare logica binaria è un interruttore. Proveremo a realizzarne uno.

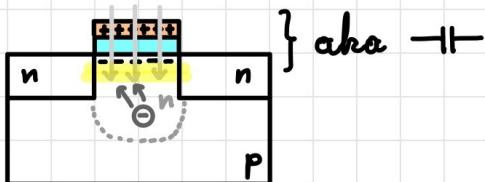
Consideriamo il nostro silicio drogato nel seguente modo:



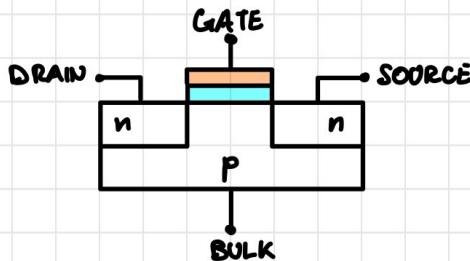
Il circuito così creato si comporta come un circuito aperto (escludendo il breakdown). Aggiungiamo al nostro silicio uno strato di ossido e uno di metallo in questa configurazione



Andiamo ad accumulare carica positiva sul metallo:



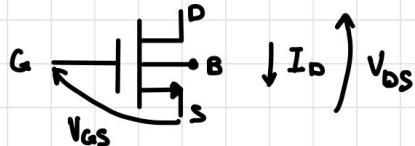
Una volta raggiunta una tensione sufficiente da accumulare abbastanza elettroni, si verrà a formare un canale di drogaggio n. Questo canale è modellabile con una resistenza. Un dispositivo così strutturato avrà 4 terminali: gate, source, drain e bulk. Abbiamo realizzato lo N-MOS o MOS a canale n. Il MOS è un interruttore che ha 2 modalità di funzionamento.



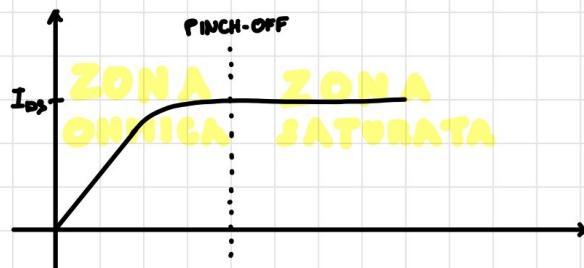
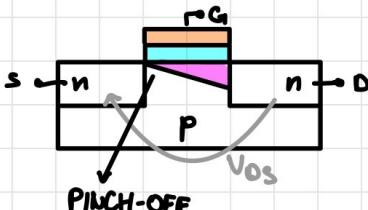
1. Se non c'è il canale, non scorre corrente: C.A.
2. Se c'è canale tra drain e source, scorre corrente: C.C.

Per commutare tra i due stati bisogna fornire una tensione sufficiente al gate. Lo NMOS a 4 canali è simmetrico, a meno che non si abbia un C.C. tra bulk e source. Nella corri creata un componente a 3 terminali.

Per accendere un MOS bisogna fare in che la tensione fra source e gate V_{GS} sia maggiore di una certa V_T tensione di soglia.



Se c'è canale, scorrerà una corrente I_D . La I_D varia in base alla V_{DS} . All'aumentare di V_{DS} , si arresta sempre di più il canale lato drain finché non s'interruppe (pinch-off). Nonostante il canale sia interrotto, la ddp sposta abbondanza elettroni con abbastanza velocità da fare il salto tra le giunzioni e mantenere la corrente.

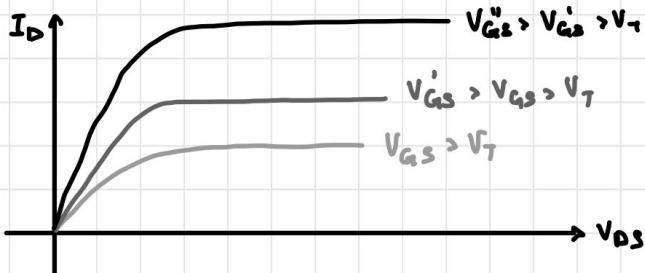


Il pinch-off avviene quando $V_{DS} = V_{GS} - V_T$. Eseguendo i calcoli otteniamo:

$$V_{DS} = V_{GS} - V_T$$

$$V_D - V_S = V_G - V_S - V_T \rightarrow V_D = V_G - V_T \Rightarrow V_{GD} = V_T$$

Se dopo il pinch-off aumentiamo ancora V_{DS} , il canale sotto drain si chiuderà ma scorrerà ancora una corrente indipendente da V_{DS} . La curva caratteristica dipende dalla V_{GS} :



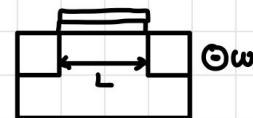
3.1.1 La zona ohmica e di saturazione

In zona ohmica la I_D è descritta dalla seguente legge:

capacità per unità d'area

$$I_D = \frac{1}{2} N_n C_{ox} \frac{w}{L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

$\downarrow K_n$
mobilità delle



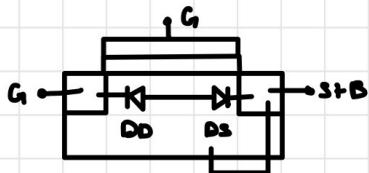
In zona di saturazione, la corrente è costante ed è pari alla corrente al pinch-off:

$$I_D = K_n [2(V_{GS} - V_T)(V_{GS} - V_T) - (V_{GS} - V_T)^2] \\ = K_n (V_{GS} - V_T)^2$$

3.2 MOS a tre terminali

Nel MOS a tre terminali source e bulk sono voltaggiati.

Analizziamo la situazione:



Il diodo D_S sarà sicuramente spento.
Per garantire che DO sia spento, obbligatoriamente si ha $V_D \geq V_S$. Per avere questa garanzia si polarizza $S+B$ alla tensione più bassa del circuito. La corrente, quindi, entra nel drain ed esce dal source.

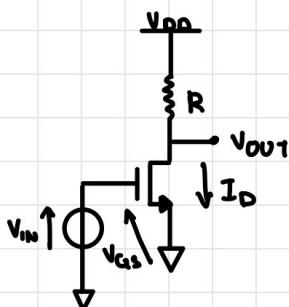
3.3 MOS a quattro terminali

Eseguendo lo stesso analisi come nel caso del MOS a 3 terminali, notiamo che per evitare di accendere in diretta le giunzioni si pone il bulk alla tensione più bassa del circuito. Quando il bulk è indipendente il MOS è simmetrico e drain/source dipenderà dalla direzione della corrente.

3.4 Primo circuito con NMOS: l'invertor pseudo NMOS

Il circuito più semplice realizzabile con un NMOS è il seguente.

La prima cosa che verifichiamo è se il MOS sia acceso o no.



1. Se il MOS è spento ($V_{GS} < V_T$) è facile verificare che $V_{out} = V_{DD}$.
2. Se il MOS è acceso ($V_{GS} > V_T$), la V_{out} è pari alla tensione di drain.

Il valore della tensione di drain varia in base all'essere in saturazione o no. Perciò, come nel caso del diodo, facciamo un'ipotesi e calcoliamo I_D .

$$\text{MOS: } \begin{cases} K_n = 1 \text{ mA/V}^2 \\ V_T = 1 \text{ V} \end{cases}$$

se $V_{in} = 5 \text{ V} \rightarrow V_{GS} = V_{in} \rightarrow V_{GS} > V_T \Rightarrow \text{MOS ACCESO!}$

Analizziamo MOS saturato:

$$I_D = K_N (V_{GS} - V_T)^2 = \dots = 16 \text{ mA} \rightarrow V_R = R I_D = \dots = 16 \text{ V}$$

$$\rightarrow V_D = V_{GS} - V_{DS} = 5 \text{ V} - 16 \text{ V} = -11 \text{ V} !!$$

da nostra ipotesi non è verificata: il MOS è in zona ohmica:

$$\begin{cases} I_D = K_N [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \\ V_D = V_{DS} - I_D \cdot R \end{cases}$$

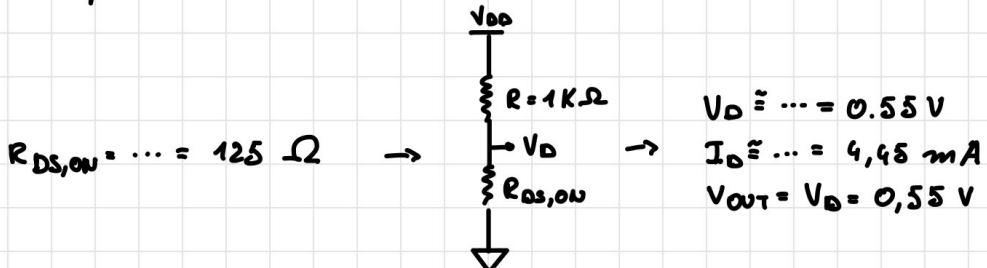
Il sistema sopra ci dà la soluzione esatta. In alternativo, possiamo usare un'approssimazione. Se per H_p consideriamo V_{DS} piccolo, possiamo linearizzare I_D :

$$\frac{\partial I_D}{\partial V_{DS}} = K_N [2(V_{GS} - V_T) - 2V_{DS}]$$

$$\rightarrow \frac{\partial I}{\partial V_{DS}}(0) = K_N [2(V_{GS} - V_T)] = 1/R_{DS,ON} [S]$$

$$\Rightarrow R_{DS,ON} = 1/2 K_N (V_{GS} - V_T)$$

Nel caso precedente ottieniamo:



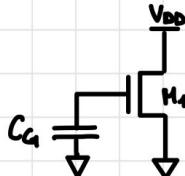
La peculiarità di questo circuito è che per $V_{IN} = 0 \text{ V}$, $V_{OUT} = 5 \text{ V}$ mentre per $V_{IN} = 5 \text{ V}$, $V_{OUT} = 0,55 \text{ V}$. Abbiamo così realizzato un inverter (NOT logico).

3.4.1 Limiti dell'inverter pseudo NMOS

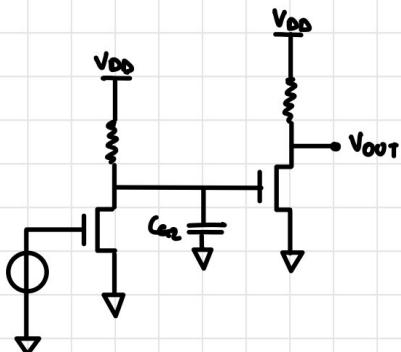
Uno dei problemi con l'inverter pseudo NMOS è che la tensione non si annullerà mai, ma sarà circa 0 V. C'è finché V_{DD}

ria nulla, dovremmo avere $R_{DS,ON} \rightarrow +\infty$. Considerare la resistenza e problematico:

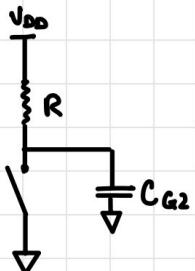
1. Una resistenza grossa occupa molto spazio
2. Per come è progettato il NMOS, c'è una capacità intrinseca che impedisce una commutazione istantanea. Possiamo aggiungere questo dettaglio modellizzando il MOS reale come:



Considerando 2 MOS reali, otteniamo il seguente circuito:



Quando V_{DD} commuta tra $0 \rightarrow 1$, sappiamo gli NMOS si chiudono, ottenendo:



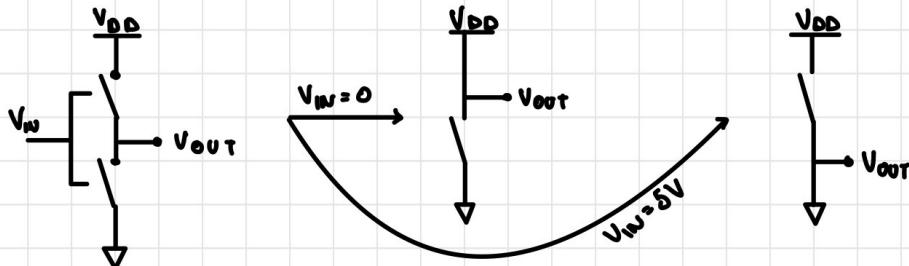
→ circuito RC con
 $T = R C_{G2}$

Ottieniamo anche un problema di velocità di risposta.

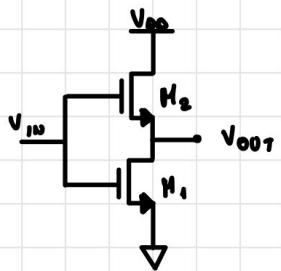
- 3) Con $V_{IN} = V_{DD}$, occorrerà una corrente verso massa che verrà dissipata da R e $R_{DS,ON}$. Questa è una dissipazione statica di potenza.

3.5 PHOS e inverter CMOS

da soluzione ai problemi dell'inverter pseudo NMOS è l'utilizzo di due inverter.

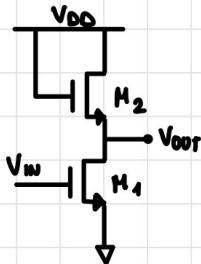


Proviamo ad utilizzare gli NMOS:



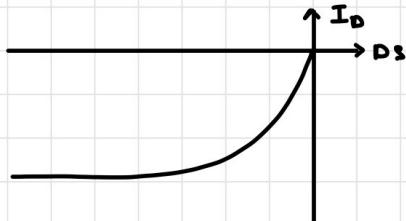
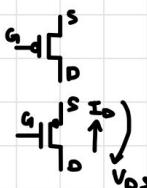
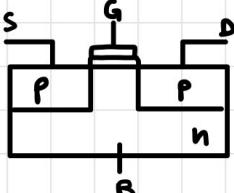
1. $V_{IN} = 0V$; M₁ è spento; M₂ è spento $\rightarrow V_{OUT} = V_{DD}$
2. $V_{IN} = V_{DD}$; M₁ è acceso; affinché $V_{OUT} \rightarrow 0$ anche M₂ deve essere acceso
↓
dissipazione statica!

Non abbiamo risolto il problema! Un'altra possibilità è usare sempre 2 NMOS ma in una diversa configurazione:



1. $V_{IN} = 0V$; M₁ è spento; M₂ è spento $\rightarrow V_{OUT} = V_{DD}$
2. $V_{IN} = V_{DD}$; M₁ è acceso; affinché $V_{OUT} \rightarrow 0$ anche M₂ deve essere acceso
↓
dissipazione statica!

Neanche così rimediamo alla dissipazione. Dobbiamo progettare un nuovo componente che si comporti in modo duale al NMOS. Introduciamo il PHOS o transistor:



Per accendere un PMOS, bisogna fornire una tensione negativa. La tensione di soglia sarà, quindi, negativa! Il bulk in questo caso, deve essere polarizzato alla tensione più alta del circuito. Di conseguenza la tensione di sorgente sarà maggiore. La corrente I_D sarà sempre negativa. Il PMOS è in saturazione se $V_{DS} < V_{GS} - V_T$ ($V_{GD} > V_T$). Le formule di I_D saranno:

$$I_D = \frac{K_p}{2} C_{ox} \frac{W}{L} [(2V_{GS} - V_T) V_{DS} - V_{DS}^2]$$

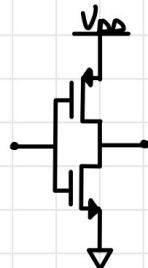
: SATURAZIONE

$$I_D = K_p (V_{GS} - V_T)^2$$

Soltanmente $K_p = \frac{1}{2} \mu_n$. Quindi per creare un PMOS con stessa costante di un NMOS si interviene sulla lunghezza del PMOS.

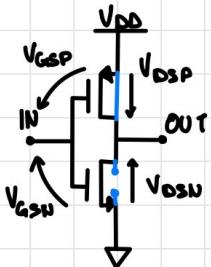
Il comportamento del PMOS è duale a quello dello NMOS. La tecnologia CMOS prende il nome dalla complementarietà di PMOS e NMOS (Complementary - MOS).

Possiamo quindi creare il nostro invertitore con 2 transistori usando il nostro nuovo componente.

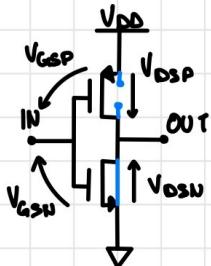


3.5.1 Chiarisci statica dell'invertor CMOS

Consideriamo il nostro invertor CMOS. Studieremo nel dettaglio il comportamento nel caso di due livelli: $0V(0)$ e $V_{DD}(1)$.

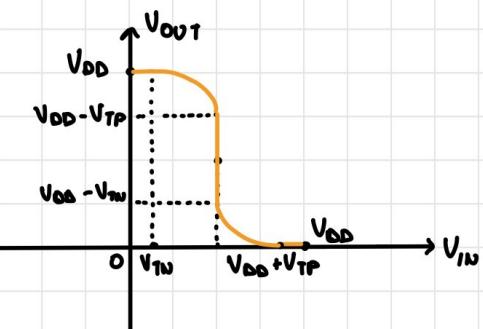


Se $IN = 0V$, V_{GSN} sarà nulla rendendo aperto lo NMOS. La V_{GSP} sarà pari a $-V_{DD}$, quindi se $V_{DD} > |V_T|$ il PMOS sarà acceso. Ponendosi in queste condizioni, possiamo dire che il PMOS è aperto. Poiché il PMOS vede un circuito aperto, non c'è corrente nulla, cosa possibile solo se $V_{DSP} = 0V$. Ciò significa che $OUT = V_{DD}$. Il risultato è congruente con le nostre aspettative.



Se $V_{IN} = V_{DD}$, avremo che $V_{GSP} = 0V$ e il PMOS sarà spento. La V_{GSN} sarà pari a V_{DD} . Analogamente consideriamo $V_{DD} > V_{TN}$ e il NMOS acceso. Chiedi in questo caso, nel NMOS non scorre corrente poiché vede un circuito aperto, ma ciò è possibile solo per $V_{DSN} = 0V$. Avremo allora che $V_{OUT} = 0V$ come previsto.

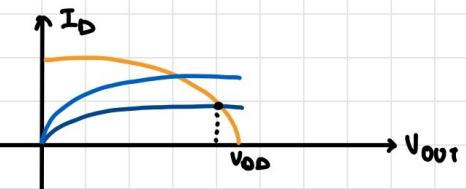
Qual è il range massimo delle tensioni che possiamo usare come livello basso e alto? Tracciamo la caratteristica statica (a regime) dell'inverter.



Per V_{IN} leggermente maggiore di $0V$, la $V_{GSN} = V_{IN}$ ma minore di $V_{TN} \approx 1mV$. D'altra parte la $V_{GSP} \approx -V_{DD} < V_{TP}$. Ciò significa PHOS acceso e NMOS spento. Questa condizione si mantiene finché $V_{IN} < V_{TN}$. In maniera simile si comporterà nell'intorno di V_{DD} .

Per $V_{IN} > V_{TN}$, significa che il NMOS è acceso, ma $V_{IN} < V_{DD} + V_{TP}$ quindi anche il PMOS è acceso. Il NMOS porterà poco corrente perché è prossimo alla soglia; il PMOS invece ne porterà di più. Creando l'intersezione tra le due caratteristiche sul piano V_{OUT} - I_D troviamo che il punto di lavoro sarà leggermente minore di V_{DD} .

Inoltre il PMOS sarà saturato il NMOS sarà in zona ohmica. Considerando la V_{IN} , il punto di lavoro corrisponde. Esisterebbe una V_{IN} tale che entrambi i MOS siano in saturazione?



$$I_{DN} = K_N (V_{GSN} - V_{TN})^2 \rightarrow I_{DN} = I_{DP} \rightarrow K_N (V_{GSN} - V_{TN})^2 = |K_P| (V_{GSP} - V_{TP})^2$$

$$-I_{DP} = |K_P| (V_{GSP} - V_{TP})^2$$

$$\rightarrow K_N (V_{IN} - V_{TN})^2 = |K_P| (V_{IN} - V_{DD} - V_{TP})^2$$

$$\xrightarrow{K_N = |K_P|} (V_{IN} - V_{TN})^2 = (V_{IN} - V_{DD} - V_{TP})^2$$

$$\xrightarrow{|V_{TN}| = |V_{TP}|} \sqrt{V_{IN} - V_{TN}} = \sqrt{V_{IN} - V_{DD} - V_{TP}} \times$$

$$\xrightarrow{\text{HOS simmetrico}} V_{IN} - \sqrt{V_{IN}} = -V_{IN} + V_{DD} + \sqrt{V_{TP}} \rightarrow V_{IN} = V_{DD}/2$$

Con $V_{IN} = V_{DD}/2$ entrambi i MOS saturano se per entrambi è verificata la condizione di saturazione:

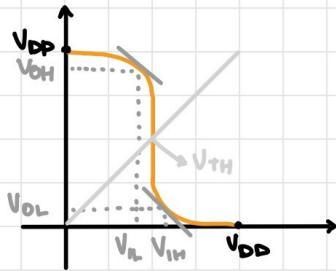
$$V_{GDN} < V_{TN} \rightarrow V_{DD}/2 - V_{OUT} < V_{TN} \rightarrow V_{OUT} > V_{DD}/2 - V_{TN}$$

$$V_{GOP} > V_{TP} \rightarrow V_{DD}/2 - V_{OUT} > V_{TP} \rightarrow V_{OUT} < V_{DD}/2 - V_{TP}$$

Si può eseguire un'analisi analoga per $V_{IN} < V_{DD}/2 + V_{TP}$.

3.5.2 Proprietà dell'inverter CMOS

Abbiamo visto dalla caratteristica dell'inverter CMOS che esiste un range di valori per cui $V_{OUT} \approx V_{DD}$ o $V_{OUT} \approx 0V$. Questi valori sono inclusi nell'intervalle $[0; V_{IL}]$ e $[V_{IH}; V_{DD}]$ rispettivamente. I punti V_{IL} e V_{IH} sono due particolari punti della caratteristica dove la pendenza del grafico è -1 . Ciò significa che connaîtando in calcolo tali inverter, la V_{OUT} tenderà a V_{DD} o $0V$.



Gli intervalli $[V_{IH}; V_{IH}]$ e $[V_{IL}; V_{IL}]$ sono detti margini di rumore.

Definiamo soglia logica V_{TH} quella V_{IN} tale che $V_{IN} = V_{OUT}$. Nel caso di MOS simmetrici (quelli analizzati da noi) $V_{TH} = V_{DD}/2$. La V_{TH} si può ricavare analizzando la struttura

dell'inverter. Supponiamo $V_{TH} > V_{TN}$ e $V_{TH} < V_{DD} + V_{TP}$, ossia che entrambi i MOS sono accesi. Per $V_{TH} = V_{IN} = V_{OUT}$ entrambi i MOS sono in saturazione, quindi:

$$K_N (V_{TH} - V_{TN})^2 = |K_P| (V_{TH} - V_{DD} - V_{TP})^2$$

$$\xrightarrow{\text{HOS simm.}} V_{TH} = V_{DD}/2$$

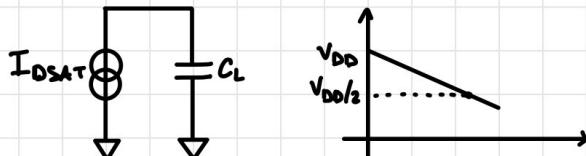
3.5.3 Studiare dinamica dell'inverter CMOS

Studiamo ora il tempo di commutazione del nostro inverter. Definiamo tempo di commutazione il tempo impiegato per passare da regime a nudo dinamico ($V_{DD}/2$).

Doviamo un ingresso a gradino ideale. La porta logica avrà una capacità al carico dovuta alla capacità di gate di un eventuale altro inverter collegato in cascata. Per $t < 0$, il condensatore è a regime ed è sostituibile con un circuito aperto. Diamo nel caso statico con $IN = \phi V$. Per $t = 0^-$, $V_{OUT} = V_{DD} = V_C$ per continuità della tensione nel condensatore. In $t = 0^+$ il PMOS è spento e il NMOS acceso: il condensatore si scarica poiché il NMOS porta corrente ($V_{DSN} = V_C = V_{DD} \neq 0$). Man mano che il condensatore si scarica, $V_C \rightarrow 0V$ come anche

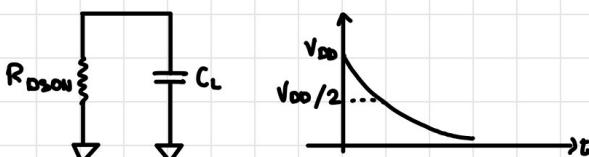
$V_{DSN} \rightarrow 0V$, interrompendo la corrente di scaricamento ovvero con MOS saturo, esso sarà lineare, altrimenti non lineare. Dobbiamo, quindi, effettuare un calcolo approssimato. Possiamo usare 3 approssimazioni:

1. Approssimiamo la transizione come se avvenisse tutta in saturazione (soltostima). La scarica è lineare poiché il mos è equivalente ad un generatore di corrente.



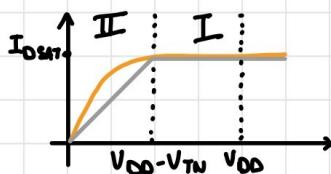
$$\rightarrow t_p = \frac{C_L}{I_{DSAT}} \cdot \frac{V_{DD}}{2}$$

2. Approssimiamo la transizione come se avvenisse tutta in zona ohmica. Consideriamo il mos equivalente ad una resistenza di valore R_DSON (soltostima).



$$\begin{aligned} \tau &= C_L \cdot R_{DSON}, \quad V_{OUT} = V_{DD} e^{-\frac{t}{\tau}} \\ \rightarrow t_p &= V_{DD}^{-1} (V_{DD}/2) - V_{DD}^{-1} (V_{DD}) \end{aligned}$$

3. Un'approssimazione mista: la somma di due contributi, uno in fase di saturazione e uno in fase ohmica.



$$\text{lineare} \rightarrow t_{SAT} = \frac{C_L}{I_{DSAT} \cdot \Delta V_{SAT}} \cdot \frac{V_{DD} - (V_{GS} - V_T)}{2}$$

$$RC \text{ con } R_{eq} = \frac{V_{GS} - V_T}{I_{DSAT}}$$

$$\hookrightarrow T = C \cdot R_{eq}, V_{OUT} = (V_{GS} - V_T) e^{-t/T}$$

$$\hookrightarrow t_R = V_{OUT}^{-1} (V_{GS} - V_T) - V_{OUT}^{-1} (V_{DD}/2)$$

La forza di quest'ultima approssimazione è che viene effettuata una sovrastima del tempo.

Studiamo ora la potenza dissipata. Possiamo osservare 3 tipi di potenza: statica (a regime), dinamica (durante una commutazione) e di cross-conduzione.

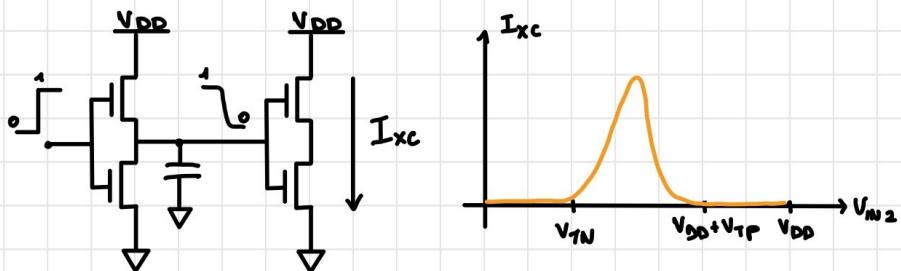
1. La potenza statica con $V_{IN} \in \{0, V_{DD}\}$ è nulla poiché i MOS sono sempre accesi in mutua esclusione.
2. Durante la commutazione, abbiamo un movimento di carica prima da V_{DD} al condensatore (carica) e poi dal condensatore a massa (scarica). Questa potenza, detta potenza dinamica, è pari a:

$$P = V_{DD} \cdot \Delta V_{OUT} \cdot C_L \cdot f_{OUT} = V_{DD}^2 \cdot C_L \cdot f_{OUT} [\text{W}]$$

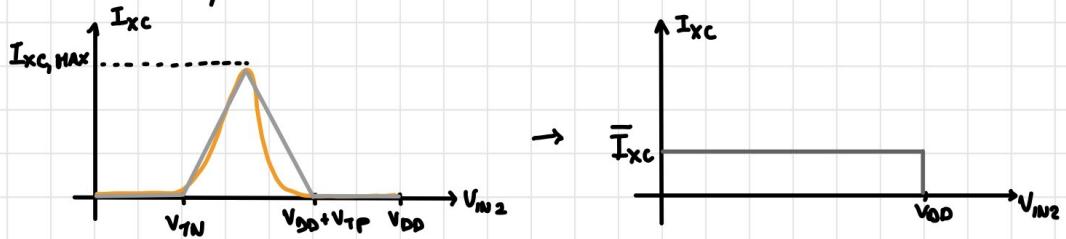
se V_{OUT} va ⁺ da 0 a V_{DD}

La potenza dinamica non è avvenibile poiché richiedrebbe di avvenire almeno uno dei prodotti, cosa impossibile.

3. L'accensione in mutua esclusione dei due MOS avviene solamente per un ingresso istantaneo. Se l'input non è idiale, come può avvenire per un invertor in cascata ad un altro, esistiamo dei valori per cui entrambi i MOS sono accesi (vedare la caratteristica statica) causando così una corrente verso massa detta corrente di cross-conduzione (I_{xc}) che genererà l'omonima potenza.



Per calcolare la potenza, avremmo bisogno di $I_{xc}(t)$, non di $I_{xc}(V_{IN})$. Ricavare la $I_{xc}(t)$ non è per niente semplice quindi ricorriremo ad una approssimazione:



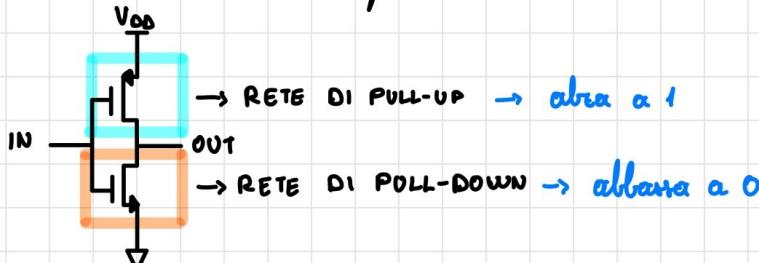
con $\bar{I}_{xc} = \frac{I_{xc,\text{MAX}}}{2} \cdot \frac{(V_{DD} + V_{TP} - V_{TN})}{V_{DD}}$. Stimiamo il tempo totale della transizione con due volte il tempo di propagazione. Possiamo, allora, esprimere la potenza di cross-conduzione come:

$$P_{xc} = \frac{\bar{I}_{xc} \cdot 2 t_p \cdot 2}{T_{OUT1}} \cdot V_{DD}$$

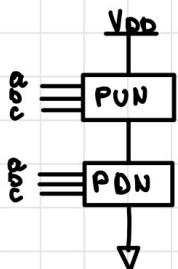
↳ periodo della commutazione dell'input

3.6 Generalizzazione dell'inverter

Generalizziamo le varie parti di un inverter.



La struttura generale e il simbolo circuitale sono:



4 PORTE LOGICHE

4.1 Porte NAND e NOR

Le prime porte logiche che implementeremo sono la NAND e la NOR. Queste due porte sono particolarmente importanti poiché tutte le funzioni booleane si possono rappresentare o con NAND o con NOR.



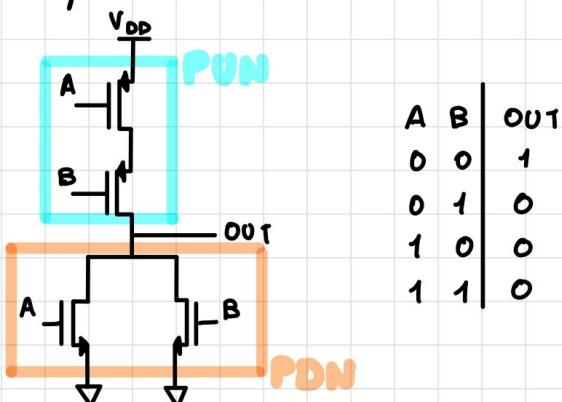
NAND



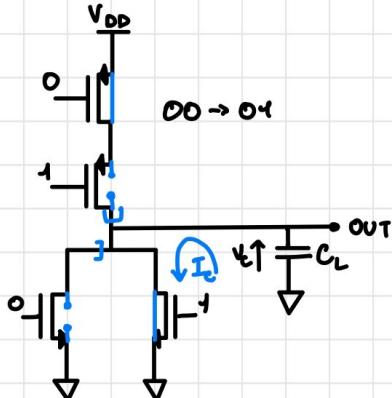
NOR

La logica CMOS viene detta invertente: può solo generare il negato delle operazioni logiche base. Non è vero, infatti, abbiamo definito le NOT, NOR e NAND. Ciò deriva dal fatto che lo NMOS, collegato al pull down, è acceso da segnali positivi e il vicversa per il PMOS.

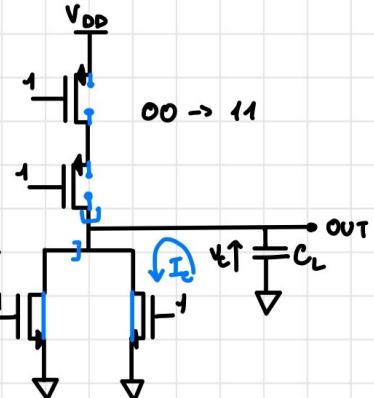
Analizziamo la porta NOR:



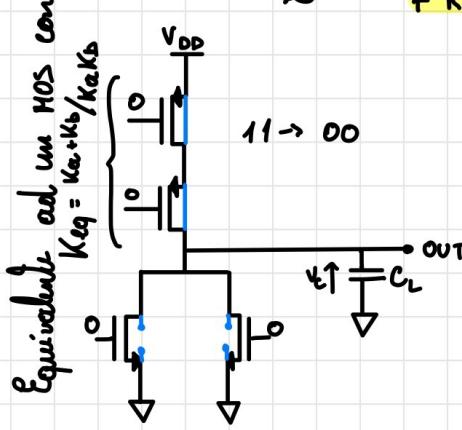
Eseguiamo ora una breve analisi dinamica della porta NOR. Iniziamo dal tempo di commutazione. Consideriamo le transizioni $00 \rightarrow 01$, $00 \rightarrow 11$ e $11 \rightarrow 00$.



~ INVERTER



+ RAPIDO



- RAPIDO

Equivale ad un MOS con
 $K_{eq} = K_a + K_b / K_{ab}$

$11 \rightarrow 00$

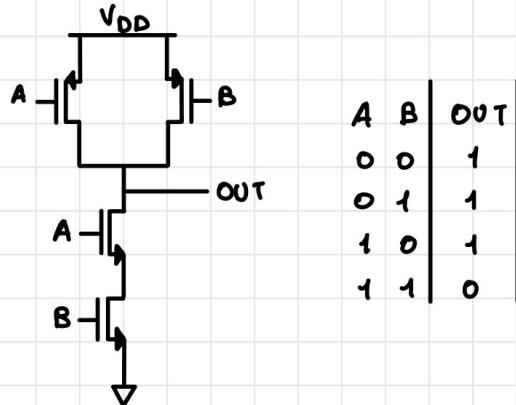
- RAPIDO

Per calcolare il tempo di commutazione ci basta, quindi, calcolare il tempo di commutazione di un inverter equivalente con opportuni K . Per quanto riguarda la potenza dinamica dissipata, dipende dall'input: dissipazione potenza dinamica ogni volta che modifichiamo l'output ad una certa frequenza.

Notiamo la corrispondenza fra i PMOS della PUN e i NMOS della PDN: prendono gli stessi ingressi e i primi sono in serie mentre gli ultimi in parallelo. Ciò non è un caso, infatti in generale

è possibile costruire la PDN dalla PUN scambiando paralleli con serie e viceversa.

Scambiando la PUN della NOR con la PDN otteniamo la porta NAND.

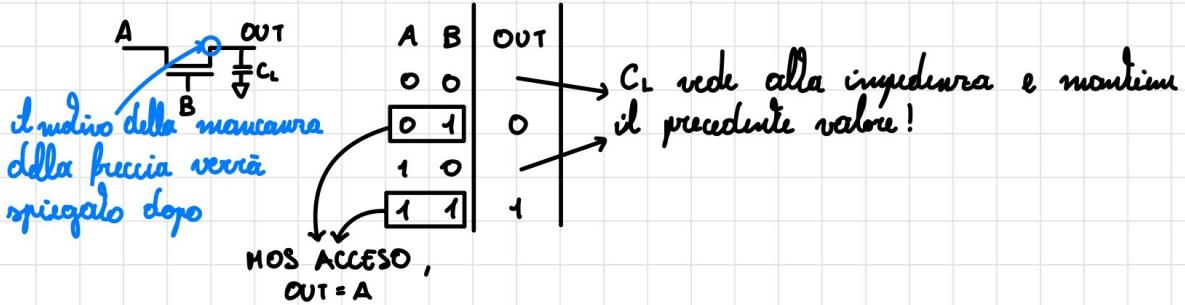


4.2 Logica PASS TRANSISTOR LOGIC (PTL)

Abbiamo detto che la logica CMOS è una logica invertente. Ciò ci permette facilmente di creare porte logiche negate, ma rende difficile la realizzazione di porte normali. Possiamo utilizzare i MOS per costruire queste altre porte? Certo, ci basterà usare la PTL.

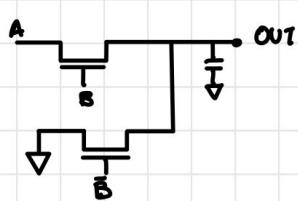
La principale differenza tra CMOS e PTL è che i segnali non vengono soltanto usati per pilotare il gate, ma anche source e drain.

Analizzeremo il seguente circuito:



Per ottenere una porta AND, dovremo trovare un modo per fissare

OUT. Aggiungiamo un ulteriore ramo:

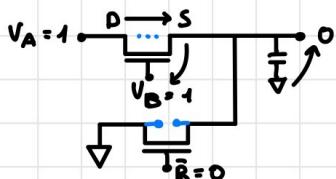


A	B	OUT
0	0	0
0	1	0
1	0	0
1	1	1

=> AND

Quindi per realizzare una AND in PTL avremo bisogno di 2 NMOS ed eventualmente un inverter se non è disponibile \bar{B} .

Qualifichiamo il circuito sopra in corso di trasmissione, $01 \rightarrow 11$.

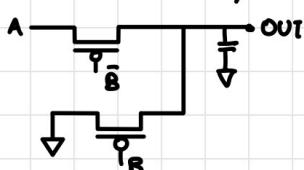


$V_{GS} > V_T$ e $V_{DS} > 0 \rightarrow$ la corrente carica C_L . Mentre C_L si carica, però, V_{GS} diminuisce poiché $V_{GS} = V_B - V_{OUT}$. Il MOS si spegne quando $V_{GS} = V_T$, ossia $V_{OUT} = V_B + V_T$. I valori di uscita sono, quindi vincolati dai valori dei segnali.

In questo caso, la corrente è prelevata parzialmente dal suo dc e non dall'alimentazione. Inoltre per avere in uscita V_{DD} , bisognerebbe fornire a B della tensione extra: se V_B è maggiore di $V_A + V_T$, allora $V_{OUT} = V_A$.

Qualifichiamo ora la trasmissione $11 \rightarrow 01$. Possiamo vedere come sia necessario l'uso di un MOS simmetrico poiché uno stesso componente deve permettere il flusso in entrambe le direzioni (ecco il perché dell'assenza della bussola). In questa trasmissione, V_{GS} è costante e riesce a scaricare completamente la capacità.

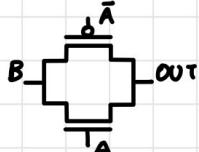
Un PMOS ha il comportamento duale al NMOS. Per passare da uscita



A	B	OUT
0	0	0
0	1	0
1	0	0
1	1	1

bassa da alta (es. $01 \rightarrow 11$), però, l'implementazione con PMOS riesce a scaricare completamente il condensatore ma avrà problemi nel senso opposto (da alto a basso).

Per superare il limite imposto dalla scarica incompleta del condensatore siamo costretti ad usare un complesso dito transmission gate:



In caso di transizione da alto a basso abbiamo che lo NMOS rimane acceso mentre il PMOS si spegnerà quando $V_{GSP} = V_{TP}$. In caso di transizione da basso ad alto accadrà il doppio: il PMOS sarà sempre acceso mentre lo NMOS si spegnerà per V_{GSN} .

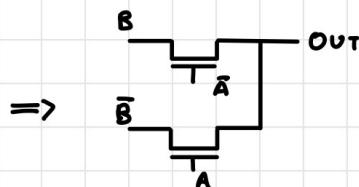
4.2.1 XOR in PTL

Consideriamo la porta XOR. L'inteliziamola usando la logica PTL:

A	B	OUT
0	0	0
0	1	1
1	0	1
1	1	0

per $A=0$ $OUT=B$

per $A=1$ $OUT=\bar{B}$



Per evitare problemi legati alla scarica del condensatore parassita bisogna usare i transmission gate.

5 MEMORIE

5.1 Memoria DRAM

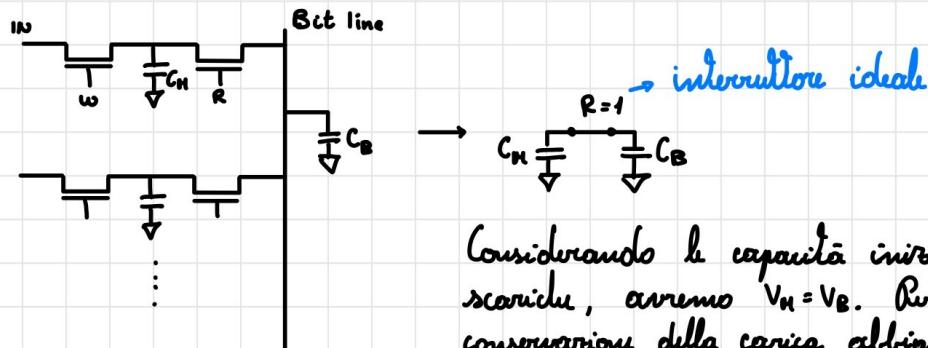
Quando abbiamo introdotto la AND in PTL abbiamo detto che a transistor spento la capacità avrebbe visto "alta impedenza" e avrebbe mantenuto il valore. Questa proprietà è utile per creare la

più semplice delle memorie: la DRAM



Nella realtà la capacità perde la carica a causa di correnti indesiderate. Sarà perciò necessario aggiungere un circuito di refresh che riscriva i valori periodicamente.

La lettura di una memoria DRAM avviene tramite un ulteriore MOS che collega la capacità ad una bit-line, anch'essa dotata di capacità.



Considerando le capacità inizialmente scariche, avremo $V_n = V_b$. Per la conservazione della carica abbiamo

$$Q_{I,TOT} = Q_{Cn} + Q_{Cb} = C_n \cdot V_{TOT} + 0$$

$$Q_{P,TOT} = Q_{I,TOT} = Q_{Cn} + Q_{Cb} = C_n V_F + C_b V_F = (C_n + C_b) V_F$$

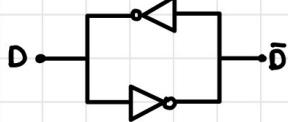
$$\rightarrow V_F = V_{I,H} \cdot \frac{C_n}{C_n + C_b} \Rightarrow \text{Il dato letto è diverso da quello iniziale}$$

La lettura di una cella DRAM è, quindi, un'operazione dissipativa: sarà necessario un circuito che riscrivere il dato corretto dopo la lettura. Inoltre, poiché vogliamo mantenere $C_n \ll C_b$ per maximizzare la densità di memoria, avremo che $V_F \ll V_{I,H}$ rendendo necessaria una amplificazione per poter leggere correttamente.

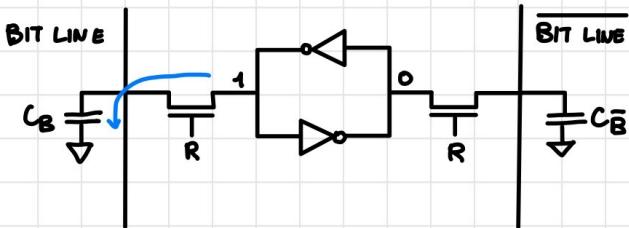
5.2 Memoria SRAM

Un altro tipo di memoria volatile che possiamo usare è la memoria

SRAM. Una cella di memoria SRAM è così formata:

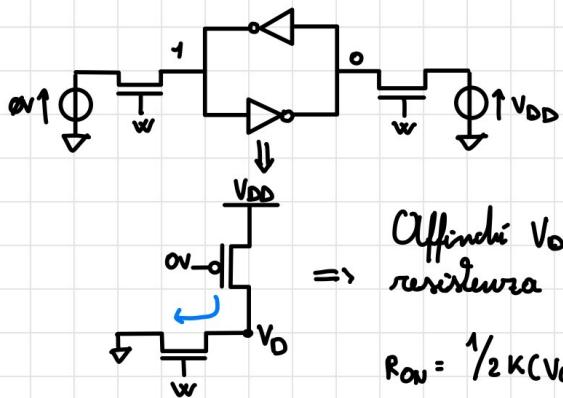


Per leggere una cella di memoria SRAM collegiamola alla bitline tramite un'interruttore, come per la DRAM:



Come nel caso precedente, forniamo una soglia in fase di lettura:
 $V_{F,B} = V_R - V_{TN}$.

Per scrivere, invece, forniamo il dato e il suo negato tramite due generatori di tensione, regolando il tutto con ulteriori interruptori.



\Rightarrow Affinché $V_0 \rightarrow 0V$, il MOS w deve avere la resistenza più piccola possibile.
 $R_{ON} = \frac{1}{2} K(V_{GS} - V_T) \Rightarrow \left(\frac{w}{L}\right)_w \gg \left(\frac{w}{L}\right)_0$

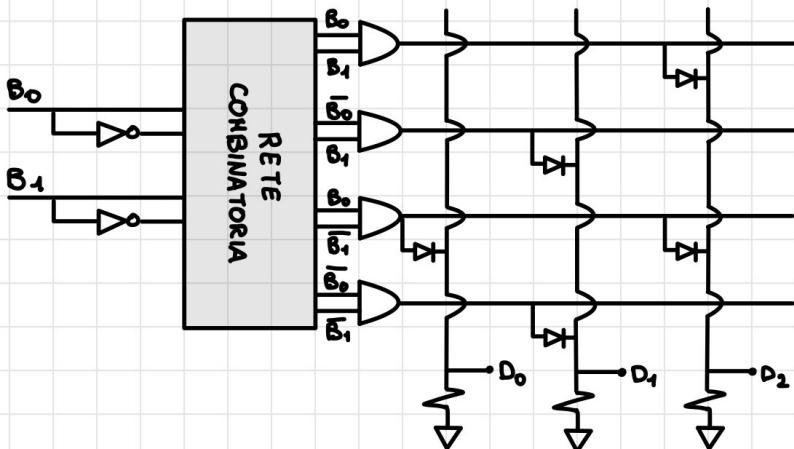
La memoria SRAM offre, quindi, una lettura non distruttiva a discapito di una maggiore occupazione di area rispetto alla DRAM.

5.3 Memoria ROM

Acronimo di Read Only Memory, è il primo tipo di memoria che introduciamo. I valori sono codificati al momento della fabbricazione tramite una matrice di connessioni. Una ROM, una volta prodotta, non può essere riscritta.

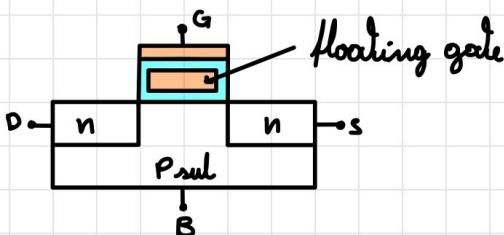
Per illustrare la struttura della rete che codifica una ROM, facciamo il seguente esempio

INDIRIZZO	VALORE
1 1	100
1 0	010
0 1	101
0 0	010



5.4 Memorie EPROM

Acronimo di Electrically Programmable ROM. Per capire come è costruita una EPROM ricordiamoci come è costituito un MOS.



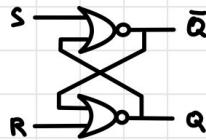
Ciandando a fornire una ddp allontanata elevata, per effetto ponte immagazziniamo della carica negativa nel floating gate, modificheremo la caratteristica del MOS, abbassando la soglia. Chiamiamo V_{T1} e V_{T2} le due soglie e forniamo una V_{DD} tale che $V_{T1} < V_{DD} < V_{T2}$. Se non c'è carica sul floating gate allora il MOS si accende fornendo scorrere una corrente (0), mentre se c'è carica il MOS rimane spento bloccando la corrente (1).

5.5 Bistabili

Continuiamo ora, quando la logica CMOS, i due elementi fondamentali della logica sequenziale: i bistabili latch e flip-flop.

5.5.1 Latch

Il metodo più semplice per creare un latch è usare 2 porte NOR così connesse:

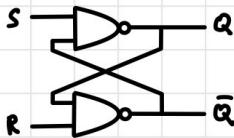


S	R	Q_n	\bar{Q}_n
0	0	Q_{n-1}	\bar{Q}_{n-1}
0	1	0	1
1	0	1	0
1	1	0	0

→ ERRORE

NOR: A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

È possibile realizzare un bistabile con due porte NAND:



S	R	Q_n	\bar{Q}_n
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_{n-1}	\bar{Q}_{n-1}

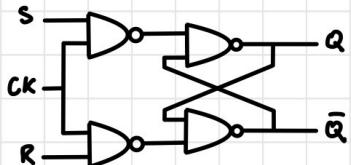
→ ERRORE

NAND: A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

Nel caso del latch con NOR, si dice che SET e RESET sono attivi alti; nel caso NAND sono attivi bassi.

5.5.2 Flip-Flop

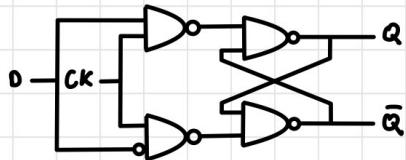
La differenza principale tra un latch ed un flip-flop è che il flip-flop cambia il suo valore in base ad un segnale di clock. Vediamo, quindi, come cambia il circuito nel caso di un flip-flop SR:



S	R	CK	Q_n	\bar{Q}_n
-	-	0	Q_{n-1}	\bar{Q}_{n-1}
0	0	1	Q_{n-1}	\bar{Q}_{n-1}
0	1	1	0	1
1	0	1	1	0
1	1	1	X	X

Ovvero, quindi, che i flip-flop sarà attivo solo quando $CK=1$, come previsto. Anelbre il flip-flop a base NAND sarà attivo alto mentre quello a base NOR sarà attivo basso.

Un altro tipo di flip-flop notevole è il flip-flop D:

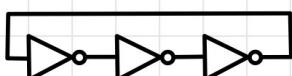


D	CK	Q_n	\bar{Q}_n
-	0	Q_{n-1}	\bar{Q}_{n-1}
0	1	0	1
1	1	1	0

Per entrambi i flip-flop visti vale il fatto che con $CK=1$ venga riportata qualsiasi modifica degli ingressi. Quando $CK=0$ il flip-flop si dice trasparente.

5.5.3 Generazione del clock (oscillatore)

Un segnale di clock può essere facilmente generato mettendo in cascata un numero dispari di inversori. Il periodo di oscillazione sarà dato dal tempo di propagazione della cascata.



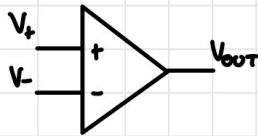
$$\tau_{tot} \approx \tau_a + \tau_b + \tau_c \Rightarrow f \approx 1/\tau_{tot}$$

Nota: calcolare il tempo della cascata come la somma è una sovrapposizione poiché si trascorre l'accelerazione simultanea di più MOS.

6 L'AMPLIFICATORE OPERAZIONALE

6.1 Introduzione

L'amplificatore operazionale è uno dei componenti più usati per costruire circuiti amplificatori. Il simbolo e la caratteristica sono:



$$V_{\text{out}} = A_d (V_+ - V_-)$$

*→ guadagno differenziale
regola differenziale*

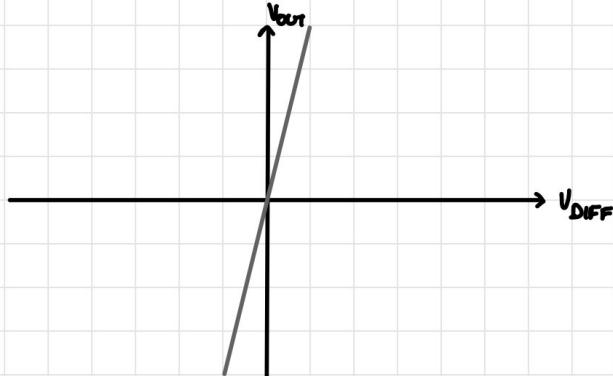
Gli OPAMP possono anche avere un guadagno a modo comune, in quel caso la caratteristica sarà:

$$V_{\text{out}} = A_{\text{cm}} \left(\frac{V_+ + V_-}{2} \right)$$

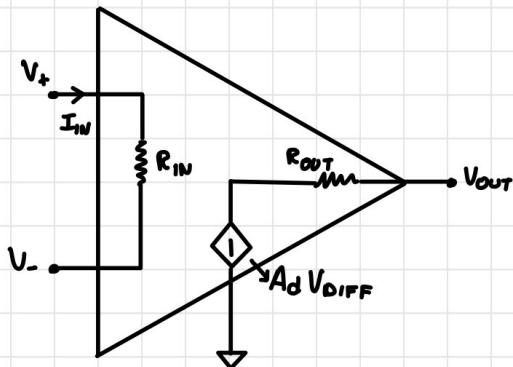
modo comune

In un OPAMP ideale si ha che $A_d \rightarrow \infty$ e $A_{\text{cm}} \rightarrow 0$. Di solito, invece di fornire due guadagni, si fornisce A_d e il "Common Mode Rejection Ratio" (CMRR) che è il rapporto tra guadagno differenziale e guadagno a modo comune. Nel caso di OPAMP ideali si avrà $\text{CMRR} = \infty$.

La caratteristica statica di un OPAMP ideale con A_d finito è:



Il modello dell'OPAMP è il seguente:



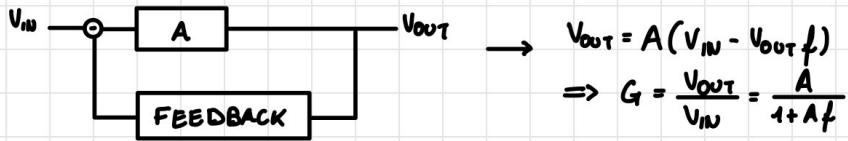
In un amplificatore operazionale ideale avremo quindi:

- A_d infinito, $A_{cu} = 0$
- R_{IN} infinita
- R_{OUT} nulla
- $i_{IN} = 0$ in entrambi i morsetti

Un OPAMP reale riesce a fornire guadagni anche di 10^6 , però questi guadagni possono non essere stabili (varia in base a temperatura, fabbricazione ecc...). Un modo per mitigare la sensibilità del guadagno: la retroazione.

6.2 Circuiti retroazionati

Il generico sistema retroazionato ha la seguente struttura:



$$\Rightarrow Af \gg 1 \rightarrow G = \frac{1}{f}$$

$$\frac{\partial G}{\partial A} = \frac{\partial}{\partial A} \left(\frac{A}{1+Af} \right) = \frac{1}{(1+Af)^2} \cdot \frac{1}{A} = \frac{G}{1+Af} \cdot \frac{1}{A}$$

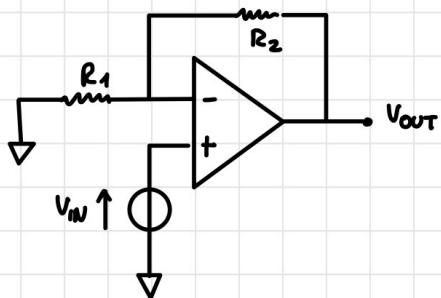
guadagno d'angolo

arrivata rispetto al valore nominale

Adottando la retroazione è possibile ridurre la variabilità del guadagno di un fattore $\frac{1}{1+A_f}$ rispetto a quella di A , purché possiamo garantire $A_f \gg 1$. Un effetto collaterale della retroazione è il legame tra la variabilità di G e quella di f . Possiamo, però, produrre circuiti di feedback usando componenti estremamente stabili, come ad esempio resistori, ovviando al problema.

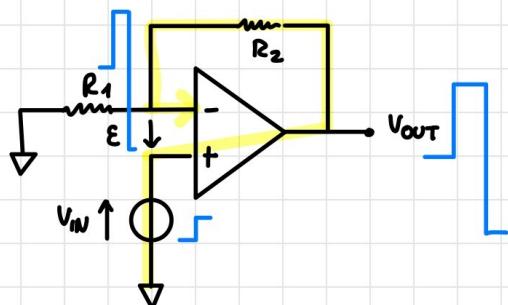
6.2.1 Circuiti retroazionati con OPAMP ideale

Il primo circuito retroazionato che vedremo userà un OPAMP ideale ed è così strutturato:



Analizziamo ora il circuito:

1) Che tipo di retroazione è instaurata? (POSITIVA/NEGATIVA)



Poiché E diminuisce, la retroazione tende ad annullare l'errore \Rightarrow NEGATIVA

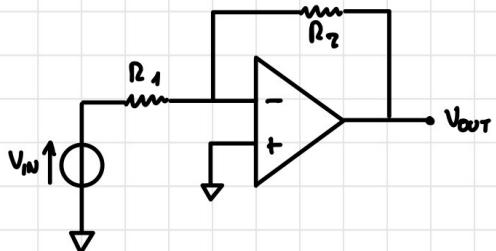
Obliamo considerato come segnale errore V_{DIFF}

2) Qual è il guadagno?

$$\begin{aligned} V_{R_1} = V^- - 0 &= V_{IN} \Rightarrow I_{R_1} = \frac{V_{IN}}{R_1} = I_{R_2} \text{ poiché OPAMP ideale} \\ \Rightarrow V_{OUT} &= V_{IN} + V_{R_2} = V_{IN} + I_{R_2} R_2 = V_{IN} \left(1 + \frac{R_2}{R_1}\right) \\ \Rightarrow G &= \frac{V_{OUT}}{V_{IN}} = 1 + \frac{R_2}{R_1} > 0 \end{aligned}$$

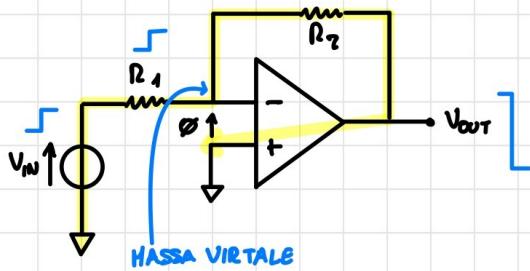
Perché $G > 0$ sempre, chiamiamo questa configurazione non invertente.

Un secondo circuito retroazionato, analogo al precedente, è la configurazione invertente:



Qualifichiamo anche questo circuito come il precedente:

1) Che tipo di retroazione è instaurata? (POSITIVA/NEGATIVA)



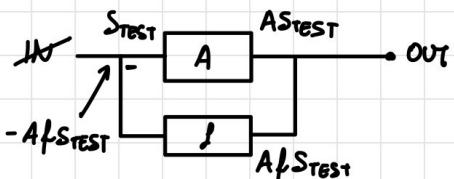
Anche qui $E=0$, quindi la retroazione è negativa

2) Qual è il guadagno?

$$\begin{aligned} V_{R_1} &= V_{IN} \quad I_{R_1} = \frac{V_{IN}}{R_1} = I_{R_2} \rightarrow V_{R_2} = V_{IN} \cdot \frac{R_2}{R_1} \\ \Rightarrow V_{OUT} &= - V_{IN} \cdot \frac{R_2}{R_1} \\ \Rightarrow G &= - \frac{R_2}{R_1} < 0 \end{aligned}$$

6.2.2 Guadagno d'anello (G_{loop})

Il guadagno d'anello è definito per ogni anello di retroazione. Esso dipende solo dall'effetto dell'anello, ad ingresso spento.



$$G_{loop} = \frac{S_{TEST}}{S_{TEST}} = \frac{-A_f S_{TEST}}{S_{TEST}} = -A_f$$

Se il quadriporto d'anello è negativo, avremo retroazione negativa; se è positivo avremo retroazione positiva.

Calcoliamo, ora, Gloop sui circuiti elettronici. Il primo problema è il fatto che ci è impossibile definire i blocchi A ed f. Dobbiamo definire un metodo ad-hoc per i circuiti elettronici. Individuiamo i seguenti step:

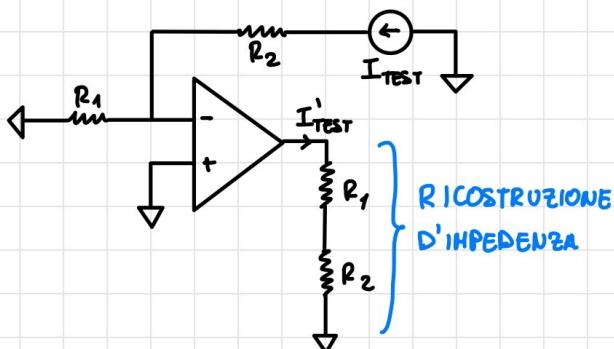
- 1) seguire gli ingressi
- 2) tagliare l'anello
- 3) applicare un segnale di test
- 4) calcolare l'effetto del segnale.

Calcoliamo V_{TEST}' e Gloop nel circuito sopra:

$$V_{TEST}' = \left(-V_{TEST} \cdot \frac{R_1}{R_1 + R_2} \right) Ad \Rightarrow Gloop = \frac{V_{TEST}'}{V_{TEST}} = -\frac{R_1}{R_1 + R_2} Ad < 0$$

L_s retroazione negativa

Se proviamo a riequipaggiare la nostra analisi dell'anello in corrente invece che in tensione ci rendremo subito conto che c'è qualcosa non va: la corrente I_{TEST}' in uscita incontra un circuito aperto. Ciò accade perché nel momento in cui tagliamo il circuito alla maniera in cui abbiamo fatto abbiamo modificato il funzionamento del circuito. Per ripristinare il funzionamento dobbiamo ricostruire l'impedenza vista in uscita dall'OPAMP:



Nella precedente analisi in tensione non era stata necessaria la ricostruzione perché la tensione di uscita dipende solo dagli ingressi e non dal carico. Però "tagliare" l'anello vicino alla punta dell'OPAMP porta ad una analisi semplificata dell'anello di retroazione.

6.2.3 Guadagno reale

Considerando il solito schema a blocchi, calcoliamo il guadagno

$$\text{IN} \xrightarrow{\text{A}} \text{OUT} = (\text{IN} - \text{OUT} \cdot f)A$$

$$\Rightarrow \text{IN} \cdot A = \text{OUT} (1 - fA) \Rightarrow \frac{\text{OUT}}{\text{IN}} = \frac{A}{1 - fA}$$

$$A f \rightarrow +\infty : \frac{\text{OUT}}{\text{IN}} \rightarrow 1/f = G_{ID} \rightarrow \text{guadagno iduale}$$

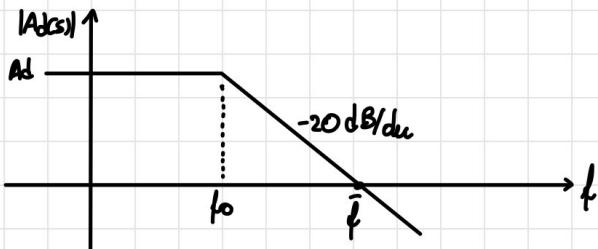
Quindi, considerando OPAMP iduale, possiamo facilmente calcolare il guadagno iduale. tramite dei passaggi algebrici possiamo ricordurre il guadagno reale a quello iduale:

$$\frac{G_{ID}}{1 - 1/G_{loop}} \rightarrow \frac{1/f}{1 - 1/Af} = \frac{1/f}{Af + 1/Af} = \frac{Af/f^2}{1 + Af} = \frac{A}{1 + Af}$$

Analizzando la relazione, possiamo dire che per $G_{loop} \rightarrow +\infty$ $G_{REALE} \rightarrow G_{ID}$, invece per $G_{loop} \rightarrow 0$ $G_{REALE} \rightarrow -G_{ID}$ $G_{loop} = G_{OPEN}$ (guadagno ad anello aperto).

6.3 Comportamento in frequenza dell'OPAMP

Nell'introduzione abbiamo definito il guadagno come costante. Eso, però, varia in base alla frequenza. Solitamente il modulo del guadagno ha un solo polo. In un diagramma di Bode si ha:



Per proprietà del diagramma:

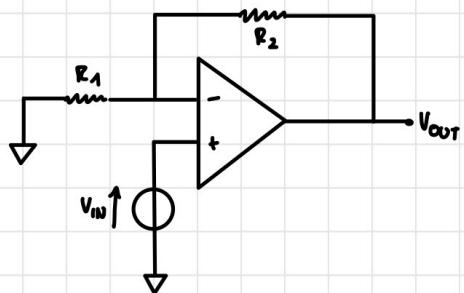
$$Ad f_0 = \bar{f} \cdot 1$$

↓

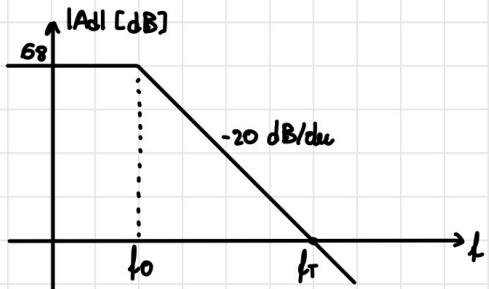
GAIN-BANDWIDTH PRODUCT ($G_{BW}P$)

6.4 Analisi in frequenza di circuiti retroazionati

Consideriamo il seguente circuito. Poiché il G_{loop} non dipende dall'OPAMP, non dobbiamo ricalcolarlo. Il G_{loop} si può ricavare essere pari a $-R_1/R_1+R_2 A_{\text{o}}(s)$. Esso varierà in base alla frequenza! Andiamo a tracciare i diagrammi di Bode:



$$A_o = 10^4, f_0 = 10 \text{ Hz}, R_1 = 5 \text{ k}\Omega, R_2 = 15 \text{ k}\Omega$$



$$\begin{aligned} |G_{\text{loop}, \text{dB}}| &= 20 \log \left(A_o \cdot \frac{\omega}{2\pi} \right) \geq 68 \text{ dB} \\ G_{\text{loop}}(s) &= -\frac{\omega}{2\pi} A_o / (1 + s\tau_0) \end{aligned}$$

$$\begin{aligned} \frac{\omega}{2\pi} A_o \cdot 10 \text{ Hz} &= f_T \cdot 1 \\ \Rightarrow f_T &= 25 \text{ kHz} \end{aligned}$$

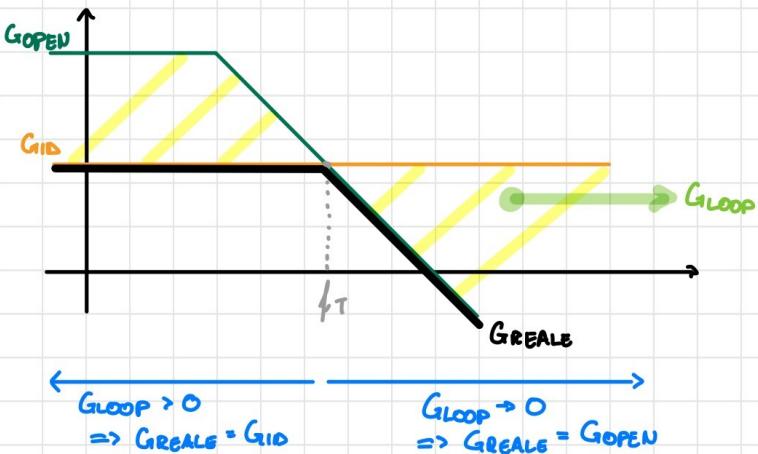
Per stabilire la stabilità di un circuito retroazionato usiamo il criterio di Bode applicato al $G_{\text{loop}}(s)$:

Il circuito è stabile se il margine di fase $\varphi_m = 360^\circ - \angle G_{\text{loop}}(f_T)$ è maggiore di 0° . Se $\varphi_m > 45^\circ$ il circuito è stabile, se $0^\circ \leq \varphi_m \leq 45^\circ$ è criticamente stabile.

Traciamo, ora, il grafico del guadagno reale. Sappiamo che $G_{\text{ID}} = 1 + R_2/R_1$ e $G_{\text{loop}} = -R_1/R_1+R_2 A_o / (1 + s\tau_0)$. Calcoliamo G_{open} :

$$G_{\text{open}} = -G_{\text{ID}} G_{\text{loop}} = -\left(\frac{R_1+R_2}{R_1}\right) \left(-\frac{R_1}{R_1+R_2} \frac{A_o}{1+s\tau_0}\right) = \frac{A_o}{1+s\tau_0}$$

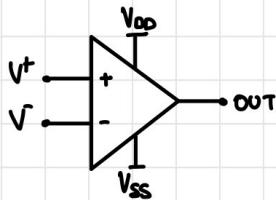
Unendo tutto in un grafico ottieniamo:



6.5 Non idealità dell' OPAMP

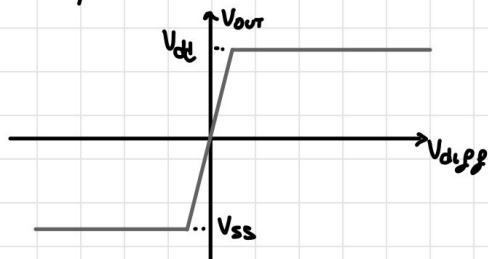
6.5.1 Alimentazione

Il circuito che realizza un 'OPAMP' è un circuito alimentato. Dovremo, perciò, aggiungere due nuovi terminali d'alimentazione:

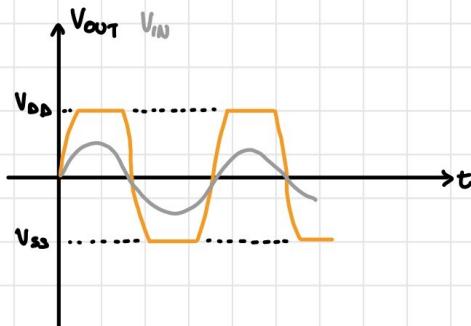
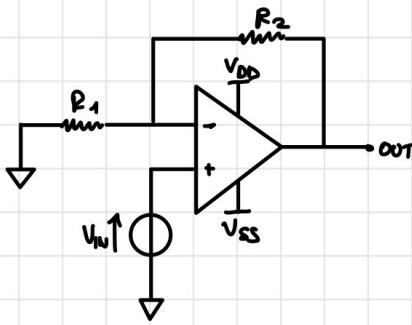


La presenza di un alimentazione limita i valori possibili di V_{out} : non potrà essere maggiore dell'alimentazione positiva V_{dd} o minore di quella negativa V_{ss} . Se $V_{out} \in [V_{ss}; V_{dd}]$ esso viene detto rail-to-rail. In generale, la V_{out} può assumere solo un range di valori all'interno dell'intervallo di alimentazione.

L'alimentazione trasforma così la nostra caratteristica:

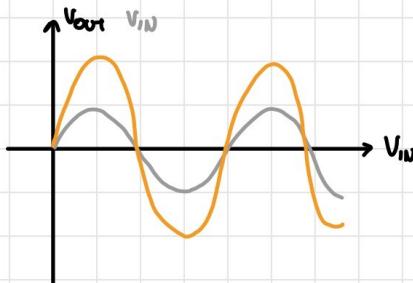
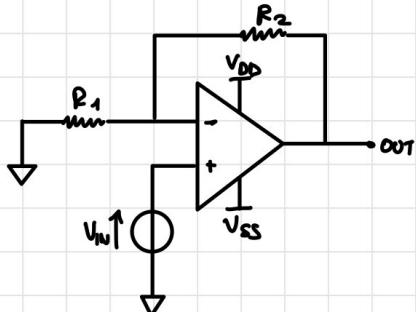


In un circuito retroazionario, come ad esempio la configurazione non invertente, se consideriamo una V_{IN} sinusoidale, in uscita otterremo in uscita una sinusode clipata tra V_{DD} e V_{SS}



6.5.2 Slew Rate

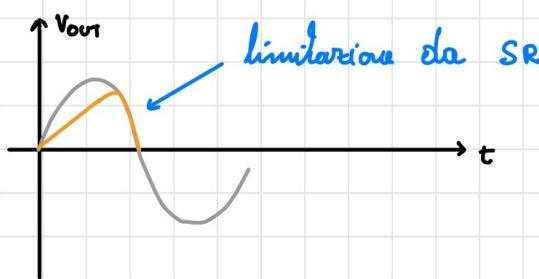
Lo slew rate è un limitazione della massima pendenza che può assumere l'uscita. Consideriamo di nuovo la configurazione non invertente con una sinusode in ingresso. Calcoliamo la derivata dell'uscita:



$$V_{out} = G_{10} \cdot V_p \sin 2\pi f t \Rightarrow \frac{dV_{out}}{dt} = G_{10} V_p \cdot 2\pi f \cdot \cos 2\pi f t \frac{V}{s}$$

↳ la derivata massima è $G_{10} V_p 2\pi f$

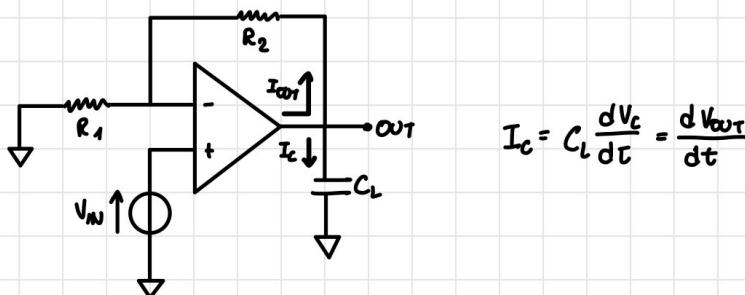
Se la derivata massima è minore dello slew rate SR, non si avrà distorsione. Se ciò non accade, il segnale viene distorto.



Lo stesso vale può, inoltre, compromettere la capacità dell'OPAMP di annullare il segnale differenza in retroazione. Ciò può causare problemi per la retroazione e per ciò si evita a tutti i costi la limitazione da SR.

6.5.3 Corrente in uscita

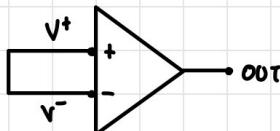
Fin'ora abbiamo ipotizzato che la corrente in uscita I_{out} possa essere illimitata. Nella realtà, com'è il caso anche per V_{out} , I_{out} è limitata. Consideriamo uno stadio retroazionato con carico capacitivo:



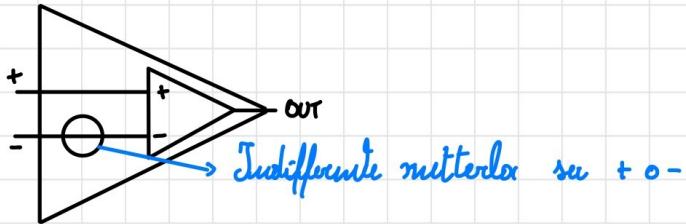
L'OPAMP deve essere in grado di fornire abbastanza corrente sia alla retroazione che al carico. La limitazione della corrente causerebbe, quindi una limitazione della pendente di V_{out} . Questo fenomeno è detto slur rate esterno.

6.5.4 Tensione di offset

Consideriamo il seguente caso:

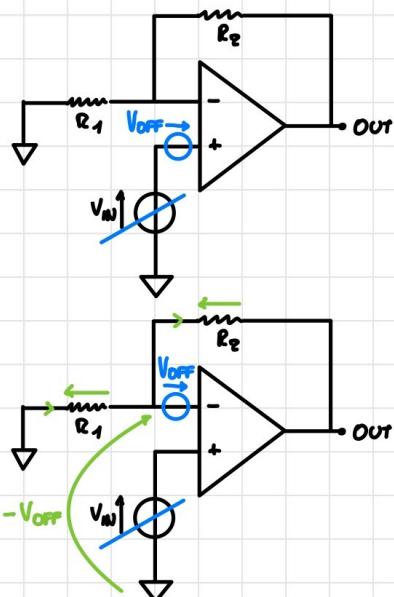


Ci aspetteremo che $V_{out} = 0V$. Nella realtà, però, ciò non è vero. Possiamo modellare il fenomeno tramite un generatore di tensione e un OPAMP ideale:



La tensione aggiunta è detta tensione di offset ed è un contributo costante e statistico, ossia non ha segno definito.

Analizzeremo l'effetto della V_{offset} nel solito circuito retroazionato.

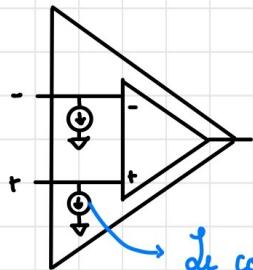


Per calcolare il contributo di V_{offset} seguiamo il segnale V_{in} e aggiungiamo un generatore di tensione su uno dei quattro a nello, verso arbitrario e tensione pari a V_{offset} . Ottieniamo che $V_{out}/V_{offset} = \pm V_{offset} (1 + \frac{R_2}{R_1})$. Il \pm serve perché il verso del generatore è arbitrario. Ripetendo il procedimento considerando l'altro quattore ottieniamo

$$\begin{aligned} V_{out}/V_{offset} &= \pm \left[-V_{offset} - \left(\frac{V_{offset} R_2}{R_1} \right) \right] = \\ &= \mp V_{offset} \left(1 + \frac{R_2}{R_1} \right) \end{aligned}$$

6.5.5 Correnti di bias

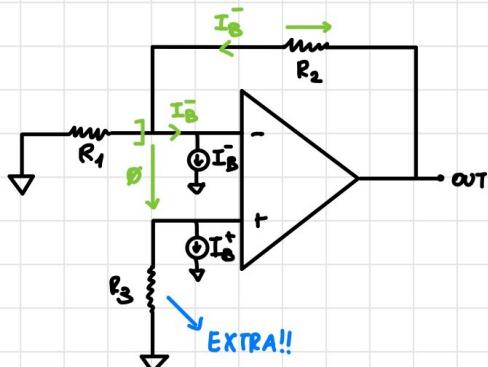
L'OPAMP ideale ha entrambi le correnti in entrata nulli; nella realtà ciò non accade. Le correnti di bias sono uguali in valore e verso. Il modello dell'OPAMP reale sarà:



Le correnti sono entranli per l'OPAMP reale!!

Per calcolare il contributo delle correnti si segue un procedimento simile a quello per calcolare V_{OFFSET} . Consideriamo la configurazione non invertente e correnti entranli:

- 1) Supponiamo i generatori;
- 2) Usiamo la sovrapposizione degli effetti per calcolare i contributi di I_B^+ e I_B^- .



$$\begin{aligned} V_{out}|I_B^+ &= -I_B^+ \cdot R_3 \left(1 + \frac{R_2}{R_1}\right) \\ V_{out}|I_B^- &= 0V + I_B^- R_2 \end{aligned} \quad \left. \begin{array}{l} \text{VERSI} \\ \text{OPPOSTI} \end{array} \right\}$$

$$\Rightarrow V_{out}|I_B = I_B^- R_2 - I_B^+ R_3 \left(1 + \frac{R_2}{R_1}\right)$$

Abbiamo aggiunto una resistenza extra R_3 che, se dimensionata opportunamente, può annullare il contributo delle correnti. In generali, però, non basta solo una resistenza per annullare il bias.

6.5.6 Correnti di OFFSET

Rimroviamo ancora una volta la terra: le correnti in entrata sono diverse. Suddividiamo le correnti in entrata in bias e offset:

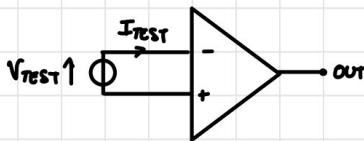
$$\begin{aligned} I_{BIAS} &= \frac{I^+ + I^-}{2} \\ I_{OFFSET} &= I^+ - I^- \end{aligned} \Rightarrow \begin{cases} I^+ = I_{BIAS} + \frac{I_{OFFSET}}{2} \\ I^- = I_{BIAS} - \frac{I_{OFFSET}}{2} \end{cases}$$

Come per V_{OFFSET} , I_{OFFSET} è statistica. Il modulo delle I_{os} sarà

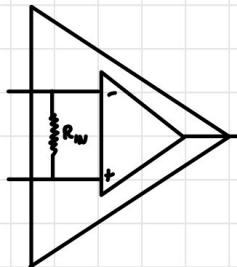
analogo a quello per il bias, ma con correnti di verso opposto. Il calcolo del contributo dell'offset è simile a quello per il bias.

6.5.6 Resistenza in ingresso

Un'altra caratteristica reale è la resistenza in entrata. Consideriamo la seguente situazione; empiricamente si misura che $I_{TEST} \neq 0 A$. Ciò significa che deve esistere un R_{IN} finita. Generalmente questa resistenza è molto grande ($\sim M\Omega$), ma ciò non significa che sia trascurabile.

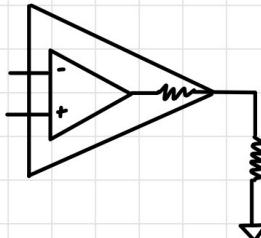


Il modello per il fenomeno è il seguente:



6.5.8 Resistenza in uscita

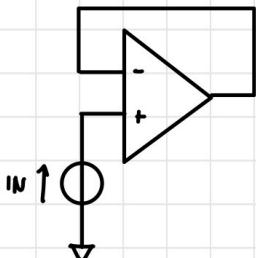
Fin'ora abbiamo detto che la V_{out} non dipende dal carico. In realtà nell'OPAMP reale dipende dal carico.



6.5.9 OPAMP non congruente

Abbiamo visto che $A(s)$ dell'OPAMP è una funzione con singolo

polo. Un OPAMP non compensato, invece, ha due poli. Vediamo l'effetto di un OPAMP non compensato analizzando questo semplice circuito:

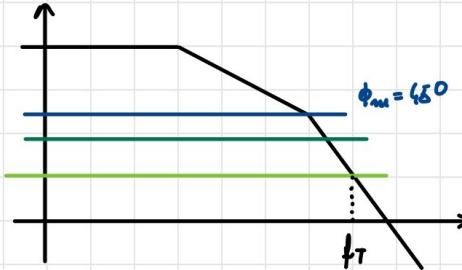


$$G_{ID} = 1$$

$$G_{loop} = \frac{V_{TEST'}}{V_{TEST}} = -A(s) \frac{V_{TEST}}{V_{TEST}} = -A(s)$$

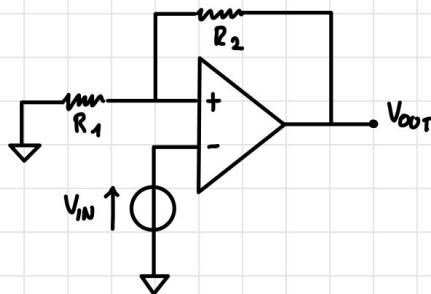
Se $A(s)$ ha 2 poli, il margine di fase è sicuramente minore di $45^\circ \Rightarrow$ INSTABILE

Se $|G_{ID}|$ è abbastanza basso, si ha $f_T > f_{P2}$ e quindi $\phi_m \approx 45^\circ$. Se aumentiamo $|G_{ID}|$, a parità di G_{OPEN} , aumenta anche ϕ_m .

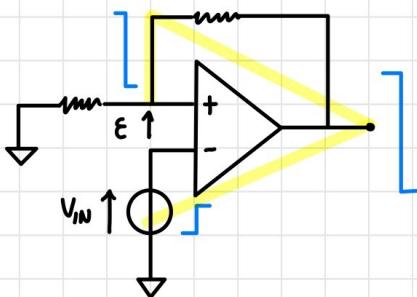


6.6 Trigger di Schmitt

Il trigger di Schmitt è un altro tipo di circuito retroazionato. Nella sua versione più semplice è così strutturato:



Ripetiamo l'analisi della retroazione come avevamo fatto anche per il nostro primo circuito retroazionato:

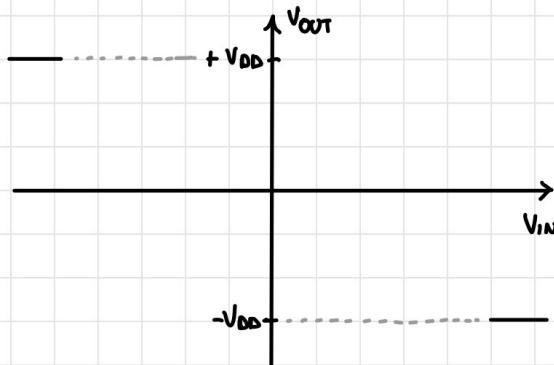


Con $V_{IN} > 0$, $E < 0$ e quindi anche $V_{OUT} < 0$. La V_{OUT} viene retroazionata, rendendo E ancora più negativo.

\Rightarrow RETROAZIONE POSITIVA

L'amplificazione del segnale errore divergerà a ∞ : non possiamo più trascurare il fatto che l'OPAMP sia alimentato. Ovvvero quindi che se $V_{IN} > 0$, il circuito reagirà all'alimentazione negativa e viceversa. Ovvvero, quindi, solo due stati stabili: $V_{OUT} = V_{DD}$ e $V_{OUT} = -V_{DD}$ (dove V_{DD} e $-V_{DD}$ sono le alimentazioni).

Tracciamo la caratteristica statica. Iniziamo dagli estremi



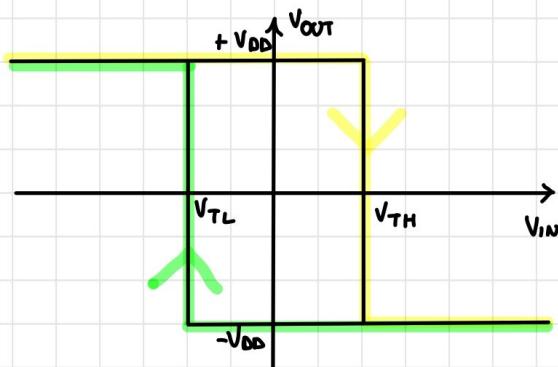
$$\text{poiché } V_{OUT} = \pm V_{DD}$$

$$\rightarrow V^+ = \pm V_{DD} \frac{R_1}{R_1 + R_2}$$

$$\Rightarrow \text{per } V_{IN} \rightarrow +\infty \quad E \rightarrow -\infty$$

$$V_{IN} \rightarrow -\infty \quad E \rightarrow +\infty$$

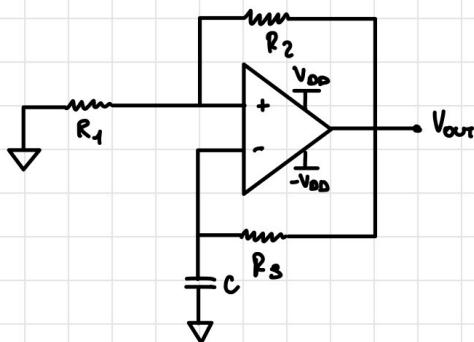
Supponiamo ora di essere in una condizione in cui V_{OUT} è sbilanciato ad un valore positivo. Se $V_{OUT} = +V_{DD}$, allora $V^+ = V_{DD} \frac{R_1}{R_1 + R_2} = V_{TH}$. Dovrà quindi minimo V_{IN} per far commutare V_{OUT} . Analogamente se $V_{OUT} = -V_{DD}$ allora $V^- = -V_{DD} \frac{R_1}{R_1 + R_2} = V_{TL}$ e dovrà $V_{IN} > V_{TL}$ per fare commutare V_{OUT} . Questo fenomeno è detto instabilità e il ciclo formato: ciclo d'instabilità. Il ciclo d'instabilità possiede un ciclo di percezione ben definito.



Il trigger di Schmitt si comporta come un comparatore a due soglie: regola se l'ingresso supera o scende sotto una certa soglia. Ciò è molto più utile di un comparatore a singola soglia in quanto ci permette di contrastare il rumore: per attivare il trigger dobbiamo superare V_{TH} , mentre per disattivarlo dobbiamo rendere sotto V_{TL} .

6.7 Multivibratore astabile

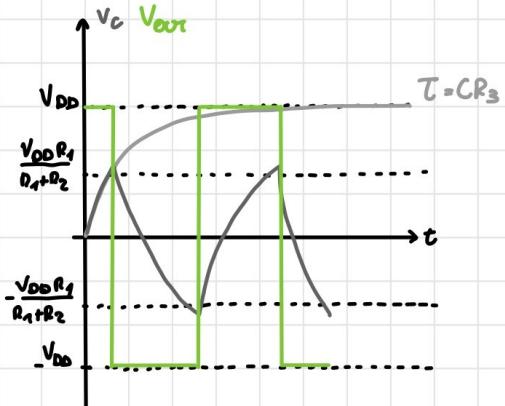
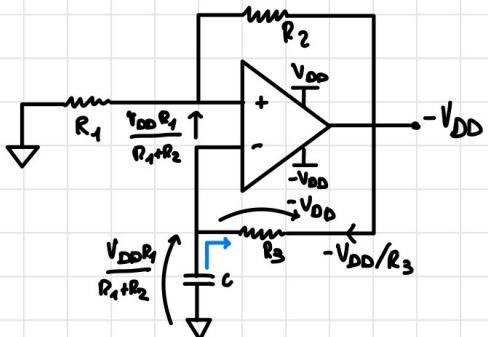
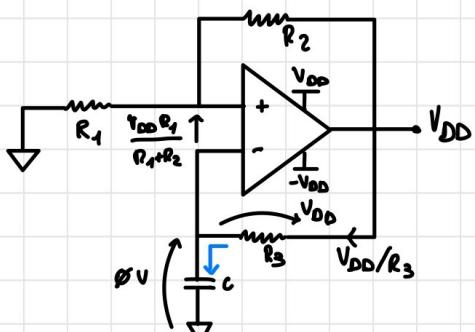
Il multivibratore astabile è un altro circuito retroazionato positivamente. Esso è così strutturato:



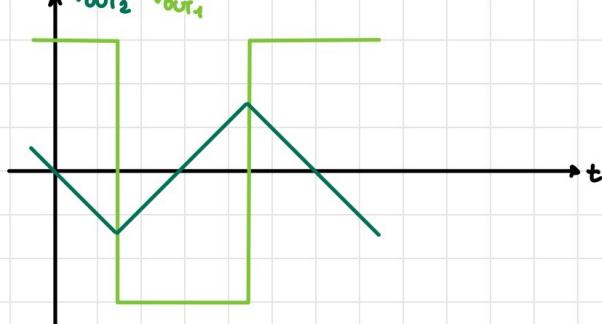
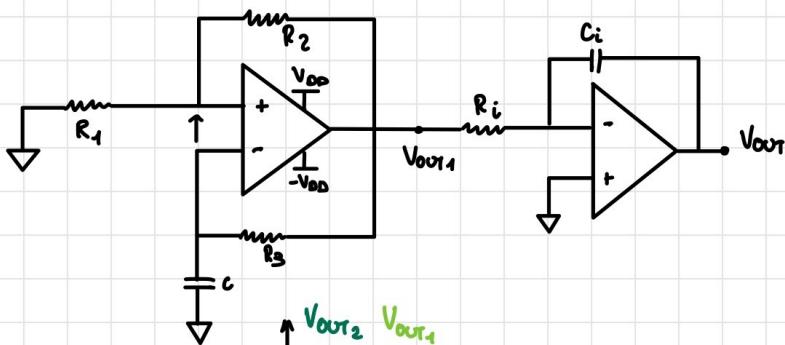
Possiamo notare che il circuito non ha ingressi e ha due retroazioni. Anche qui, come nel trigger di Schmitt, $V_{out} \in \{V_{DD}; -V_{DD}\}$

Per analizzare il circuito, ipotizziamo C scarico e $V_{out,0} = V_{DD}$.

Possiamo notare che il circuito evolve autonomamente oscillando una volta che il circuito è acceso.



Consideriamo la cascata di oscillatore ed integratore. Qualifichiamo l'andamento di V_{out} :

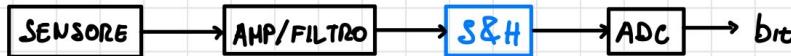


Obliamo così realizzato un generatore di onda triangolare.

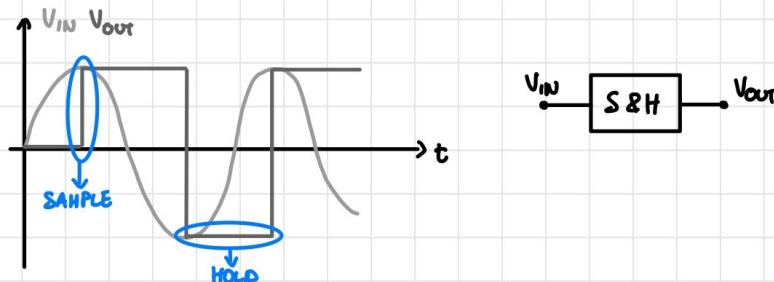
7 SISTEMI DI ACQUISIZIONE

7.1 Sample & Hold

La catena di acquisizione di un segnale è la seguente:



Lo sample & hold (S&H) è un componente che aiuta l'ADC nel campionamento:



Un sample & hold può essere realizzato con un interruttore ed una capacità:



Analizziamo ora il circuito reale: quali sono le tensioni da applicare al MOS per svolgere le due fasi?

1) FASE DI SAMPLE \rightarrow interruttore chiuso

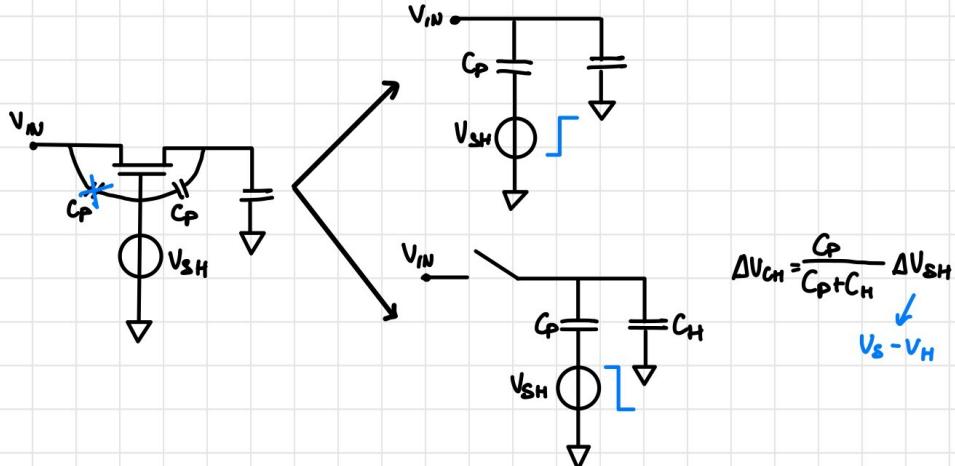
$$V_{CH} = V_{IN} \quad ; \quad V_{SH, SAMPLE} \geq V_{IN, MAX} + V_{TN}$$

2) FASE DI HOLD \rightarrow capacità isolata, interruttore aperto

$$V_{SH, HOLD} \leq V_{IN, MIN} + V_{TN}$$

7.1.1 Non-idealità del S&H

CHARGE INJECTION Ogni MOS possiede una capacità parassita:



Ovvero, quindi, una distorsione del segnale campionato. Per rimuovere il charge injection possiamo:

- 1) Garantire $C_H \gg C_P$
- 2) Minimizzare $\Delta V_{SH} \Rightarrow$ Abbiamo un vincolo sulle tensioni utilizzabili.

L'errore commesso va confrontato con la risoluzione dell'ADC, ossia la minima variazione di tensione necessaria per far variare la codifica binaria in uscita:

$$LSB = \frac{V_{REF}}{2^n} \Rightarrow \varepsilon < LSB \quad (\text{o } \frac{1}{2} LSB)$$

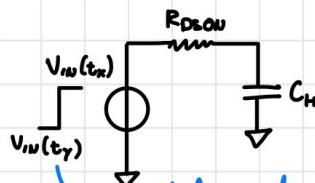
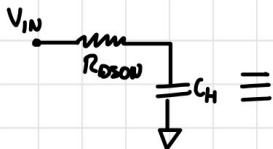
\downarrow
least significant bit

ERRORE DOVUTO ALLA Ron Come sappiamo, il mos limita la corrente che lo attraversa, rendendo la carica non istantanea. La transizione avviene in maniera mirra o tutta ohmica poiché affinché $V_{CH} = V_{IN}$ si avrà $V_{DS} \rightarrow 0$. Noi rimeremo in modo conservativo la transizione come solo ohmica:

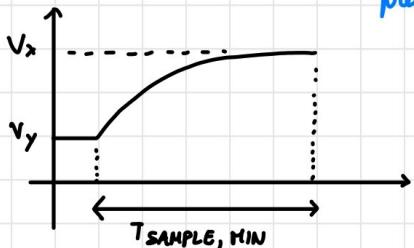
$$R_{DS,ON} = \frac{1}{2} K (V_{GS,MIN} - V_{TN})$$

\hookrightarrow il valore esatto dipende da V_{IN}

Nella fase di sample avremo:



precedente valore salvato



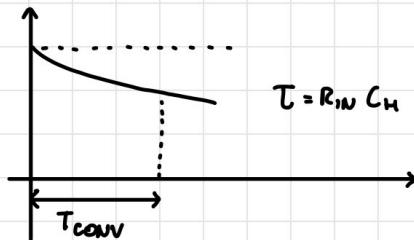
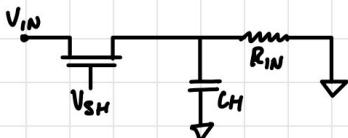
$$V_{CH} = V_y + (V_x - V_y)(1 - e^{-t/\tau})$$

$$V_{CH,fin} = V_x - \frac{1}{2} LSB$$

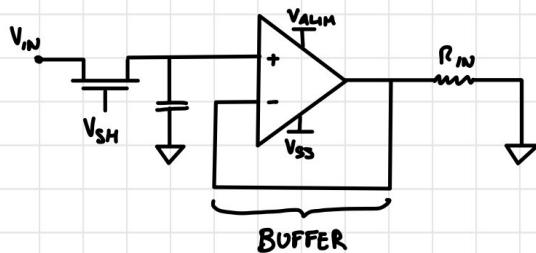
$\hookrightarrow C_H R_{DS,ON}$

Per ridurre T_{SAMPLE} bisogna scegliere una C_H o una $R_{DS,ON}$ il più piccole possibili. Poiché controllare la $R_{DS,ON}$ è impossibile poiché dipende dalle caratteristiche fisiche del MOS, ci concentreremo sulla capacità.

RESISTENZA IN INGRESSO DELL'ADC Gli ADC reali possiedono una resistenza in ingresso. Ciò causerà una scarica di C_H , deteriorando il valore salvato



Per ovviare a questo problema dobbiamo scegliere una C_H abbastanza grande, visto che modificare R_{IN} non è possibile. Possiamo anche compensare la R_{IN} collegando un buffer fra la capacità e l'ADC.



La corrente necessaria per alimentare la resistenza verrà fornita dall'OPAMP, disaccoppiando elettricamente i due lati.

Il problema non è completamente risolto: dobbiamo considerare le non idealità dell'OPAMP. Le più problematiche sono:

- 1) La corrente di bias I_B^+ che scarica/carica C_H . Durante la fase di hold avremo una variazione ΔV_c pari a

$$\Delta V_c = I_B^+ / C \cdot T_{HOLD} \rightarrow \text{drop}$$

- 2) Le tensioni di offset spostano la tensione in uscita al buffer di $\pm V_{OS}$. L'offset può essere risolto dall'ADC tramite post-processing dopo calibrazione.

- 3) Se E è pari a 0 se e solo se $A_d = \infty$. Poco a $E \neq 0$ otteniamo:

$$V_{OUT} = V_{IN} - E = V_{IN} - \frac{V_{out}}{A_d} \Rightarrow V_{OUT} = \frac{A_d}{A_d + 1} V_{IN}$$

$V_+ - V_-$

$$\Rightarrow \Delta V_{OUT} = V_{OUT, ID} - V_{OUT} = V_{IN} - \frac{A_d}{1+A_d} \cdot V_{IN} = \frac{1}{1+A_d} \cdot V_{IN}$$

Questo è chiamato errore di guadagno e può essere generalizzato anche agli stadi di amplificazione:

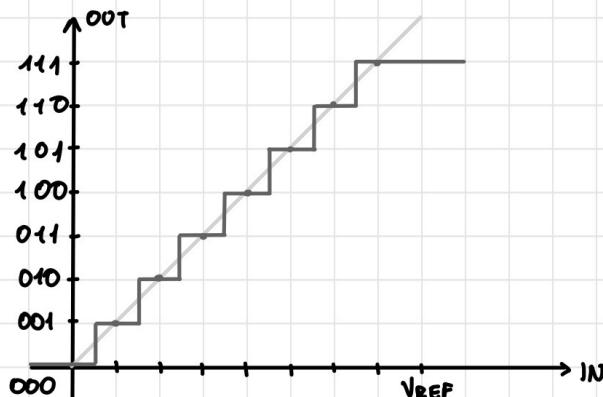
$$E = (G_{ID} - G_{REALE}) \cdot I_N$$

$$E_y = \frac{G_{ID} - G_{REALE}}{G_{ID}} I_N$$

7.2 ADC

Gli ADC sono dei componenti che convertono i valori di un segnale analogico in un segnale digitale. Gli ADC sono alimentati tra una tensione di riferimento alta e una bassa e ha una dinamica d'ingresso

(full scale range - FSR) compresa tra $[V_{REF,L}; V_{REF,H}]$. Un ADC è detto RAIL TO RAIL se lo FSR corrisponde con il range delle tensioni d'alimentazione.



LSB - Least Significant Bit

$$LSB = \frac{V_{REF}}{2^N}$$

Diciamo RISOLUZIONE la minima differenza di valori analoghi in ingresso che corrispondono a diverse codifiche digitali. La risoluzione è ovviamente pari al LSB. È importante non confondere la risoluzione con:

- 1) PRECISIONE: indica la ripetibilità del processo di conversione
- 2) ACCURATEZZA: indica quanto la codifica in uscita si discosti dal valore reale.

Un ADC può ricevere in ingresso dei segnali auxiliari. I più comuni sono: Start Of Conversion, End Of Conversion, Ready e il clock.

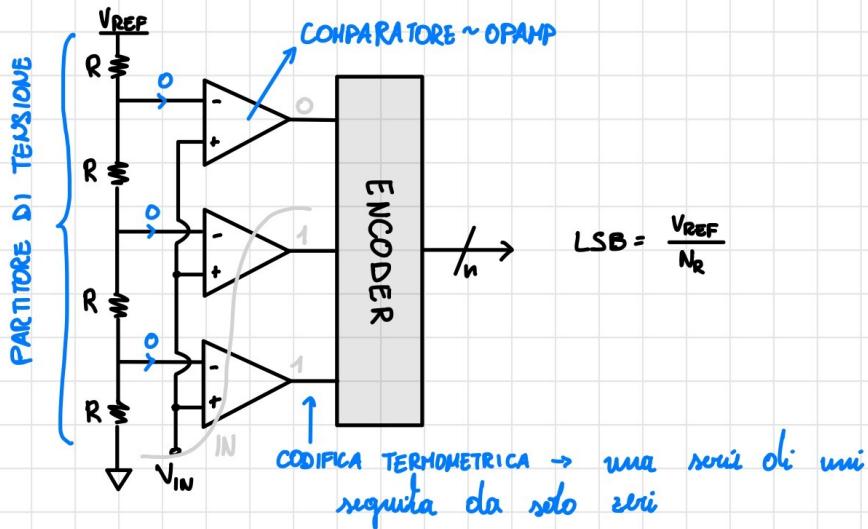
Elenchiamo alcuni errori tipici degli ADC reali:

- 1) ERRORE DI GUADAGNO: la retta di campionamento non corrisponde più alla bisettrice. L'errore in guadagno può essere eliminato tramite calibrazione.
- 2) ERRORE DI OFFSET: la caratteristica non parte dall'origine, ma da un certo valore minimo.
- 3) NON LINEARITÀ: i gradini non sono tutti equidistanti.

Nel dataset viene fornita la DNL (Differential Non Linearity) che indica la differenza percentuale tra gradino reale e ideale. Un altro modo per quantificare la non linearità è tramite la INL (Integral Non Linearity) che indica quanto il centro del gradino reale si discosta da quello ideale. La INL è l'integrale della DNL.

7.2.1 ADC FLASH

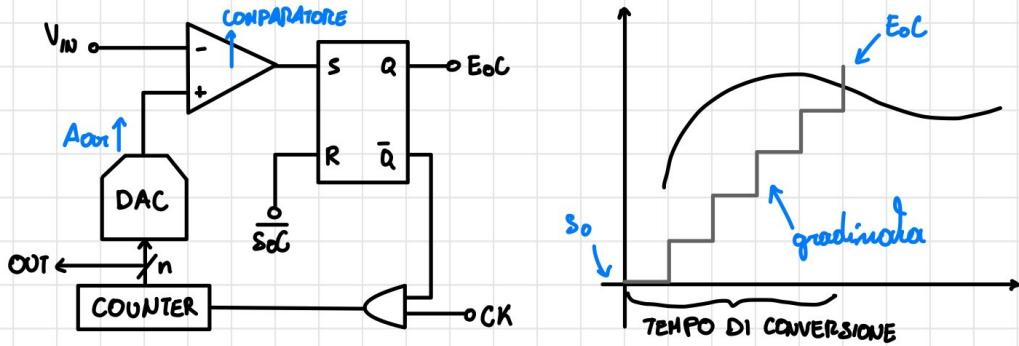
Il primo tipo di ADC che vedremo è l'ADC flash. Sotto è riportato lo schema.



L'ADC flash è limitato principalmente dagli $2^n - 1$ comparatori necessari, rendendolo utilizzabile solo per numeri di bit piccoli. In compenso è molto veloce. L'errore di produzione delle resistenze può causare non linearità, ma ciò si può mitigare utilizzando resistenze grandi.

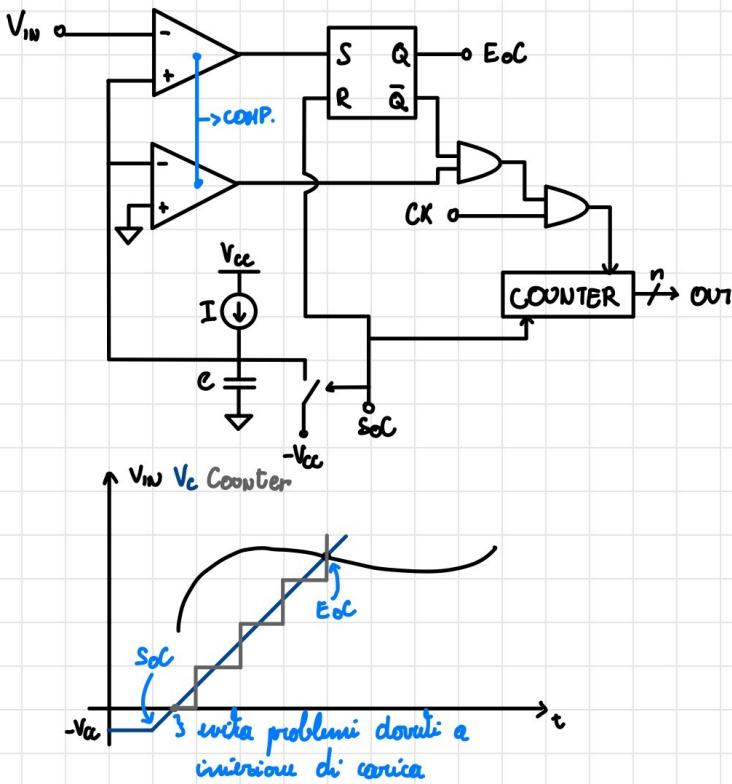
7.2.2 ADC TRACKING o graduinata

Il secondo ADC che vedremo è l'ADC tracking o graduinata. Iniziamo a vedere qui i segnali auxiliari da avevamo accennato. Lo schema annotato è riportato sotto. Il principale problema di questo ADC è di richiede tempo: nel corso persino serviranno 2^n cicli di clock per campionare. Le pulsazioni dell'ADC, inoltre, si riducono al prezzo di un buon DAC.



7.2.3 ADC a singola rampa

Un'alternativa al circuito sopra è sostituire lo DAC con una rampa analogica. Ciò permette di utilizzare un clock più breve poiché non abbiamo attesa la propagazione attraverso una DAC.

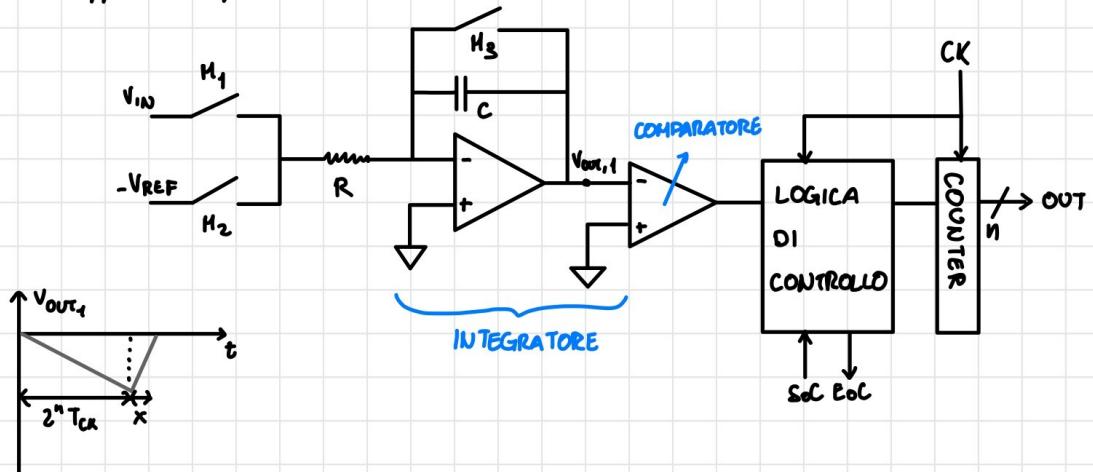


Questo circuito risente, però, di una dipendenza da I e C : se I non è

esattamente pari a quelle nominale avremo una perdita alterata della rampa e quindi un errore di quadro.

7.2.4 ADC a doppia rampa

Molti dei problemi dell'ADC a singola rampa vengono superati dal ADC a doppia rampa.



Possiamo distinguere delle fasi operative:

- 1) H_1 ON; H_2, H_3 OFF per $2^n T_{CK} \rightarrow \Delta V_{C_1} = I/C \Delta t = V_{IN}/RC \cdot 2^n T_{CK}$
- 2) H_1, H_3 OFF; H_2 ON

$$|\Delta V_{C_2}| = |V_{REF}|/RC \cdot x T_{CK} = |\Delta V_{C_1}|$$

$$|V_{REF}|/RC \cdot x T_{CK} = V_{IN}/RC \cdot 2^n T_{CK} \Rightarrow x = V_{IN}/V_{REF} \cdot 2^n = V_{IN}/L_{SB}$$

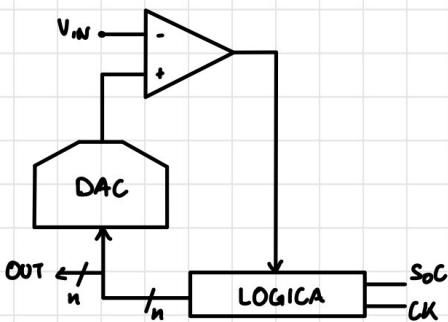
Il valore x sarà la codifica del segnale.

La principale forza di questo design è che la codifica non dipende da R e C . Il tradeoff è la velocità: avremo $T_{CON, MAX} = 2^{n+1} T_{CK}$

7.2.5 ADC SAR

Gli ADC vecchi fino ad ora utilizzavano una rampa per la "ricerca" del valore. Per ottimizzare proviamo ad usare una ricerca binaria.

Ciò ci porta ad un numero di step pari a $\log(2^n) + 1 = n+1$ colpi di clock. Lo step finale dipende dall'implementazione poiché potrebbe essere necessario un ultimo ciclo per verificare la terminazione della ricerca.

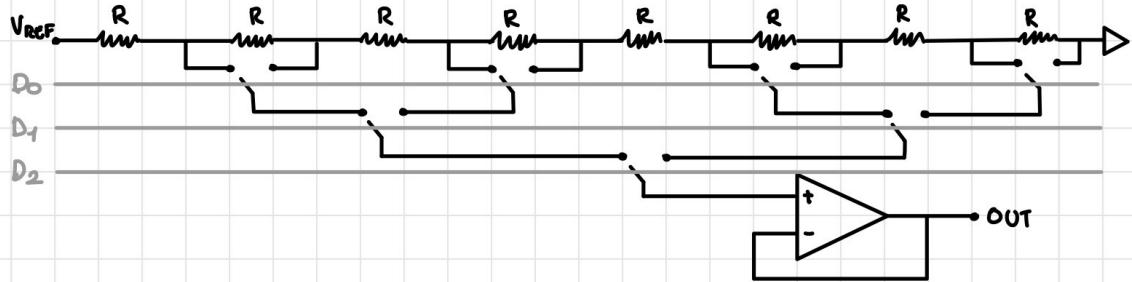


7.3 DAC

In alcuni design di ADC, abbiamo trovato il duale: il DAC. Studiamo ora alcuni tipi di DAC per completezza.

7.3.1 DAC *voltage scaling*

Il DAC *voltage scaling* è composto da 2^n resistenze ed un albero di interruttori così interconnessi:



Dal punto di analisi del circuito, si può notare che per qualsiasi configurazione degli interruttori le resistenze sono in serie. Le resistenze, perciò, partizionano il segnale V_{REF} in 2^n incrementi.

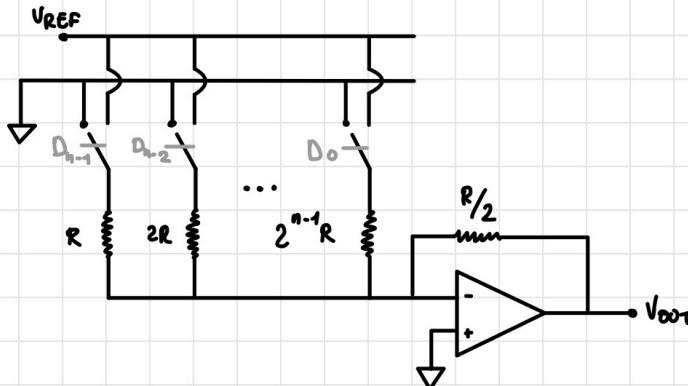
Dinamicamente, vorrà un tempo assorbito dopo il cambio di

coolifero. Questo tempo dipende dalla tipologia del buffer. Inoltre il buffer introduce non linearità a causa della corrente di bias: la ΔV_{DD} sarà pari a $I_B^+ \cdot R_{EQ}$ con R_{EQ} dipendente dall'ingresso. Possiamo minimizzare il contributo usando R piccole, introducendo però una maggiore dissipazione di potenza ridica e problemi di variabilità della R a causa dei processi produttivi.

7.3.2 DAC a resistenze parate

La tensione V_{REF} è divisa in 2ⁿ contributi tramite un sommatore di correnti.

$$V_{OUT} = -V_{REF} \left(\frac{1}{2} D_n + \frac{1}{4} D_{n-1} + \dots \right)$$

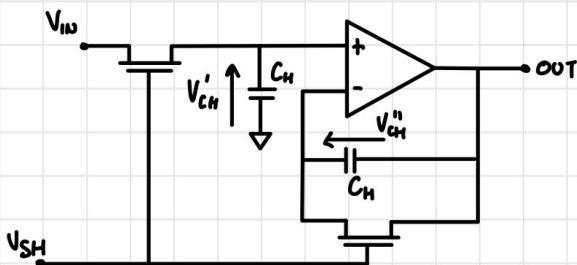


I vantaggi di questo circuito sono il numero di interruttori ridotto e il contributo costante della I_B . Il principale problema è la necessità di resistenze di dimensioni diverse.

7.4 S & H analogo

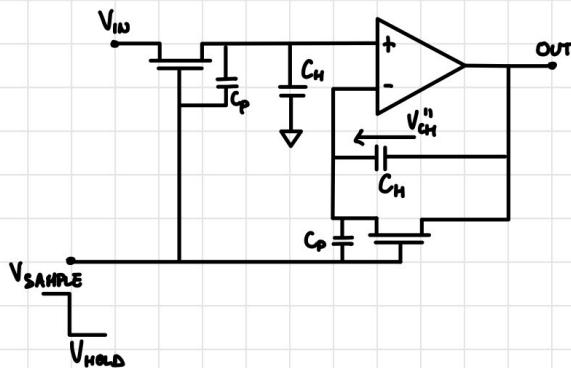
Il precedente design aveva problemi dovuti alla charge injection. Proviamo ad introdurre un nuovo design.

Con gli interruttori chiusi, abbiamo che $V^+ = V_{IN}$ e $V^- = V_{OUT}$. Per rebazzicare $V^+ = V^-$ e quindi $V_{OUT} = V_{IN}$: il sample è stato readattato. Con gli interruttori aperti abbiamo che $V^+ = V_{CH}^+$ e poiché $V^+ = V^-$ $V_{OUT} = V_{CH}^+ - V_{CH}^-$. Possiamo



Ragionevolmente ipotizzeremo che $V_{CH}'' = 0 \text{ V}$ poiché la fase di HOLD è sempre successiva ad un SAMPLE dove la capacità è in parallelo ad un corto circuito che la scarica. Perciò $V_{OUT} = V_{CH}'$: abbiamo realizzato anche la fase di HOLD.

La struttura in retroazione è stata aggiunta per compensare l'inversione di carica:

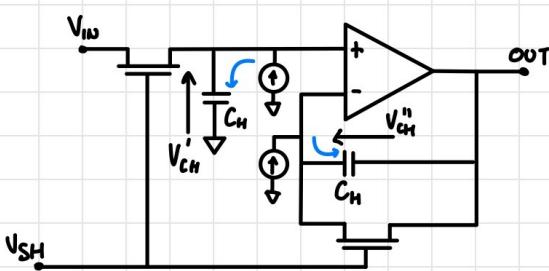


$$\Delta V_{CH}' = \Delta V_{SCH} \frac{C_P}{C_P + C_H}$$

$$\Delta V_{CH}'' = \Delta V_{SCH} \frac{C_P}{C_P + C_H}$$

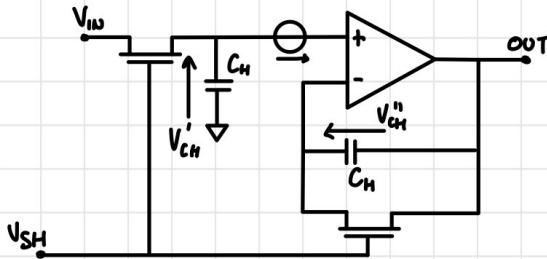
$$\begin{aligned} \text{HOLD: } V_{OUT} &= V_{CH}' - V_{CH}'' \\ &\Rightarrow \Delta V_{OUT} = 0 \text{ V} \end{aligned}$$

L'introduzione di un OPAAMP, però, introduce altre non-idealità:
 1. Correnti di bias: compensata grazie alla retroazione.



$$\begin{aligned} \Delta V_{CH}' &= I_B^+ / C_H \cdot \Delta T_{HOLD} \\ \Delta V_{CH}'' &= I_B^- / C_H \cdot \Delta T_{HOLD} \\ \Rightarrow \Delta V_{OUT} &= 0 \text{ V} \approx I_B^+ = I_B^- \end{aligned}$$

2. Tensione di offset: non può essere compensata, ma essendo costante può essere eliminata tramite calibrazione.



$$V_{OUT} = V_{CH}' - V_{CH}'' + V_{OS}$$

$$\text{HOLD: } V_{OUT} = V_{CH}' + \underline{\underline{V_{OS}}}$$