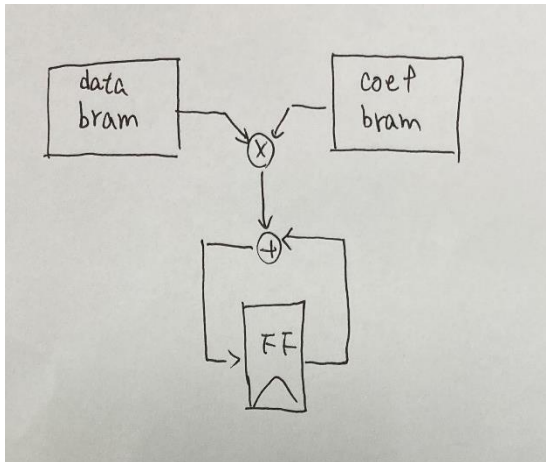
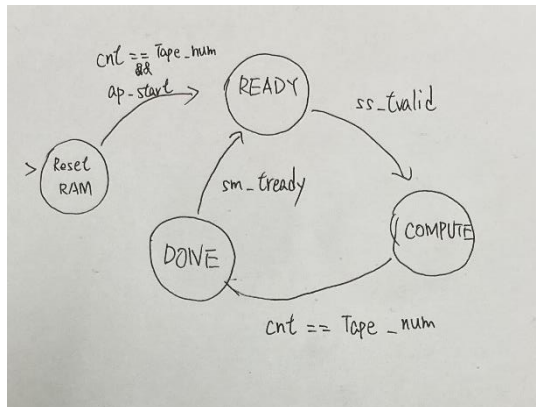


Lab3 report

1. Data path



FSM



2. description:

a. Receive Tap parameters by axi-lite:

當 `arvalid` 時檢查 `araddr`, 若不為 0 則代表為 `tap` 的部分, 為 0 則為 `ap` 相關信號。Tap 的讀寫只需將 `araddr-32` 即為 `bram addr`。寫入時, 每個 `cycle` 均可寫入, 寫入一筆資料後下一個 `cycle` 將 `addr` 及 `data` 換掉即可; 讀取時, 因為 `data` 要在給定 `address` 後下個 `cycle` 才出來, 因此每兩個 `cycle` 讀取一次。

b. FSM of computation part:

Reset 時進入 `reset_ram` state, 此時會將 `data bram` reset 為 0。在 reset 結束後, 收到 `ap_start` 即可開始進行 fir 運算, 進入 `S_READY`。在收到 `ss_tvalid` 後, 進入 `S_COMPUTE`, 在這個 state 使用一個乘加法分多個 `cycle` 算完後, 進入 `S_DONE`, 在這個 state 送出 `sm_tdata`。

c. Receive and send data by axis:

在 `S_READY` 時, 若收到 `ss_tvalid` 則對 `bram` 寫入。在 `S_DONE` 時, 將 `sm_tvalid` 設為 1, 並給定 `sm_tdata` 為計算結果。

d. Data bram control

紀錄兩個變數，addr_base 及 addr_cnt。在 S_READY 時，對 addr_base 寫入；在 S_COMPUTE 時，對(addr_base+addr_cnt)%tape_num 進行讀取，並持續增加 addr_cnt 的值，直到加到 tape_num，進入 S_DONE。此時，會把 addr_base 減一，以達到 shift register 的效果。

e. ap_done generation:

在 S_COMPUTE 要進到 S_DONE 前，先檢查 ss_tlast 是否為 1，若是則將 ap_done 改為 1

3. Resource usage

Name	Slice LUTs (53200)	Slice Registers (106400)	DSPs (220)	Bonded IOB (125)	BUFGCTRL (32)
N fir	226	81	3	328	1

4. Timing report

Clock cycle: 4ns

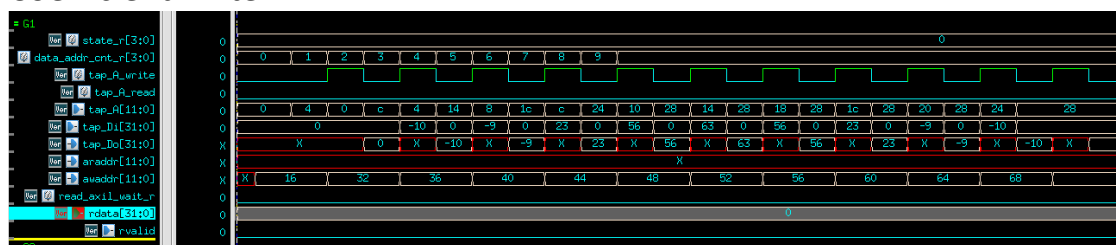
Max delay path:

Max Delay Paths	
Slack (MET) :	0.099ns (required time - arrival time)
Source:	res_r_reg[1]/C (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@2.000ns period=4.000ns})
Destination:	res_r_reg[31]/D (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@2.000ns period=4.000ns})
Path Group:	axis_clk
Path Type:	Setup (Max at Slow Process Corner)
Requirement:	4.000ns (axis_clk rise@4.000ns - axis_clk rise@0.000ns)
Data Path Delay:	3.765ns (logic 2.646ns (70.279%) route 1.119ns (29.721%))
Logic Levels:	10 (CARRY4=8 LUT2=2)
Clock Path Skew:	-0.145ns (DCD - SCD + CPR)
Destination Clock Delay (DCD):	2.128ns = (6.128 - 4.000)
Source Clock Delay (SCD):	2.456ns
Clock Pessimism Removal (CPR):	0.184ns
Clock Uncertainty:	0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ):	0.071ns
Total Input Jitter (TIJ):	0.000ns
Discrete Jitter (DJ):	0.000ns
Phase Error (PE):	0.000ns

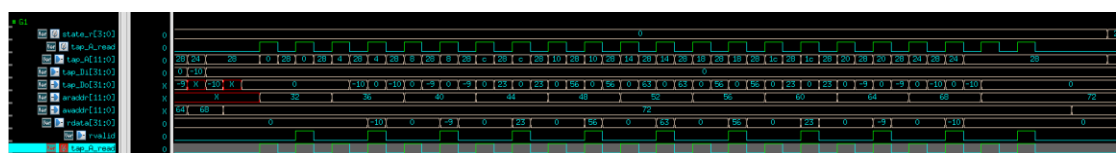
Slack: 0.099 ns

5. Waveform

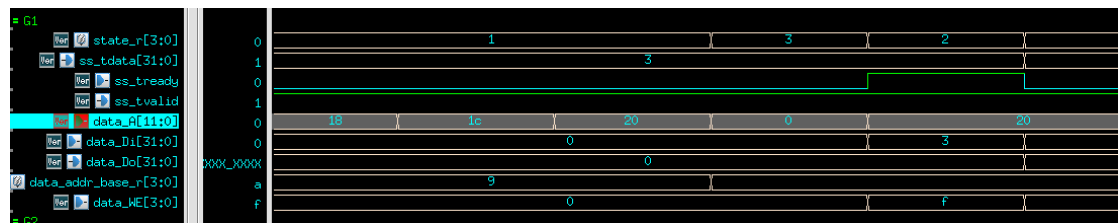
a. Coefficient write



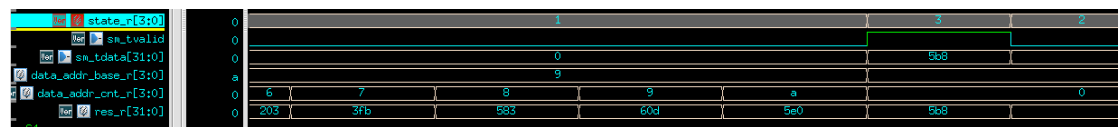
b. Coefficient read



c. Data stream in



d. Data stream out



e. Ram access ctrl:

