

ЛЕКЦИЯ 10. Организация МП класса Pentium (P6)

Основные понятия: очередь команд; страница; суперскалярная архитектура; конвейер операций; предвыборка (упреждающая выборка) команд; предсказание переходов; динамическое исполнение команд; двойная независимая шина; блок распределения регистров; логический и физический регистры; изменение последовательности команд.

Основные вопросы: 1. Особенности архитектуры МП 6-го поколения. .
2. Организация и работа конвейера МП Pentium при выполнении программы. 3. Организация и работа конвейера МП Pentium при выполнении команд ветвления.

10.1. Особенности архитектуры МП 6-го поколения.

Перечислим эти особенности.

1. Использование системной шины с **36 разрядами адреса и 64 разрядами данных при 32-разрядной внутренней структуре.**

2. **Суперскалярная архитектура МП**, обеспечивающая одновременное выполнение нескольких команд в параллельно работающих исполнительных устройствах.

3. **Динамическое исполнение команд**, реализующее изменение последовательности команд (выполнение команд с опережением – спекулятивное выполнение), использование расширенного регистрового файла (переименование регистров), эффективное предсказание ветвлений.

11. **Раздельная внутренняя кэш-память 1-го уровня (L1) для команд и данных** емкостью по 16 Кбайт.

5. Поддержка **общей кэш-памяти команд и данных 2-го уровня (L2)** емкостью до 2 Мбайт

6. **Двойная независимая шина**, содержащая отдельную шину для обращения к кэш-памяти 2-го уровня (выполняется с тактовой частотой процессора) и системную шину для обращения к памяти и внешним устройствам (выполняется с тактовой частотой системной платы).

Конвейерное исполнение команд с реализацией 12 ступеней конвейера.

Предсказание направления программного ветвления (см. предыдущую лекцию) с высокой точностью.

9. **Ускоренное** выполнение операций с плавающей точкой.

10. Поддержка реализации **мультипроцессорных систем.**

11. Наличие внутренних средств, **обеспечивающих самотестирование, отладку и мониторинг производительности.**

10.2. Организация и работа конвейера МП Pentium (P6) при выполнении программы.

На рис. 11.1. приведена структурная схема микропроцессоров класса P6 (Pentium Pro, Pentium II , Pentium III и Celeron). Рассмотрим упрощенно

архитектуру и работу МП при выполнении программы, выделяя 12 ступеней его конвейера.

1) Блок внешнего интерфейса BIU (Bus Interface Unit) реализует обмен МП с системной шиной, к которой подключается память, контроллеры ввода/вывода, другие активные устройства системы, и шиной кэш-памяти 2-го уровня (L2), реализованной в виде отдельной микросхемы, размещаемой в общем корпусе (картридже) с МП. Обмен по системной шине осуществляется с помощью 64-разрядной ШД, 41-разрядной ША и ряда линий ШУ.

2) Внутренняя кэш-память команд 1-го уровня (L1) емкостью 16 Кбайт служит для размещения наиболее часто используемых команд, копируемых из оперативной памяти. Доступ к кэш выполняется с частотой, соответствующей тактовой частоте МП (сотни МГц). Этим повышается производительность МП, т.к. он реже обращается к более медленной памяти ОЗУ, работающей на частоте системной шины (десятки МГц). МП семейства P6 содержат также кэш-память 2-го уровня (L2) емкостью 256 Кбайт, 512 Кбайт или 1 Мбайт, которая изготавливается на отдельном кристалле, но размещается в общем корпусе с МП. Ее применение также позволяет дополнительно повысить производительность.

3) Процессор содержит блок выборки - декодирования, который выбирает 32 байта командного кода (строка кэш-памяти длиной 256 бит) из кэш-памяти команд, затем производит разделение и декодирование команд. При этом из выбранных команд выделяются **простые** команды, для выполнения которых достаточно одной микрооперации, и **сложные** команды, требующие выполнения нескольких микроопераций. К числу простых относятся, например, команды сложения, вычитания, сравнения, логических операций и ряд других, использующие регистровую адресацию операндов. Декодирование этих команд производят **декодеры (дешифраторы) DC1, DC2**, формирующие соответствующие микрокоманды (МК). **Декодер DC3** декодирует более сложные команды (например, сложение, вычитание, сравнение, логические операции – все с выборкой операнда из памяти). Выполнение команд с подобными операциями требует до четырех микроопераций (МО) каждая. Еще более сложные команды (умножение, деление, операции с плавающей точкой и ряд других) требуют формирования последовательностей из нескольких МК. Для их реализации используется УУ с ПЗУ микропрограмм, которое обеспечивает на выходе DC3 необходимую последовательность МК. В целом, блок выборки-декодирования формирует **шесть потоков МК**, обеспечивающих параллельное выполнение **трех** команд программы.

Четыре следующих ступени конвейера – 4, 5, 6 и 7 - в архитектуре МП называются **динамическим выполнением команд** (программы). Благодаря динамическому выполнению процессор может параллельно обрабатывать большое количество команд. Основные особенности динамического выполнения следующие:

- **множественное предсказание ветвлений.** Средство предназначено для прогнозирования значения счетчика команд при выполнении команд

ветвления;

- **анализ потока данных**, благодаря которому можно получить информацию, необходимую для планирования выполнения команд, независимо от их первоначального порядка в программе;
- **упреждающее выполнение**, которое “предугадывает” изменения счетчика команд и выполняет команды, результаты которых, **вероятно**, вскоре понадобятся.

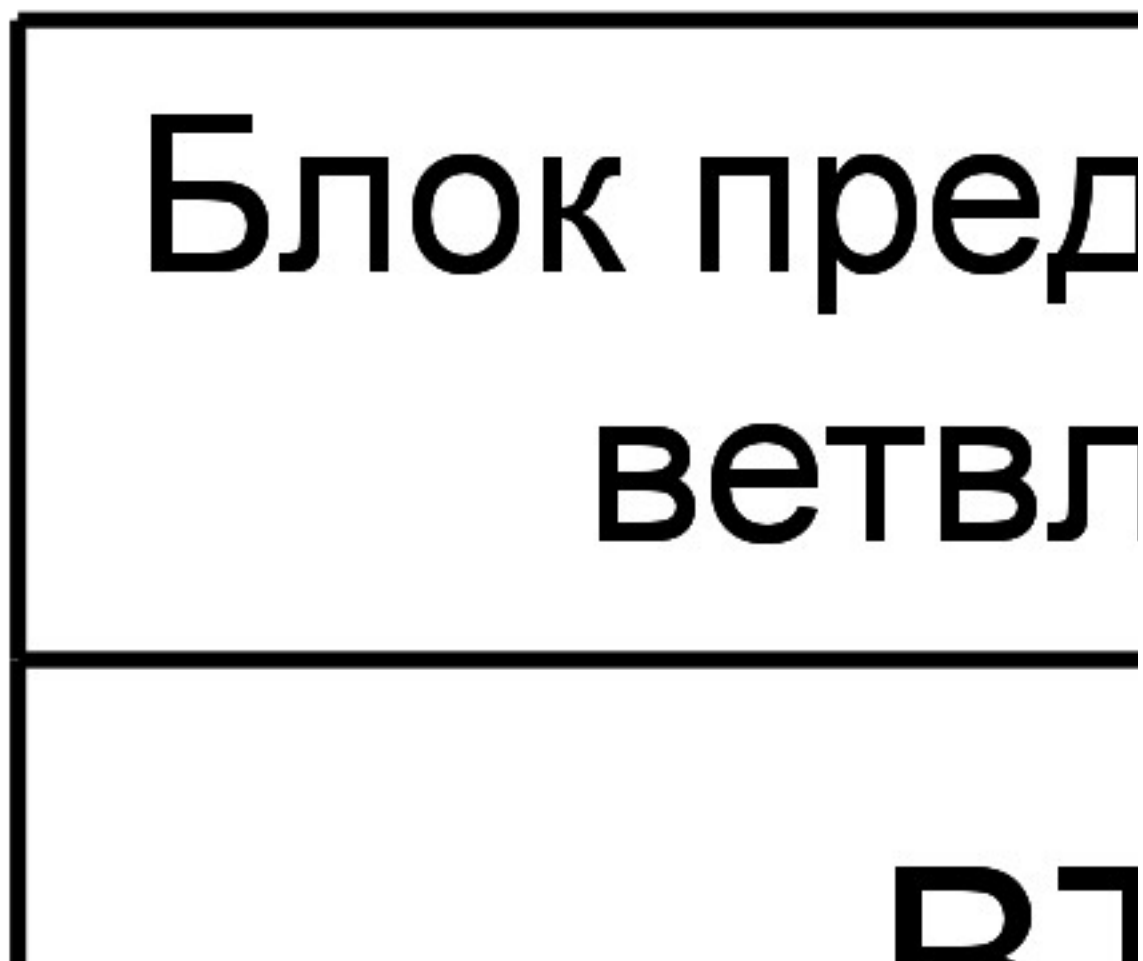


Рис. 11.1. Структурная схема МП (Р6).

Рассмотрим эти указанные четыре ступени.

4) Если в потоке команд оказывается команда условного перехода (ветвления программы), то включается **блок предсказания ветвления**, который формирует адрес следующей выбираемой команды до того, как будет определено условие выполнения перехода. Напомним, что для защищенного режима любой адрес памяти формируется весьма сложно! Используемый механизм предсказания адреса перехода описан ниже в п.11.3.

5) После формирования потоков микрокоманд производится **выделение логических регистров**, необходимых для выполнения декодированных команд. Например, для целочисленной арифметики это регистры EAX, ECX, EDI и др. Эта процедура реализуется **блоком распределения регистров** (RAT - Register Alias Table), для каждого указанного в команде программы **логического регистра** (доступного программисту) выделяет один из 40 **физических** регистров, входящих в блок регистров замещения (RRF - Retirement Register File). Эта процедура позволяет выполнять команды, использующие одни и те же логические регистры, одновременно или с изменением их последовательности.

6) Реализация наиболее эффективного выполнения потока декодированных команд обеспечивается блоком), который позволяет **изменение последовательности команд** (ROB - Re-Order Buffer.) Этот блок реализован в виде буфера, в который поступают МК, реализующие выполнение ряда декодированных команд. Одновременно в буфере могут содержаться до 40 МК, которые затем направляются в **исполнительные устройства** по мере готовности операндов, поступающих из блока регистров RRF или выбираемых из памяти. При этом команды выполняются не в порядке их поступления, а по мере готовности соответствующих операндов и исполнительных устройств. В результате команды, поступившие позже, могут быть выполнены до ранее выбранных команд. Таким образом, естественный порядок следования команд нарушается, чтобы обеспечить более полную загрузку параллельно работающих исполнительных устройств и повысить производительность МП.

7) МК поступают в исполнительные устройства через блок их **распределения** (RS - Reservation Station), который направляет их в соответствующее устройство после его освобождения. Блок распределения имеет пять выходных портов и обеспечивает в среднем выполнение трех команд одновременно.

8) **Суперскалярная** архитектура реализуется путем организации **исполнительного** ядра процессора в виде ряда параллельно работающих блоков. К ним относятся следующие блоки:

- **IU1, IU2** (IU - Integer Unit) производят обработку целочисленных операндов, Один из целочисленных блоков выполняет также проверку условий ветвления для команд условных переходов и выдает сигналы перезагрузки конвейера команд в случае неправильно предсказанного ветвления.
- **FPU** (Floating-Point Unit) выполняет операции над числами с плавающей точкой,
- **MMX** реализует одновременную обработку нескольких упакованных символов,
- **SSE**, введенный в процессорах Pentium III, обеспечивает выполнение операций над потоком чисел с плавающей точкой.

Адреса операндов, выбираемых из памяти, вычисляются **блоком интерфейса с памятью MIU** (Memory Interface Unite). В его состав входят устройства генерации адреса AGU (Address Generated Unit), которые одновременно формируют адреса двух операндов: один для операции чтения, второй - для операции записи. При этом MIU может формировать адреса и производить предварительное чтение операндов для команд, которые еще не поступили на выполнение. Такая процедура предварительного чтения данных для последующей их обработки в исполнительных блоках называется **спекулятивной выборкой**. Если команда, для которой проведена спекулятивная выборка операнда, не поступает на исполнение, то считанные данные теряются. Такой случай имеет место, например, для выбранных и декодированных команд, которые оказываются в нереализуемой ветви программы.

10) При выборке операнда из памяти производится обращение к **кэш-памяти данных**, которая имеет **отдельные порты для чтения и записи**. Таким образом, обеспечивается одновременная выборка операндов для двух команд. При отсутствии адресуемого операнда в кэш - памяти данных (кэш-промах) с помощью буферного блока обращения к памяти **MOB** (Memory Order Buffer) осуществляется обращение к кэш-памяти 2-го уровня или основной памяти (по системной шине). Данный блок реализует спекулятивную выборку при чтении операнда.

11) Для промежуточного хранения данных, записываемых в основную память, в составе блока **MOB** имеется **буфер данных записи**. Эта буферная память емкостью 32 байта позволяет задержать запись результата до того момента, когда системная шина освободится. Запись результатов производится, когда процессор выполняет команды, не требующие обращения к системной шине. Т. о., обеспечивается дополнительное повышение производительности.

Обмен с основной памятью при использовании кэш-памяти производится с помощью **пакетных**, а не одиночных **циклов** обращения, которые позволяют за одно обращение (одну команду) МП к памяти переслать содержимое целой строки кэш-памяти (32 байта). Внешняя 64-разрядная шина данных позволяет выполнить

такую пересылку за 5 тактов машинного времени: первый такт служит для установки адреса строки, а в течение следующих четырех тактов идет передача 8-ми байт данных.

Так в МП класса Р6 реализован конвейер команд с 12 ступенями их выполнения:

При прохождении **первых семи ступеней** (до блока изменения последовательности - ROB) сохраняется исходный порядок следования команд,

на **трех исполнительных ступенях** последовательность команд может быть нарушена,

две заключительные ступени обеспечивают запись полученных результатов в память или регистры с восстановлением исходного порядка их следования. Такое восстановление выполняется буферным блоком MOB при записи результатов в память или блоками изменения последовательности и распределения команд (ROB и RS) при записи результатов в регистр (блок RRF).

10.3. Организация и работа конвейера МП Pentium (P6) при выполнении команд ветвления.

Последовательная работа конвейера команд **нарушается** при поступлении команд **условных переходов**, так как в случае выполнения условия перехода, которое проверяется в исполнительном устройстве, потребуется перезагрузка конвейера - очистка всех предыдущих ступеней и выборка команды из новой ветви программы. Чтобы сократить или исключить потери времени, связанные с перезагрузкой длинного 12-ступенчатого конвейера, используется **блок предсказания ветвлений**. Его основной частью является память, называемая **буфером адресов ветвлений** (BTB - Branch Target Buffer), в которой хранятся 512 адресов ранее выполненных переходов с четырьмя битами предыстории каждого ветвления, которые указывают, выполнялся ли переход при четырех предыдущих выборках данной команды.

При поступлении очередной команды условного перехода указанный в ней адрес сравнивается с содержимым BTB.

- Если этот адрес не содержится в BTB, т.е. ранее не производились переходы по данному адресу, то предсказывается отсутствие ветвления. В этом случае продолжается выборка и декодирование команд, следующих за командой перехода.

- Если этот адрес содержится в BTB (т.е. при совпадении указанного в команде адреса перехода с каким-либо из адресов, хранящихся в BTB), производится анализ предыстории. В процессе анализа определяется чаще всего реализуемое направление ветвления, а также выявляются чередующиеся переходы.

Если предсказывается выполнение ветвления, то выбирается и загружается в конвейер команда, размещенная по предсказанному адресу. Одновременно в блоке выборки - декодирования сохраняется декодированная следующая команда. Если после анализа условия ветвления выясняется, что предсказание было неправильным, эта декодированная команда поступает из УУ в исполнительное устройство, обеспечивая сокращение потерь времени на перезагрузку конвейера.

Используемый алгоритм предсказания ветвлений ориентирован на достаточно частое повторение обращения к процедуре, которая обеспечивается определенной ветвью программы. При этом рекомендуется более часто используемые процедуры располагать в ветвях, следующих непосредственно за командой перехода, чтобы сократить время перезагрузки конвейера при ошибочно предсказанных ветвлениях. По имеющимся оценкам, данный алгоритм обеспечивает вероятность правильного предсказания ветвлений на уровне 90%.

Список рекомендуемой литературы.

1. Максимов Н. В., Партыка Т. Л., Попов И. И. Архитектура ЭВМ и вычислительных систем. – М.: Форум: Инфра-М, 2005. – п.11.2.

Контрольные вопросы и задания:

Перечислите элементы архитектуры МП Р6. Составьте таблицу для сравнения элементов архитектуры МП 8086, МП 80386 и МП Pentium Р6.

Перечислите элементы архитектуры МП Р6, присутствующие в МП 8086 и 80386. Найдите на структурной схеме Р6 (рис. 11.3.) блоки, реализующие элементы архитектуры, присущие МП 8086 и МП 80386 и выделите их на рисунке - различно для МП 8086 и 80386.

На структурной схеме Р6 найти блоки, соответствующие модулю процессора, который можно назвать исполнительным блоком.

Нарисуйте функциональную схему конвейера команд из 12 ступеней.

Составьте схему алгоритма работы блока выборки-декодирования.

6) Составьте упрощенную структурную схему МП Pentium примерно из 6-7 блоков.

7) Могут ли сдвигаться следующие команды: одна - сложить байт из регистра AL с байтом из ячейки с именем ABC сегмента данных с сохранением суммы в той же ячейке и другая команда – байт из ячейки ABC переслать в регистр с именем ВН.

8) Вспомните из предыдущей лекции, в чем сущность принципа микропрограммного управления, дайте определения понятиям микрокоманда и микропрограмма.

9) В чем сущность принципа динамического исполнения команд.

10) Составьте блочную схему алгоритма исполнения фрагмента программы с одной командой ветвления (например, переходом по равенству нулю).