

SoC Design Laboratory

Lab 3 Report

R11942159 呂嘉元

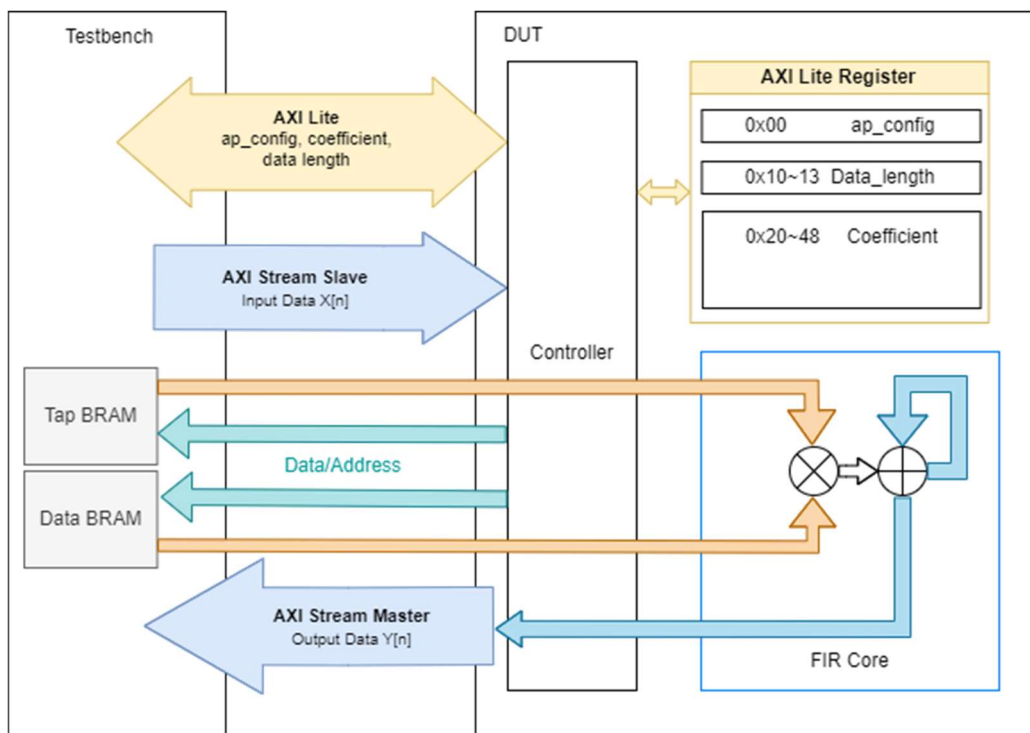
GitHub Link: <https://github.com/alexlu0414/2023Fall-NTU-SoC-Design-Laboratory>

1. Overview

在本次的 Lab 中，我用 Verilog 實作了以 AXI Lite / AXI Stream 作為傳輸介面並支援讀寫外部 BRAM 的 FIR 計算電路，並調整基於助教提供的 Testbench，通過 RTL Simulation 以及 Post-Synthesis Timing Simulation，合成時使用的 Clock Cycle Time 為 5ns。

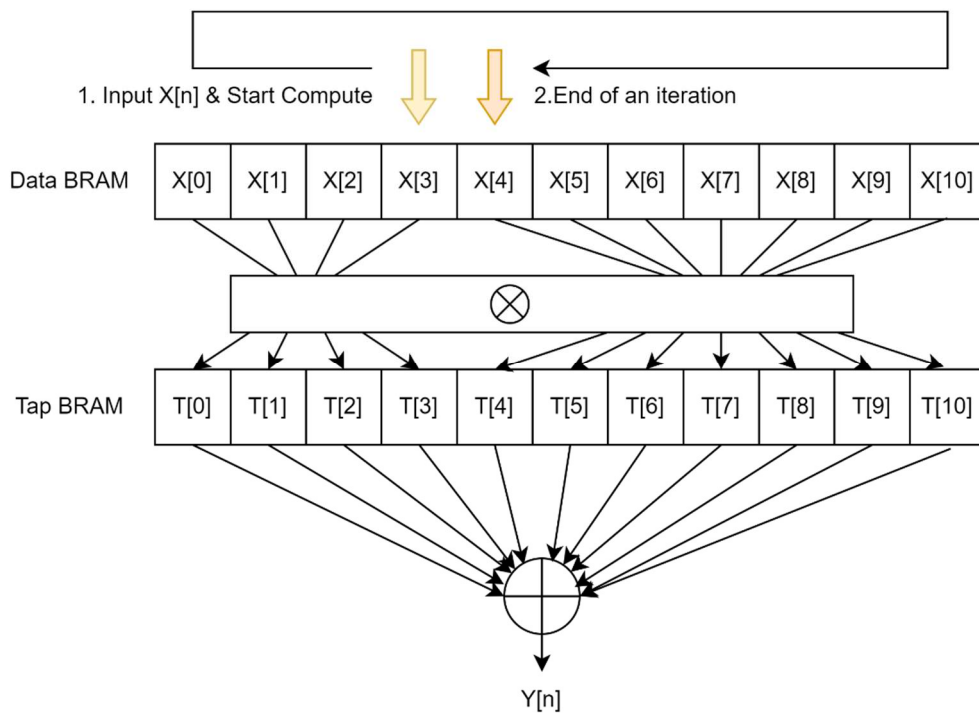
2. Block Diagram

下圖為本次設計的 Block Diagram，設計透過 AXI Lite / AXI Stream 傳遞 FIR 計算所需的 Input/Output，以及外部 BRAM Model 所需的 Data、Address 等訊號線。在設計內部主要分成 FIR Core、AXI Lite Register 和 Controller 三大部分，FIR Core 為計算核心，接收 Tap BRAM 以及 Data BRAM 的值計算後經由 AXI Stream 輸出。AXI Lite Register 作為 AXI Lite 介面的緩衝空間，在指定的位置分別存放 ap_configuration、Data Length、Coefficient 等計算所需資訊，並再由 Controller 控制資訊的傳遞。



3. FIR Operation

由於本次設計針對 FIR 計算的硬體規格有限制，必須以一個加法器、一個乘法器並搭配兩個 BRAM 完成計算，如圖所示，為了最大化計算效率，希望可以在 BRAM 上做到 Shift Register 的效果，因此我在 Data BRAM 準備了兩個 Address Pointer 製造出 Queue 的效果，其中一個 Pointer 會每個 Cycle 向前移動一個位置，而另外一個 Pointer 會記錄每個 Iteration 起始位置的下一個位置，這樣即可製造出輸入同時計算，計算結束後馬上可以接續下一個輸入的高效率運算。



4. Hardware Usage

1. Slice Logic

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	2674	0	0	53200	5.03
LUT as Logic	2674	0	0	53200	5.03
LUT as Memory	0	0	0	17400	0.00
Slice Registers	1237	0	0	106400	1.16
Register as Flip Flop	1235	0	0	106400	1.16
Register as Latch	2	0	0	106400	<0.01
F7 Muxes	672	0	0	26600	2.53
F8 Muxes	256	0	0	13300	1.92

2. Memory

Site Type	Used	Fixed	Prohibited	Available	Util%
Block RAM Tile	0	0	0	140	0.00
RAMB36/FIFO*	0	0	0	140	0.00
RAMB18	0	0	0	280	0.00

* Note: Each Block RAM Tile only has one FIFO logic available and therefore can acc

3. DSP

Site Type	Used	Fixed	Prohibited	Available	Util%
DSPs	3	0	0	220	1.36
DSP48E1 only	3				

5. Timing Report

最終可以成功通過 Timing Simulation 的 Cycle Time 為 5ns，下圖顯示 Setup 及 Hold Time Slack 皆大於零。

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.685 ns	Worst Hold Slack (WHS): 0.137 ns	Worst Pulse Width Slack (WPWS): 2.000 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 348	Total Number of Endpoints: 348	Total Number of Endpoints: 1236

All user specified timing constraints are met.

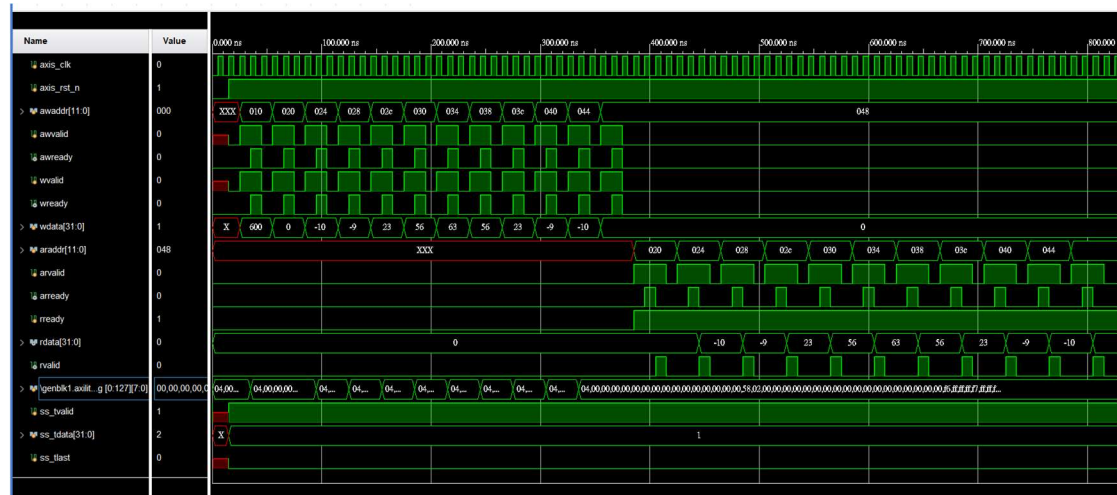
在 Timing Report 中看出最長的路徑是將 Data Length 存進 AXI Lite Register 的路徑，可能的理由是這條路徑路上的控制以及 MUX 較多，今後會再分析並優化使合成的頻率能再提升。

Max Delay Paths	

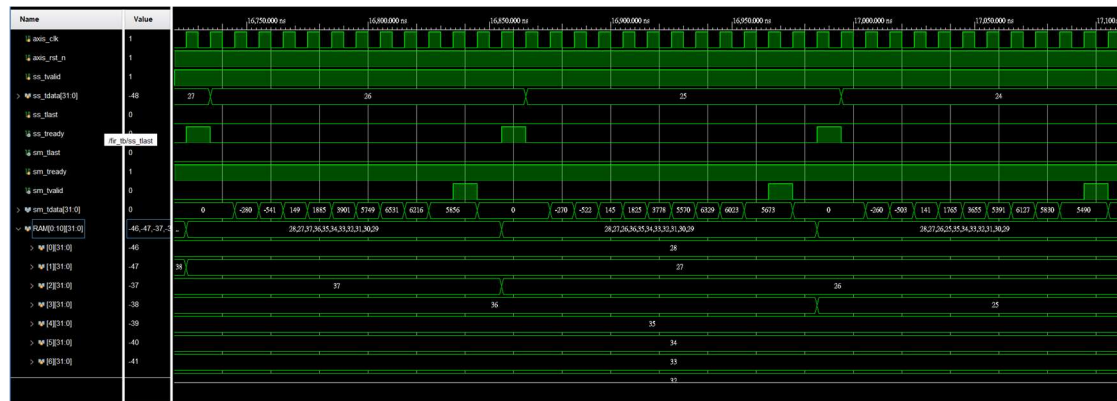
Slack (MET) :	0.685ns (required time - arrival time)
Source:	genblk1.data_length_reg[30]/C (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@2.500ns period=5.000ns})
Destination:	genblk1.axilite_reg_reg[0][1]/D (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@2.500ns period=5.000ns})
Path Group:	axis_clk
Path Type:	Setup (Max at Slow Process Corner)
Requirement:	5.000ns (axis_clk rise@5.000ns - axis_clk rise@0.000ns)
Data Path Delay:	4.179ns (logic 1.145ns (27.399%) route 3.034ns (72.601%))
Logic Levels:	4 (LUT4=2 LUT6=2)
Clock Path Skew:	-0.145ns (DCD - SCD + CPR)
Destination Clock Delay (DCD):	2.128ns = (7.128 - 5.000)
Source Clock Delay (SCD):	2.456ns
Clock Pessimism Removal (CPR):	0.184ns
Clock Uncertainty:	0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ):	0.071ns
Total Input Jitter (TIJ):	0.000ns
Discrete Jitter (DJ):	0.000ns
Phase Error (PE):	0.000ns

6. Waveform

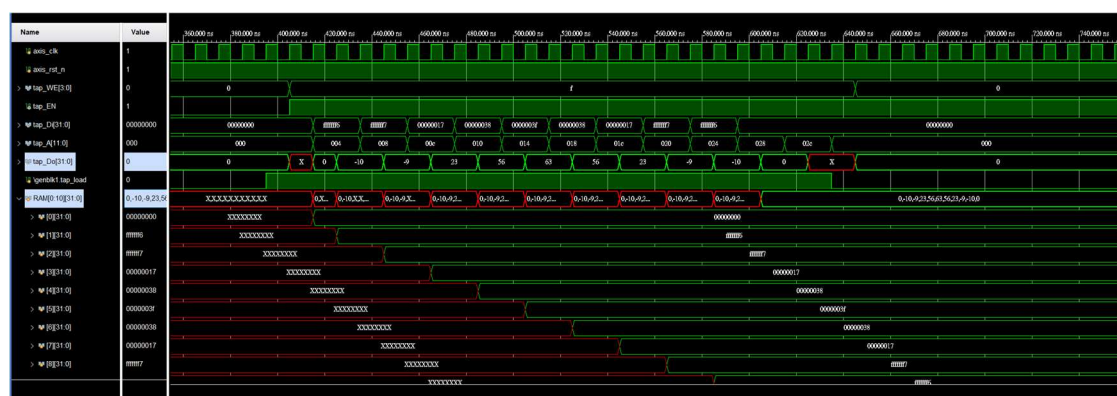
Coefficient Program & Read Back



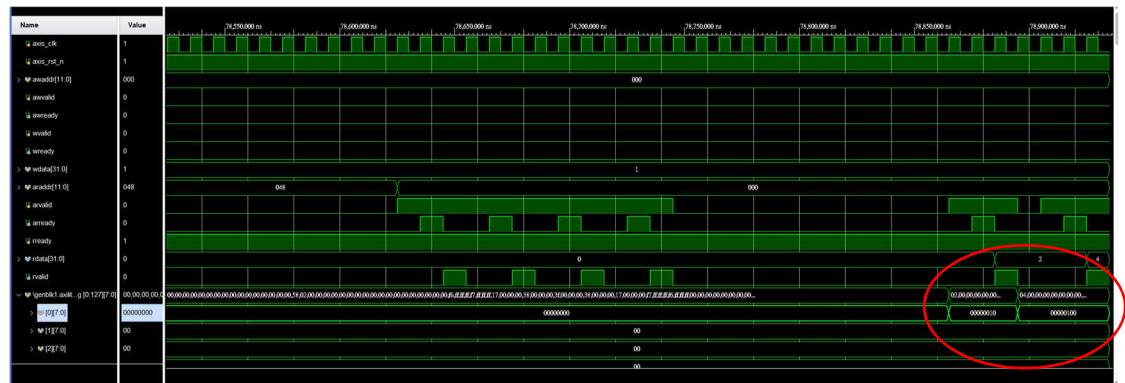
Stream In/Out BRAM



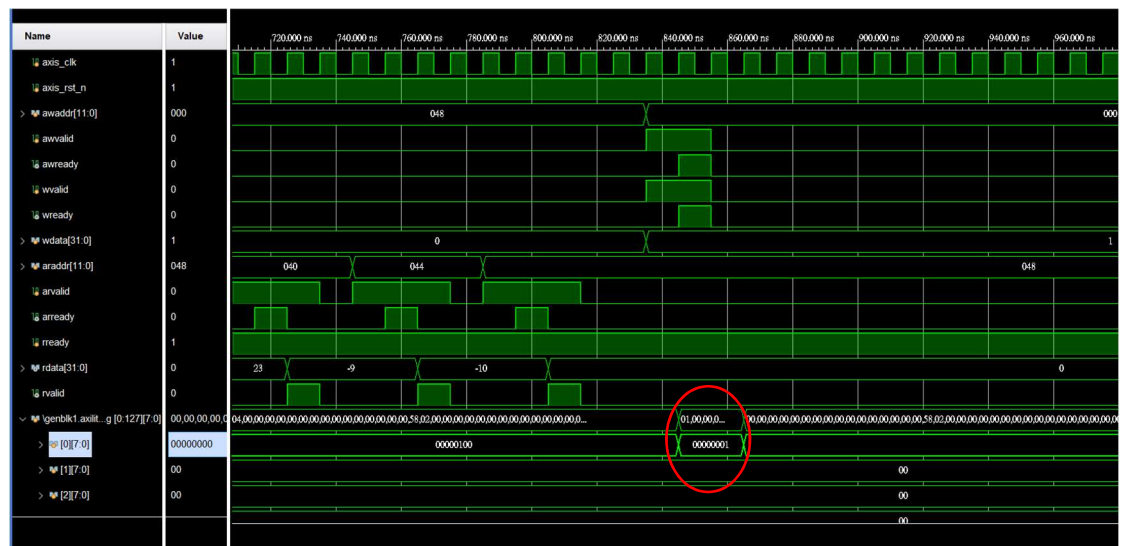
Tap BRAM control



ap_done / idle



ap_start



7. Conclusion

本次的 Lab 學習到 AXI 介面的實作，在實作的過程中逐漸可以理解 Handshake 介面的基本原理，同時由於題目對硬體規格有所限制，在限制內最佳化運算也是非常值得思考的問題。Testbench 的部分也基於助教的模板稍微挑整了一些訊號的時機點，使其更符合真實情況。將來會針對 Max delay path 的部份去改善設計，使整體系統的運作頻率能再上升。