Alex Oswald

EECE 2323

Due: 29 Sep 2020

Pre-Lab Assignment 2

**Simulation Screenshot:**

**A screenshot of a computer

Description automatically generated**

**Verilog Code for Parial ALU:**

1. module eightbit\_palu(
3. input **signed**[7:0] a,
4. input **signed**[7:0] b,
5. input [1:0] s,
6. output reg [7:0] f,
7. output reg ovf);
9. wire [7:0] op1; // a + b
10. wire [7:0] op2; // bitwise inversion of b
11. wire [7:0] op3; // bitwise AND of a and b
12. wire [7:0] op4; // bitwise OR of a and b
14. assign op1 = a + b;
15. assign op2 = ~b;
16. assign op3 = a & b;
17. assign op4 = a | b;
19. always @(s or op1 or op2 or op3 or op4)
20. **case**(s)
21. 2'b00: begin
22. f = op1;
23. ovf = (a[7] && b[7] && ~f[7]) || (~a[7] && ~b[7] && f[7]);
24. end
25. 2'b01: begin
26. f = op2;
27. ovf = 0;
28. end
29. 2'b10: begin
30. f = op3;
31. ovf = 0;
32. end
33. 2'b11: begin
34. f = op4;
35. ovf = 0;
36. end
37. **default**:  begin
38. f = 0;
39. ovf = 0;
40. end
41. endcase
43. endmodule

**Verilog Code for Testbench:**

1. module palu\_unit\_tb ();
2. // Inputs
3. reg **signed** [7:0] a;
4. reg **signed** [7:0] b;
5. reg [1:0] s;
6. // Outputs
7. wire **signed** [7:0] f;
8. wire ovf;
10. // Initiate the Unit Under Test (UUT)
11. eightbit\_palu uut (
12. .a(a),
13. .b(b),
14. .s(s),
15. .f(f),
16. .ovf(ovf));
18. // Initialize Inputs (stimulus)
19. initial
20. begin
21. #0
22. a = 8'd0;  b = 8'd0;  s = 0;  #10;
23. a = 8'd5;  b = 8'd6;  s = 0;  #10;
24. a = -8'd100;  b = 8'd25;  s = 0;  #10;
25. a = 8'd100;  b = 8'd100;  s = 0;  #10;
26. a = -8'd100;  b = -8'd100;  s = 0;  #10;
27. a = 8'd75;  b = 8'd100;  s = 0;  #10;
29. #20
30. a = -8'd1;  b = 8'd0;  s = 1;  #10;
31. a = 8'd0;  b = -8'd1;  s = 1;  #10;
32. a = 8'd1;  b = 8'd1;  s = 1;  #10;
34. #20
35. a = -8'd1;  b = -8'd1;  s = 2;  #10;
36. a = -8'd1;  b = 8'd49;  s = 2;  #10;
37. a = 8'd0;  b = 8'd0;  s = 2;  #10;
39. #20
40. a = -8'd1;  b = 8'd0;  s = 3;  #10;
41. a = 8'd0;  b = 8'd1;  s = 3;  #10;
42. a = 8'd0;  b = 8'd0;  s = 3;  #10;
43. end
45. endmodule