Alex Oswald

EECE 2323

Due: 22 Sep 2020

Pre-Lab Assignment 3

**Simulation Screenshot:**

**Graphical user interface, application, table

Description automatically generated**

**Verilog Code for Complete ALU:**

1. module eightbit\_alu(
2. input **signed**[7:0] a,
3. input **signed**[7:0] b,
4. input [1:0] sel,
5. output reg **signed** [7:0] f,
6. output reg ovf,
7. output reg take\_branch);
9. always@(a, b, sel)
10. begin
11. **case**(sel)
12. 3'b000:
13. begin
14. f = a+b;  take\_branch = 0;
15. end
16. 3'b001:
17. begin
18. f = ~b;  take\_branch = 0;
19. end
20. 3'b010:
21. begin
22. f = a&b;  take\_branch = 0;
23. end
24. 3'b011:
25. begin
26. f = a|b;  take\_branch = 0;
27. end
28. 3'b100:
29. begin
30. f = a>>>1;  take\_branch = 0;
31. end
32. 3'b101:
33. begin
34. f = a<<1;  take\_branch = 0;
35. end
36. 3'b110:
37. begin
38. f = 0;  take\_branch = (a==b);
39. end
40. 3'b111:
41. begin
42. f = 0;  take\_branch = (a!=b);
43. end
44. **default**:
45. begin
46. f=0;  ovf=0;  take\_branch=0;
47. end
48. endcase
49. ovf = (sel==0) && ((a[7] && b[7] && ~f[7]) || (~a[7] && ~b[7] && f[7]));
50. end
52. endmodule

**Verilog Code for Complete ALU Testbench:**

1. `timescale 1ns / 10ps
3. module alu\_unit\_tb ();
4. // Inputs
5. reg **signed** [7:0] a;
6. reg **signed** [7:0] b;
7. reg [2:0] sel;
8. // Outputs
9. wire **signed** [7:0] f;
10. wire ovf;
11. wire take\_branch;
13. // Initiate the Unit Under Test (UUT)
14. eightbit\_alu uut (
15. .a(a),
16. .b(b),
17. .sel(sel),
18. .f(f),
19. .ovf(ovf),
20. .take\_branch(take\_branch));
22. // Initialize Inputs (stimulus)
23. initial
24. begin
25. #0
26. sel = 3'b000;
27. repeat (8)
28. begin
29. a = 8'b00000000;  b = 8'b00000000;  #10; // 0   0
30. a = 8'b00000001;  b = 8'b11111111;  #10; // 1   -1
31. a = 8'b10101010;  b = 8'b10101010;  #10; // -86 -86
32. a = 8'b10101010;  b = 8'b01010101;  #10; // -86 85
33. a = 8'b01100100;  b = 8'b01100100;  #10; // 100 100
34. sel = sel + 1;
35. end
36. end
38. endmodule