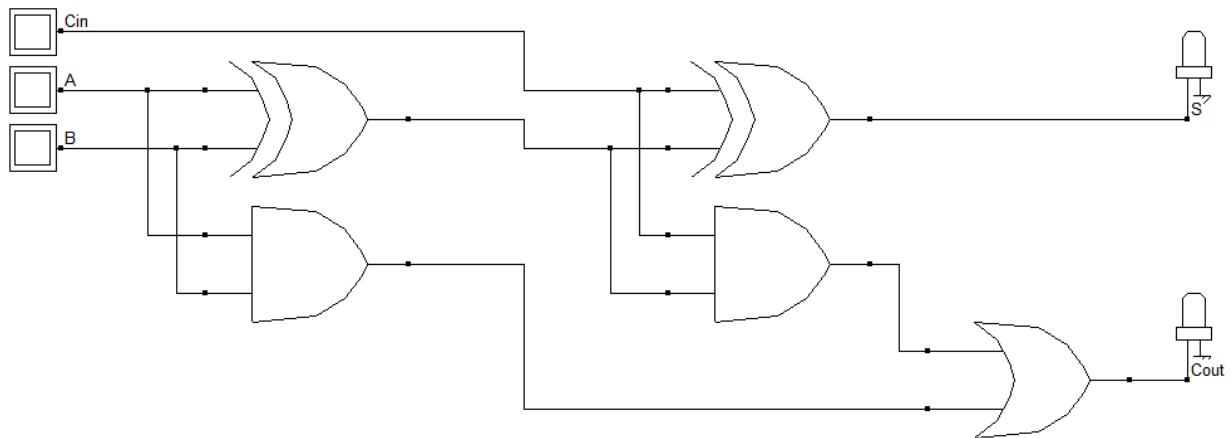
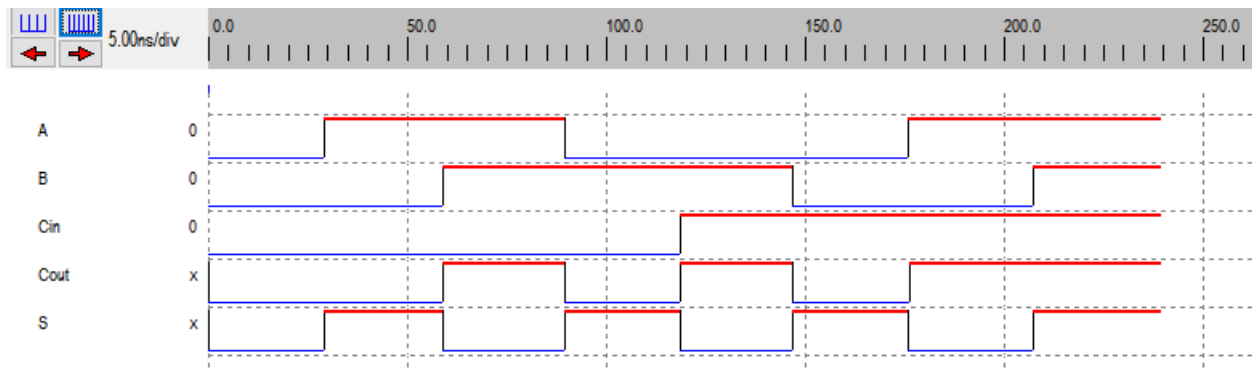


Schematic Diagram DSCH



Timing Diagram DSCH

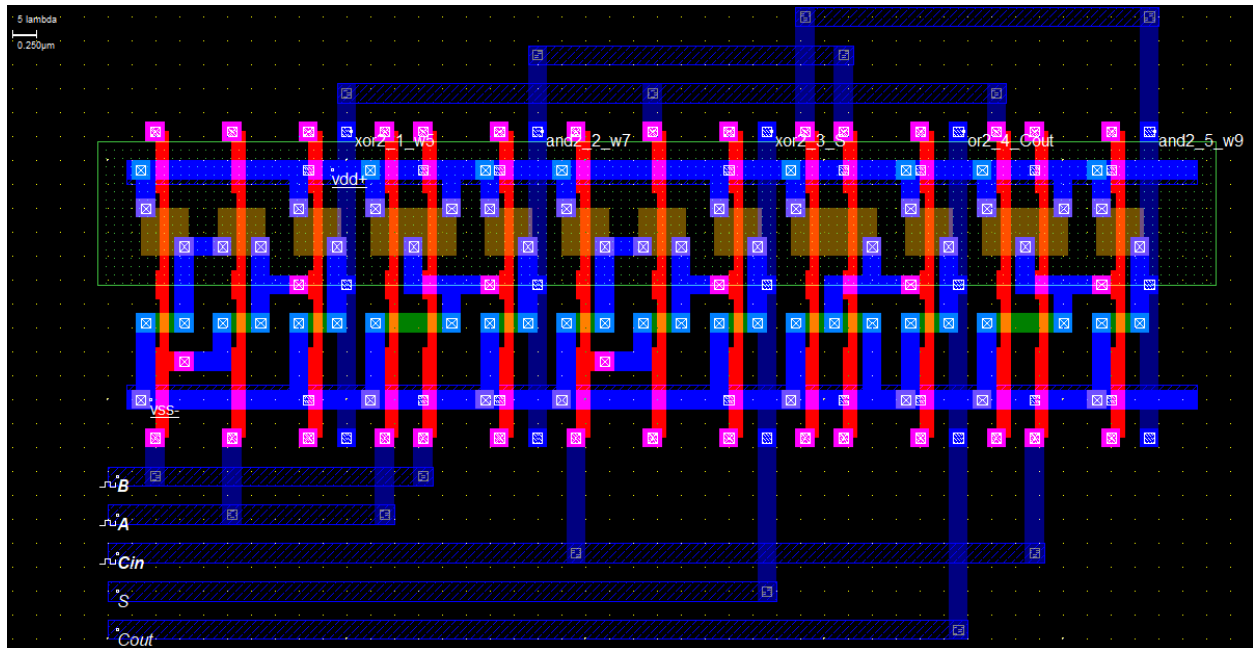


Verilog

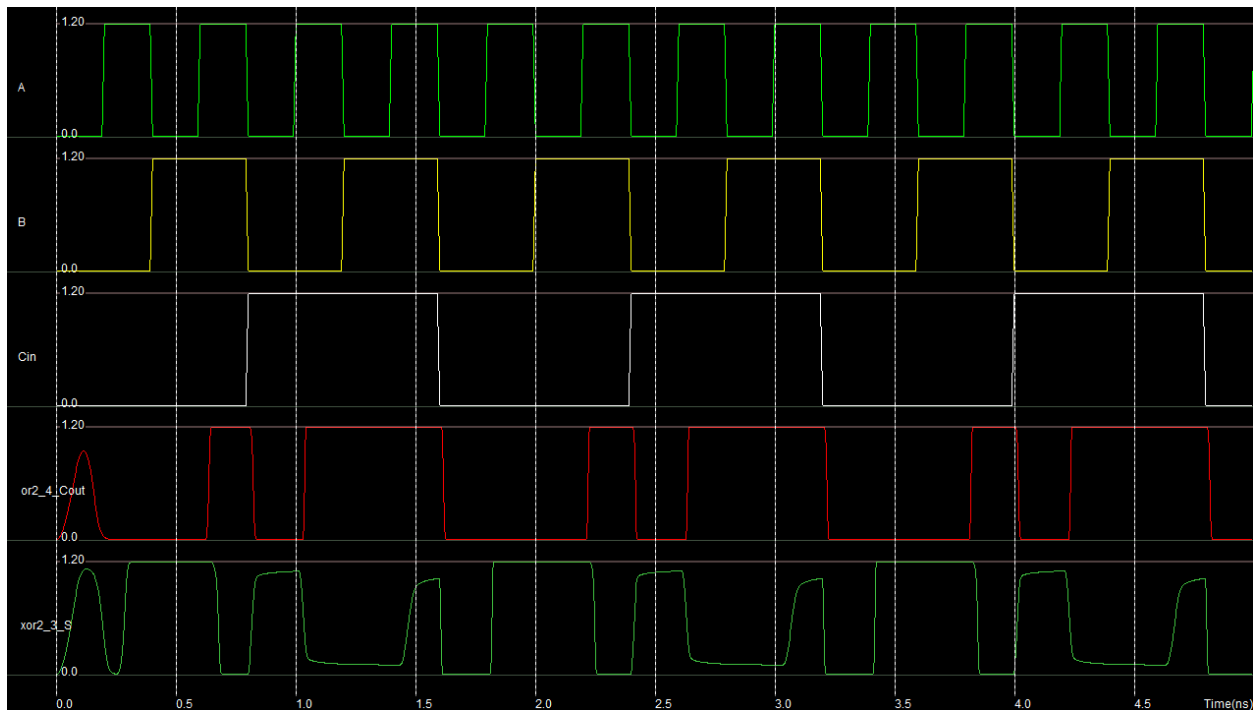
```
// DSCH 3.8
module adder( Cin,A,B,S,Cout);
  input Cin,A,B;
  output S,Cout;
  wire w5,w7,w9;
  xor #(2) xor2_1(w5,B,A);
  and #(2) and2_2(w7,A,B);
  xor #(2) xor2_3(S,Cin,w5);
  or #(2) or2_4(Cout,w9,w7);
  and #(2) and2_5(w9,w5,Cin);
endmodule

// Simulation parameters in Verilog Format
always
#200 Cin=~Cin;
#400 A=~A;
#800 B=~B;
```

Microwind Layout



Timing Diagram Microwind Layout



Analisis Simulasi

Dari Simulasi yang telah dilakukan, terutama setelah terbentuk layout VLSI dari adder ini terlihat bahwa output yang dihasilkan telah sesuai dengan ekspektasi. Hasil yang keluar pada Cout dan S berupa FFT sinyal kontinyu yang hasilnya tidak sepenuhnya tepat karena MOSFET akan memiliki delay tertentu.

Microwind 3D Model Layout

