1. **时序**

|  |  |
| --- | --- |
| ****同步时钟**** | ****异步时钟**** |
| * **当两个时钟间的相位是固定关系的，则可以称这两个时钟为同步时钟。** * **一般同源的两个时钟可以称为同步时钟。** | * **无法判定两个时钟间相位时，则可以称这两个时钟为异步时钟。** * **不同源的时钟，一定是异步时钟。** |
| ****同时钟域时钟**** | |
| **同时钟域的时钟既是同源时钟，还要求相位相同并且频率相同** | |

|  |  |  |  |
| --- | --- | --- | --- |
| ****同步电路**** | | ****异步电路**** | |
| **电路中所有触发器的时钟输入端都接同一个时钟脉冲源，因而所有[触发器](https://so.csdn.net/so/search?q=%E8%A7%A6%E5%8F%91%E5%99%A8&spm=1001.2101.3001.7020" \t "https://blog.csdn.net/dongdongnihao_/article/details/_blank)的状态的变化都与所加的时钟脉冲信号同步** | | **电路没有统一的时钟，不使用时钟脉冲做同步** | |
| **优点** | **缺点** | **优点** | **缺点** |
| **避免毛刺最简单的方法；简化时序分析过程** | **时钟频率由电路中最慢的逻辑路径决定的。会出现逻辑延迟过大，使得系统频率降低** | **无时钟歪斜问题、低电源消耗、平均效能而非最差效能、模块性、可组合和可复用性** | **一个时刻允许一个输入发生变化，以避免输入信号之间造成的竞争冒险** |

|  |  |  |  |
| --- | --- | --- | --- |
| ****同步复位**** | | ****异步复位**** | |
| **优点** | **缺点** | **优点** | **缺点** |
| **确保电路是同步的；确保复位只发生在有效时钟沿，可以过滤毛刺** | 同步电路自身限制；耗费较多的逻辑资源 | **方便；节省逻辑资源** | **易受到毛刺影响；复位结束时刻恰在亚稳态窗口内时，会导致亚稳态** |

|  |  |
| --- | --- |
| ****异步时钟时序约束**** | |
| **Recovery time** | **Removal time** |
|  |  |

|  |  |
| --- | --- |
| ****同步时钟时序约束**** | |
| **原理图** |  |
| **分析本质** | **所有分析着眼于触发器2，触发器1均完美采集。分析当第二个时钟沿到来时（第一个时钟沿触发器1在采集数据），由delay和组合逻辑引发的时序影响** |
| **时序图** |  |
| **建立时间** | **数据（触发器1采集到的第1个数据）路径比时钟路径更快** |
| **保持时间** | **数据（触发器1采集到的第2个数据）相对于时钟沿要保持** |

|  |  |
| --- | --- |
| ****跨时钟域CDC处理**** | |
| **快时钟进入慢时钟** |  |
| **慢时钟进入快时钟** |  |

|  |  |
| --- | --- |
| ****静态时序分析**** | ****动态时序分析**** |
| **计算每条路径的建立时间保持时间，不测试功能，耗时短** | **耗时长，作为STA的补充，需要输入矢量激励，可能遗漏关键路径** |

1. **非理想因素**

|  |  |
| --- | --- |
| ****Glitch free无毛刺时钟切换电路**** | |
| **相关时钟（频率倍数关系）** |  |
| 等切换前的时钟（此处CLK0）的下降沿到来后，两个与门才都输出0；再过一个CLK1下降沿后切换成功 |
| **不相关时钟（）** |  |
|  |

|  |  |
| --- | --- |
| ****时钟抖动**** | ****时钟偏移**** |
| * **指芯片的某一个给定点上时钟周期发生暂时性变化** * **和晶振或者PLL内部电路有关，布线对其没有影响** | * **同时钟产生的子信号之间的延时差异** * **是由于布线长度及负载不同引起的** |

|  |
| --- |
| ****噪声容限**** |
|  |

|  |  |
| --- | --- |
| ****亚稳态**** | |
| **原因** | * **数据传输中不满足触发器的建立时间/保持时间** * **复位过程中复位信号的释放相对于有效时钟沿的恢复时间不满足** |
| **特点** | * **持续时间不稳定** * **终态不稳定** |
| **解决** | * **降低时钟频率** * **采用更快的DFF** * **同步机制，打两拍** * **FIFO缓冲** |

|  |  |  |  |
| --- | --- | --- | --- |
| **复位** | | | |
| 同步复位 | D端输入 | | |
| 异步复位 | rstn端输入 | | |
| 异步复位同步释放 | 问题 | 亚稳态会出现在rstn重新回到1且clk上升沿来的时刻非常接近 |
| 解决 | 0不变，上升沿打两拍，对齐上升沿边沿 |
|  |  |

|  |  |
| --- | --- |
| **毛刺/竞争冒险** | |
| 竞争 | 逻辑门的两个输入信号同时变化，但变化时间有差异的现象 |
| 冒险 | 竞争产生干扰脉冲的现象 |
| 消除方法 | * 修改设计增加冗余项，防止互补信号：F=AB+A'C，产生竞争-冒险现象 F=A+A'（B=1，C=1）；添加冗余项BC，并不影响结果，此时当B=C=1时，F=A+A'+1=1 * 并联电容 * 引入选通信号，等输入信号稳定后输出，避开毛刺/采样延后，在输出信号的保持时间内对信号进行采样，就可以消除毛刺信号的影响（包括D触发器，思路类似） |

1. **总线**

|  |  |  |
| --- | --- | --- |
| **单工** | **半双工** | **全双工** |
| 单向线 | 双向线，但同一时间只有一个方向可以进行数据传输 | 全双工通信允许数据在两个方向上同时传输，即发送和接收数据的过程是同时进行的 |

|  |  |  |  |
| --- | --- | --- | --- |
| **总线** | | | |
| 类型 | 协议 | 传输特性 | 传输规则 |
| 串行 | UART | 串口，异步，单一设备间通信，全双工，速率用波特率 | |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 起始0 | X | X | X | X | X | X | X | 校验X | 停止1 | |
| USB | 串行，无时钟，定期发送心跳包防止累计误差，因此可以高速传输 |  |
| I2C | 同步，多设备通信，多从，半双工，通常为几百kbps | 写：开始-从设备地址-W-ACK-寄存器地址-ACK-数据-ACK-停止  读：开始-从设备地址-R-ACK-寄存器地址-ACK-开始-从设备地址-R-ACK-数据-NOACK-停止 |
| SPI | 同步，多设备通信，一主多从，全双工 |  |
| CAN | 差分传输，抗干扰强 |  |
| AMBA | APB |  |  |
| AHB |  |  |
| AXI | * 相比于AHB协议，AXI支持outstanding； * 相比于UART的对等关系，AXI为主从关系，从设备不得发起请求； * 5大信号通路：写地址、写数据、写回应、读地址、读数据 | |  |  | | --- | --- | | 数据通路 | 握手信号对（-VALID/-READY） | | 写地址 | AW | | 写数据 | W | | 写回应 | B | | 读地址 | AR | | 读数据 | R | |

|  |  |  |
| --- | --- | --- |
| **AXI总线分支** | | |
| 协议 | 特性 | 应用 |
| AXI-lite | 地址/单数据传输 | 低速外设，一次32bit |
| AXI | 地址/突发数据传输 | 一次读写一片地址 |
| AXI-stream | 无地址/突发数据传输 | 视频流处理，通信协议转换 |

|  |  |  |
| --- | --- | --- |
| **AXI burst工作模式** | | |
| 概念 | 在 AXI 传输事务（Transaction）中，数据以突发传输（Burst）的形式组织，包括所有 5 个通道上的交互。一次突发传输中可以包含一至多个数据（Transfer）。每个 transfer 因为使用一个周期，又被称为一拍数据（Beat） | |
| 写信号 | |  |  | | --- | --- | | 写操作信号 | 描述 | | AWREN | Burst传输长度（有几个数据要transfer ） | | AWSIZE | Burst传输大小（数据是2size个字节的） | | AWBURST | Burst传输类型 | | AWADDR | 首地址 |   AXI3和AXI4区别之一即为burst传输长度，AXI3只支持最大16，AXI4支持最大256 | |
| 传输类型（地址） | Fixed地址 | 每次访问地址相同，应用于FIFO |
| Incremental地址 | 假如第一次传输的地址是1，约定INCR传输，之后的递增地址为2，3，4，5，6，7，8 |
| Wrap地址 | 回旋型传输。假如第一次的传输地址是1，约定WRAP传输，回旋地址类似于2，3，4，0，1，地址绕圈。主要应用在cache的读写 |
| 传输机制 | Outstanding | 问题：每次transaction包括多个burst，多次握手影响效率  解决：一次握手后发送多个地址和控制信号缓存 |
| Out of order | 在outstanding基础上，每个burst发出一个transaction ID信号，不同transaction ID的burst乱序执行 |
| Narrow |  |
| Unaligned |  |
|  |  |  |

1. **设计方法**

|  |  |  |
| --- | --- | --- |
| ****低功耗设计**** | | |
| **静态功耗** | **来源** | 主要是由漏电流引起的功耗 |
| **低功耗方法** | * **多阈值方法：低阈值的标准逻辑单元速度快、漏电流大；高阈值的标准逻辑单元速度慢、漏电流小。**关键路径上使用低阈值的标准逻辑单元来优化时序，在非关键路径上使用高阈值的标准逻辑单元来优化漏电流 * 电源门控：高阈值MOS管作为电源闸门，用来将低阈值电源和地隔离开 * 体偏置：在工作模式下，MOS管的体偏置为0，MOS管处于低阈值状态，翻转速度快。在等待模式下，MOS管的体偏置为反向偏置，处于高阈值状态，漏电小 |
| **动态功耗** | **来源** | 翻转和短路引起的功耗，翻转功耗在当前的设计电路中仍然占主要部分 |
| **低功耗方法** | * **多电压域：通过多个DCDC模块分别供压** * **预计算：指通过判断输入向量在满足一些特定条件时将输入释放或屏蔽，**ALU不需要进行无用的计算，类似于zero skip思路 * 时钟门控：把不需要工作的时钟关闭 |

|  |  |
| --- | --- |
| ****阻塞赋值**** | ****非阻塞赋值**** |
| **一条阻塞赋值语句如果没有执行结束，那么该语句后面的语句就不能被执行** | **在本条非阻塞赋值语句执行完毕前，下一条语句也可开始执行** |

1. **系统规则**

|  |  |
| --- | --- |
| **数据量化** | |
| 浮点数 | 定点数 |
|  |  |

1. **基本单元**

|  |  |
| --- | --- |
| **FIFO** | |
| 同步FIFO | 异步FIFO |
|  |  |

|  |
| --- |
| **模3检测** |
| 判断输入序列能否被三整除，能的时候输出1，不能的时候输出0 |
|  |

|  |
| --- |
| **边沿检测** |
| Rising：上一刻0下一刻1；  Falling：上一刻1下一刻0；  Both：上下时刻异或 |

|  |  |
| --- | --- |
| **SR锁存器** | |
| 或非门型 | 与非门型 |
|  |  |
| **D锁存器** | |
| 传输门控 | 逻辑门控 |
|  |  |

|  |  |  |
| --- | --- | --- |
| **触发器** | | |
| 主从D触发器 | 维持阻塞型D触发器 | 传输延迟型JK触发器 |
|  |  |  |