1. **LDO**

|  |  |
| --- | --- |
| **系统架构** | |
| **d93183f15f21e7424a52ef2b377f219** | |
| 补偿 |  |

|  |  |  |  |
| --- | --- | --- | --- |
| **Cap free LDO仿真** | | | |
| LC谐振固定域 | 拓扑 | Cadence验证 | |
|  | 工艺 | 180nm BCD |
| VHV | 50V |
| 输入管耐压 | 55V |
| 输入管W | 96000um |
| 输入管L | 0.6um |
| L | 0.6nH |
| C | 0.1nF |
| R | 1Ω |
|  | 工艺 | 180nm BCD |
| VHV | 50V |
| 输入管耐压 | 55V |
| 输入管W | 4\*24000um |
| 输入管L | 0.6um |
| L | (0.05\*2+0.2)nH |
| C | 0.1nF |
| R | 0.25Ω |
| 仿真及分析 | | |
| 考虑最小化回路整体电感，将电容拆分成几个并联的小单元[6]从而使得寄生电感并联，参数对比如上表所示。令原本的总电感为3个L的串联，总电容不变，脉宽和峰值电流变为：       |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | Ipeak理论值/A | Ipeak/A | Tw理论值/ns | Tw/ns | | 电容不拆分 | 13.6 | 13.42 | 0.49 | 0.52 | | 电容拆分 | 23.7 | 20.77 | 0.37 | 0.368 |   考虑充电回路有一个cap charge模块，在谐振时理想状态是无电流。部分文章中采用二极管反偏实现。但实际仿真也出现了问题，二极管电流在产生pulse之后又出现了一个幅度更小的pulse：  cacb6632e4e6d87ad5858353ea7ff39  f035e4d5965932a8107b09cc53639ef  分析原理可以发现由于cap charge回路的存在，当节点M从负压被过充电到大于二极管D1的导通电压时，引导主谐振回路继续发生谐振，如图所示。则二极管电流会在脉冲后多出一个小峰。因此用电阻实现更合理。  faeb71ed1867009775072bbe13cc6ab | | |

1. **DCDC架构及特性**

|  |  |
| --- | --- |
| **系统特性** | |
| **静态特性**  **（与功率级相关）** | 1. 输出电压转化比 2. 功率容量 3. 开关电流、电压 4. 输出电压纹波 |
| **动态特性**  **（与反馈相关）** | 1. 稳定性 2. 频域传递函数 3. 时域瞬态响应，负载电流变化 |

|  |  |
| --- | --- |
| **开环，功率级参数对输出特性的影响** | |
| **变量** | **影响** |
| R | 电压和电流的ripple不受R影响；R减小IL增加，无损理论无上限；Iload是IL直流分量，Iload也理论无上限 |
| C | C增加，延迟启动，影响ripple |
| L | L增加，延迟启动，影响ripple |
| T | T减小，ripple减小 |

|  |  |  |
| --- | --- | --- |
| **Buck电路的CCM和DCM工作模式** | | |
| 电感电流 |  | |
|  | CCM | DCM |
| 原理 |  |  |
| 代入公式 |  |  |

|  |  |  |
| --- | --- | --- |
| **开关建模** | | |
| 开关模型 | 平均模型 | 小信号模型 |
|  |  |  |
|  | d(t)是小区间占空比函数 |  |

|  |  |  |
| --- | --- | --- |
| **Loss分析** | | |
|  | | |
| **Loss类型** | **非理想因素** | **计算** |
| DCR | 电感电阻 |  |
| Dead time | Dead time内电感电流从LS管的体二极管释放 |  |
| Switch conduction | 半桥中上下两FET导通后的RDS,on |  |
| Switching | 开管导通/关闭时电流电压交叠 |  |

|  |  |
| --- | --- |
| **Hard/soft charge对比** | |
| **Hard charge** | **Soft charge** |
|  |  |
|  |  |

|  |  |  |  |
| --- | --- | --- | --- |
| **闭环Buck小信号分析** | | | |
| **大信号Buck模型** | | **小信号Buck模型** | |
|  | |  | |
| 开环特性 | 前提条件 | | 小信号函数形式 |
| 输入-输出传递函数 |  | |  |
| 占空比-输出传递函数 |  | |  |
| 负载电流-输出传递函数 |  | |  |

|  |  |  |
| --- | --- | --- |
| **补偿网络** | | |
| **I型** | **II型** | **III型** |
|  |  |  |
| 1pole | 1zero 2pole | 2zero 3pole |

|  |  |
| --- | --- |
| **分析方法** | |
| 稳态近似 | ·分段线性分析  ·小纹波近似  ·磁通平衡和电荷平衡 |
| 纹波近似 | ΔvO由ΔiL推断得出，基于电容上的电流是ΔiL的交流分量 |
| 改进方向 | ·高power density  ·宽input和output电压范围  ·宽VCR范围内保持高efficiency |
| 其他 | ·Buck/Boost是Buck和Boost的串联，Buck输出电容冗余，可以去掉  ·电容器寄生电阻ESR引发的电压纹波大于电容充放电的影响 |

1. **功率级拓扑**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **CCM稳态特性** | | | | | |
|  | Off | On | CR | IV | |
| Buck |  |  |  |  |  |
|  |  |
|  |  |
| Boost |  |  |  |  |  |
|  |  |
|  |  |
| Buck/Boost |  |  |  |  |  |
|  |  |
|  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **主流converter拓扑对比** | | | | |
| **分类** | **结构** | | **优势** | **劣势** |
| 传统buck和boost | / | | 宽范围内高效率；  连续的VCR | 电感体积大，导致power density低；  大电压输入时conduction loss大；  响应速度低 |
| Switch capacitor |  | | 适合全集成；  Ripple小 | Charge sharing loss；  VCR不连续；  Hard charge；  开关多影响power density |
| Multi-level |  | |  |  |
| Hybrid SC |  | | 实现soft charge提高效率；  大VCR转比；  Ripple小 | 增加一个电感；  多开关结构会增加driver和level shifter设计难度 |
| [[[1]](#endnote-0)] | | 设计思路 | |
| 使得IL和SC端输出电压的部分解耦，且获益SC的小ripple优势；  对D的不同需求，大转比（D小）和低ICF（D=0.5）能同时满足 | |
| Inductor first | [[[2]](#endnote-1)] | | Buck电路Iin比Iout小，把电感放到前端，让DCR走小电流提高效率 | 输出电压ripple很大，因为两条电流是同方向的，但IL平均值减小 |
| Double step-down |  | | 拆解为SC降压+buck，其中CF降低输入电压减少器件电压负担；  大VCR下降低损耗 | 2个电感电流IL imbalance |
| Dual path | [[[3]](#endnote-2)] | | 减小DCR loss（大电感）与density（小电感）的矛盾难以解决，故在通过减小IL，RMS，减小ripple（大电感）；  分担电感上的电流负担，IL下降，ΔIL在同样转比下下降；  在大电流负载下提高效率  可以搭载更小的电感（大DCR） |  |
| 2phase |  | | |
| 3phase |  | | |

1. **Power MOS driver**

当前driver的主要实现模式包括：Si driving MOSFET，GaN driving HEMT，Si driving HEMT（片外独立）

**同步驱动 & 异步驱动**

|  |  |
| --- | --- |
| Asynchronous | Synchronous |
|  |  |

**Low-side driver & High-side driver**

|  |  |  |  |
| --- | --- | --- | --- |
| LS driver |  | | 考虑硅基结构，通过固定域电平转换和等比增长W/L的buffer链作为driving stage实现对LS管的驱动。Driving stage对电荷抽取行为主要来自末级向功率管栅极抽电荷。 |
| HS driver | Vsw固定域 | Vsw浮动域 | |
|  |  | 经典结构，采用上拉电阻作为level shifter，实用性极差（且没有具体电路分析）。 |

重点研究浮动域HS管的driver，用bootstrap电容实现电荷自举的相关文献：



该架构存在的问题包括：

1. Bootstrap与driver离，会产生寄生电感，且非全集成；
2. Charge sharing loss，使得bootstrap电容面积很大，难以全集成；
3. HEMT没有body diode，使得Vsw会出现负压，导致bootstrap电容过压；
4. Dead time时，Vsw没有HEMT正常导通的放电路径，会产生reverse conduction loss

这里重点研究问题1）和2）

**高压电荷补充方案电路拓扑结构**



目的是为了降低bootstrap电容面积，根据Q=CU，可以用更高的电压VHV，加一个HV switch给CBST补充电荷，提高提供电荷的最大限度。简化图：



然而考虑CBST和CISS发生charge sharing的前期，CHV的电荷还没补充上来，在CBST会有一个大压降，因此需要有pre charge机制的加入；且高压电容电荷转移给CBST时可能使CBST的电压过冲，因此pre charge路径应从CHV到driving stage，且当主要charge sharing开始，应该结束pre charge[[[4]](#endnote-3)][[[5]](#endnote-4)]。近期基于此结构没有很多优化空间，考虑可以在限流，管压分担等稳定性方面继续研究。简化图：



VLSI提出一种简单SC的架构，通过将bootstrap电容改变成可重构的小单元[[[6]](#endnote-5)]，在LS导通充电时并联单元，HS导通charge sharing时串联，使得压差足够，释放更多电荷提高效率，简化图：



本方案存在较大的损耗问题，电容并-串转换过程中电荷损耗一半：例如C1=C2=C，充电V1=V2=V，并联总电荷2CV。转串联后总电容由2C变为0.5C，总电压2V，总电荷变成CV，损失一半。考虑可以采用更佳的容值分配方式，而非文中提出的1:1:1，在每一级可以减小charge loss，后续可以继续优化。

**Floating current方案缩小CBST**



将driving stage拆分成前级和后级，前级仅靠电流镜驱动CDRV，替代较大的CBST做charge sharing，仅为level shifter和前级的driving stage供电荷。末级的stage通过高压源提供电荷。没有实际仿真此结构，我目前很难判断具体优化效果如何，之所以只在末级用高压提供电荷，我判断是因为高压管过多影响面积，但综合电容的面积优化，driver整体是否为面积最优解不确定。

1. **Level shifter**





1. **Gate driver for LiDAR**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **VCSEL driver拓扑** | | | | |
| LC谐振 | Diode固定域 | | [[[7]](#endnote-6)][[[8]](#endnote-7)] | [[[9]](#endnote-8)] |
| 本质：启动后，电容两侧被整体抬升/降低电平 | |
| Diode浮动域 | | [[[10]](#endnote-9)][[[11]](#endnote-10)] | |
| 本质：启动后，回路等效阻抗突变 | |
| 优势 | | * 通过resonant可以把脉宽做的很短； * 设计简洁，波形谐振产生，形状/PWHM稳定，拓扑可板级验证 | |
| 劣势 | | * 对浮动域driver，电流源与电容形成一个大Vbus； * 脉宽受passive器件影响，不易重构； * 峰值电流受制于LC的尺寸，对于浮动域需要大电感； * 有oscillation风险； * Rise time与寄生电感，VHV有关，优化难度高 | |
| FET驱动 |  | | | |
| [[[12]](#endnote-11)][[[13]](#endnote-12)] | | | |
| 优势 | * 峰值电流与输入方式/寄生电感相关，全GaN工艺具有优势 | | |
| 劣势 | * 脉冲宽度受Vpulse控制，受buffer line的寄生变窄，限制最小宽度； * 需要进行片上slew rate优化提高响应速度 | | |

|  |  |  |  |
| --- | --- | --- | --- |
| **谐振型VCSEL driver仿真** | | | |
| LC谐振固定域 | 拓扑 | Cadence验证 | |
|  | 工艺 | 180nm BCD |
| VHV | 50V |
| 输入管耐压 | 55V |
| 输入管W | 96000um |
| 输入管L | 0.6um |
| L | 0.6nH |
| C | 0.1nF |
| R | 1Ω |
|  | 工艺 | 180nm BCD |
| VHV | 50V |
| 输入管耐压 | 55V |
| 输入管W | 4\*24000um |
| 输入管L | 0.6um |
| L | (0.05\*2+0.2)nH |
| C | 0.1nF |
| R | 0.25Ω |
| 仿真及分析 | | |
| 考虑最小化回路整体电感，将电容拆分成几个并联的小单元[6]从而使得寄生电感并联，参数对比如上表所示。令原本的总电感为3个L的串联，总电容不变，脉宽和峰值电流变为：         |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | Ipeak理论值/A | Ipeak/A | Tw理论值/ns | Tw/ns | | 电容不拆分 | 13.6 | 13.42 | 0.49 | 0.52 | | 电容拆分 | 23.7 | 20.77 | 0.37 | 0.368 |   考虑充电回路有一个cap charge模块，在谐振时理想状态是无电流。部分文章中采用二极管反偏实现。但实际仿真也出现了问题，二极管电流在产生pulse之后又出现了一个幅度更小的pulse：    分析原理可以发现由于cap charge回路的存在，当节点M从负压被过充电到大于二极管D1的导通电压时，引导主谐振回路继续发生谐振，如图所示。则二极管电流会在脉冲后多出一个小峰。因此用电阻实现更合理。 | | |
| LC谐振浮动域 | 拓扑 | Cadence验证 | |
|  | 工艺 | 180nm BCD |
| Ibias | 0.6A |
| 输入管耐压 | 55V |
| 输入管W | 50000um |
| 输入管L | 0.6um |
| L | 2nH |
| C | 0.2nF |
| R | ~0 |
| 仿真及分析 | | |
| 谐振开始时，电感上的压降是Vbus-VLDF，Vbus由初始状态决定。因此Vbus最低下降到：    在中间电压位置，电流最大值：    电流脉宽PWHM为：    用5ns脉宽的功率管做输入，仿真验证结果。理论计算值：  Ipeak=16.4A，Tw=1.32ns    实测结果，Ipeak=15.18A，Tw=1.376ns  为了优化oscillation，在回路里加入电阻，阻值满足：    才能使系统damping。根据LC取值，R的下限为6.3欧姆。选取R为0.5，1，2，4，8欧姆。随R增加oscillation得到优化，但峰值电流会降低：       |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | R/Ω | 0.5 | 1 | 2 | 4 | 8 | | Ipeak理论值/A | 14.2 | 12.5 | 10.08 | 7.26 | 4.66 | | Ipeak/A | 13.7 | 12.5 | 10.5 | 7.9 | 5.2 | | | |

|  |
| --- |
| **未来考虑** |
| LiDAR driver的研究和发展流程从高压驱动转向低压驱动，从LC谐振式转向对功率管直接抽取电流，从固定窄脉宽到根据需求定制可重构脉宽。服务于iToF的laser driver领域较为空白，注重在50-50占空比的实现高输出功率，高运行频率（iToF精度与脉冲频率成正比），有研究方案侧重结合ToF系统的calibration[[[14]](#endnote-13)]，我个人认为可以从这一角度切入，注重波形在电脉冲rise/fall time存在瓶颈的前提下，对光脉冲重建的优化。  另外，对double pulse overlapping方法局限性的一些讨论：  （1）Motivation问题：把脉宽做到100ps量级的意义是否有必要，ToF真正计算的是反射波上升沿位置，两个触发信号带来的variation可能更影响accuracy  （2）Implementation问题：短脉宽受shot noise影响大，蒙特卡洛仿真  （3）拓扑问题：在导通时，二阶环路等效电阻R在电流峰值处非常小，damp的条件是：    因此为了防止oscillation，管子尺寸会有上限，这就限制了此拓扑能承担的最大电流。 |

1. [] Q. Ma et al., "28.3 A 12-28V to 0.6-1.8V Ratio-Regulatable Dickson SC Converter with Dual-Mode Phase Misalignment Operations Achieving 93.1% Efficiency and 6A Output," 2024 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2024, pp. 460-462, doi: 10.1109/ISSCC49657.2024.10454505. [↑](#endnote-ref-0)
2. [] A. Abdulslam and P. P. Mercier, "A Passive-Stacked Third-Order Buck Converter With Inherent Input Filtering Achieving 0.7-W/mm 2 Power Density and 94% Peak Efficiency," in IEEE Solid-State Circuits Letters, vol. 2, no. 11, pp. 240-243, Nov. 2019, doi: 10.1109/LSSC.2019.2935563. [↑](#endnote-ref-1)
3. [] Y. Huh et al., "A Hybrid Dual-Path Step-Down Converter with 96.2% Peak Efficiency Using a 250m μ Large-DCR Inductor," 2018 IEEE Symposium on VLSI Circuits, Honolulu, HI, USA, 2018, pp. 225-226, doi: 10.1109/VLSIC.2018.8502284. [↑](#endnote-ref-2)
4. [] A. Seidel, M. Costa, J. Joos and B. Wicht, "Bootstrap circuit with high-voltage charge storing for area efficient gate drivers in power management systems," ESSCIRC 2014 - 40th European Solid State Circuits Conference (ESSCIRC), Venice Lido, Italy, 2014, pp. 159-162, doi: 10.1109/ESSCIRC.2014.6942046. [↑](#endnote-ref-3)
5. [] X. Zhang et al., "A 24-V-Input Highly Integrated Interleaved-Inductor Multiple Step-Down Hybrid DC–DC Converter With Inherent Current Equalization Characteristics," in IEEE Journal of Solid-State Circuits, doi: 10.1109/JSSC.2024.3383292. [↑](#endnote-ref-4)
6. [] Mu et al., "A Fully Integrated 48-V GaN Driver Using Parallel-Multistep-Series Reconfigurable Switched-Capacitor Bank Achieving 7.7nC/Mm2 On-Chip Bootstrap Driving Density," [↑](#endnote-ref-5)
7. [] M. Wens, J. -M. Redoute, T. Blanchaert, N. Bleyaert and M. Steyaert, "An integrated 10A, 2.2ns rise-time laser-diode driver for LIDAR applications," 2009 Proceedings of ESSCIRC, Athens, Greece, 2009, pp. 144-147, doi: 10.1109/ESSCIRC.2009.5326005. [↑](#endnote-ref-6)
8. [] J. Nissinen and J. Kostamovaara, "A High Repetition Rate CMOS Driver for High-Energy Sub-ns Laser Pulse Generation in SPAD-Based Time-of-Flight Range Finding," in IEEE Sensors Journal, vol. 16, no. 6, pp. 1628-1633, March15, 2016, doi: 10.1109/JSEN.2015.2503774. [↑](#endnote-ref-7)
9. [] J. Nissinen and J. Kostamovaara, "A 4 a peak current and 2 ns pulse width CMOS laser diode driver for high measurement rate applications," 2013 Proceedings of the ESSCIRC (ESSCIRC), Bucharest, Romania, 2013, pp. 355-358, doi: 10.1109/ESSCIRC.2013.6649146. [↑](#endnote-ref-8)
10. [] S. -Y. Li et al., "A 4–40 V Wide Input Range Boost Converter With the Protection Re-Cycling Technique for 200 W High Power LiDAR System in a Long-Distance Object Detection," in IEEE Journal of Solid-State Circuits, vol. 58, no. 7, pp. 1850-1859, July 2023, doi: 10.1109/JSSC.2023.3269026. [↑](#endnote-ref-9)
11. [] Z. Tong, J. Huang, X. Mao, R. P. Martins and Y. Lu, "A Double Pulse Overlapping Laser Diode Driver With Minimum 100-ps Pulse for LiDAR System," in IEEE Journal of Solid-State Circuits, doi: 10.1109/JSSC.2024.3434586. [↑](#endnote-ref-10)
12. [] X. Ming, Z. -K. Ye, Z. -Y. Lin, Y. Qin, Q. Zhou and B. Zhang, "A Fully-integrated GaN Driver for Time-of-flight Lidar Applications," 2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Vancouver, BC, Canada, 2022, pp. 169-172, doi: 10.1109/ISPSD49238.2022.9813668. [↑](#endnote-ref-11)
13. [] G. Blasco, D. Dörich, E. Isern, R. Burkard and E. Martin, "An 80 A, 2 to 25 ns Configurable Pulse-Width Integrated CMOS Pulsed Laser Driver with On-Chip Mounted Laser Diode," 2020 IEEE International Symposium on Circuits and Systems (ISCAS), Seville, Spain, 2020, pp. 1-5, doi: 10.1109/ISCAS45731.2020.9181207. [↑](#endnote-ref-12)
14. [] S. Zhuo et al., "A 200 MHz 14 W Pulsed Optical Illuminator With Laser Driver ASIC and On-Chip DLL-Based Time Interpolator for Indirect Time-of-Flight Applications," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 70, no. 2, pp. 396-400, Feb. 2023, doi: 10.1109/TCSII.2022.3216451. [↑](#endnote-ref-13)