
Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica

EL-2207 Elementos Activos

Profesores: Dr. Juan José Montero Rodríguez
Dr. Alfonso Chacón Rodríguez
M.Sc. Aníbal Ruiz Barquero
M.Sc. Daniel Kohkemper Granados

I Semestre 2020

Primer Examen Parcial

20 de julio 2020

Total de Puntos:	40
Puntos obtenidos:	
Porcentaje:	
Nota:	

Nombres: _____

Carné: _____

Instrucciones Generales:

- Resuelva el examen en forma ordenada y clara.
- No se aceptarán reclamos de desarrollos con lápiz, borrones o corrector de lapicero.
- Si trabaja con lápiz, debe encerrar en recuadro su respuesta final con lapicero.
- El uso de lapicero rojo **no** está permitido.
- No se permite el uso de calculadora programable.
- Únicamente se atenderán dudas de forma.
- Cada enunciado de problema debe ser el encabezado de cada solución y todas las soluciones deben conformarse en un solo documento .pdf subido antes de vencer el periodo de examen al Tec-Digital.
- El examen es una prueba individual a realizar en el hogar, el plagio será fuertemente castigado.
- El no cumplimiento de los puntos anteriores equivale a una nota igual a cero en el ejercicio correspondiente o en el examen.
- La prueba es para realizar en un periodo de duración de 24 horas. Deberá entregarse a más tardar a las 13:00 horas del martes 21 de julio de 2020.

Firma: _____

Problema 1	de 10
Problema 2	de 10
Problema 3	de 10
Problema 4	de 10

Problemas

40 Pts

Problema 1. Capacitor MOS

10 pts

Se tiene un capacitor MOS con las siguientes características: $t_{ox}=0,1 \mu\text{m}$, $T=300 \text{ K}$, $N_D=10^{15} \text{ cm}^{-3}$. Suponiendo que los contactos son ideales, y que la tensión de banda plana para este dispositivo es nula ($V_{FB}=0$), encuentre:

1. El potencial eléctrico en el sustrato (ϕ_n). 1 pts
2. El ancho de la zona de vaciamiento en micrómetros cuando el potencial de superficie de la interfaz entre el silicio y el óxido, $\phi(x=0) = \phi_S$, es igual al inverso del potencial en el sustrato. Es decir, cuando $\phi_S = -\phi_n$. 3 pts
3. La magnitud del campo eléctrico \vec{E}_S en la superficie ($x=0$), en voltios sobre centímetro, cuando $\phi_S = -\phi_n$. 3 pts
4. $V_{GB}=V_T$ cuando $\phi_S = -\phi_n$. 3 pts

Problema 2. Polarización y efecto de cuerpo

10 pts

El transistor de la figura 1 está polarizado por divisor de tensión. Sin embargo, en esta tecnología no se cuenta con un proceso de doble tina, por lo que el sustrato debe estar conectado necesariamente a tierra.

Si el transistor presenta efecto de sustrato, determine la tensión de umbral V_{TH} y el punto de operación del circuito (calcule I_D y V_{GS}).

Los parámetros de la tecnología se resumen en la siguiente tabla:

Parámetro	Valor	Parámetro	Valor
K'_n	$170 \mu\text{A}/\text{V}^2$	V_{DD}	3.3 V
W/L	$10/0.35$	R_D	$4.7 \text{ k}\Omega$
V_{TH0}	0.46 V	R_S	100Ω
γ	$0.58 \text{ V}^{1/2}$	R_1	$650 \text{ k}\Omega$
ϕ_B	0.44 V	R_2	$250 \text{ k}\Omega$
λ	0		

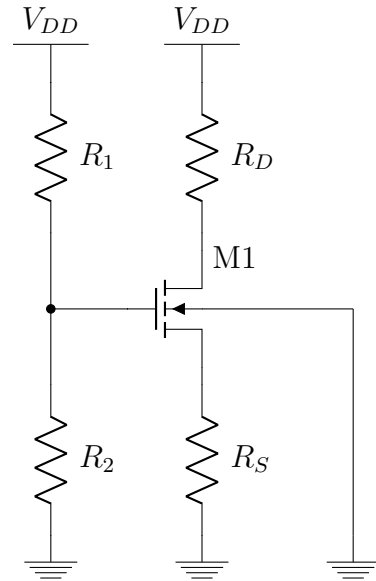


Figura 1: Circuito para el problema 2.

Calcule primero el punto de operación sin efecto de sustrato (6 pts) y luego recalcule el punto de operación considerando el ajuste en la tensión V_{TH} de acuerdo con la tensión en el source (4 pts).

Problema 3. Aplicación analógica en pequeña señal y regiones de operación del MOSFET 10 pts
 Considere el circuito de la siguiente figura 2. Los transistores M_1 y M_2 son de canal N y los transistores M_3 y M_4 son de canal P.

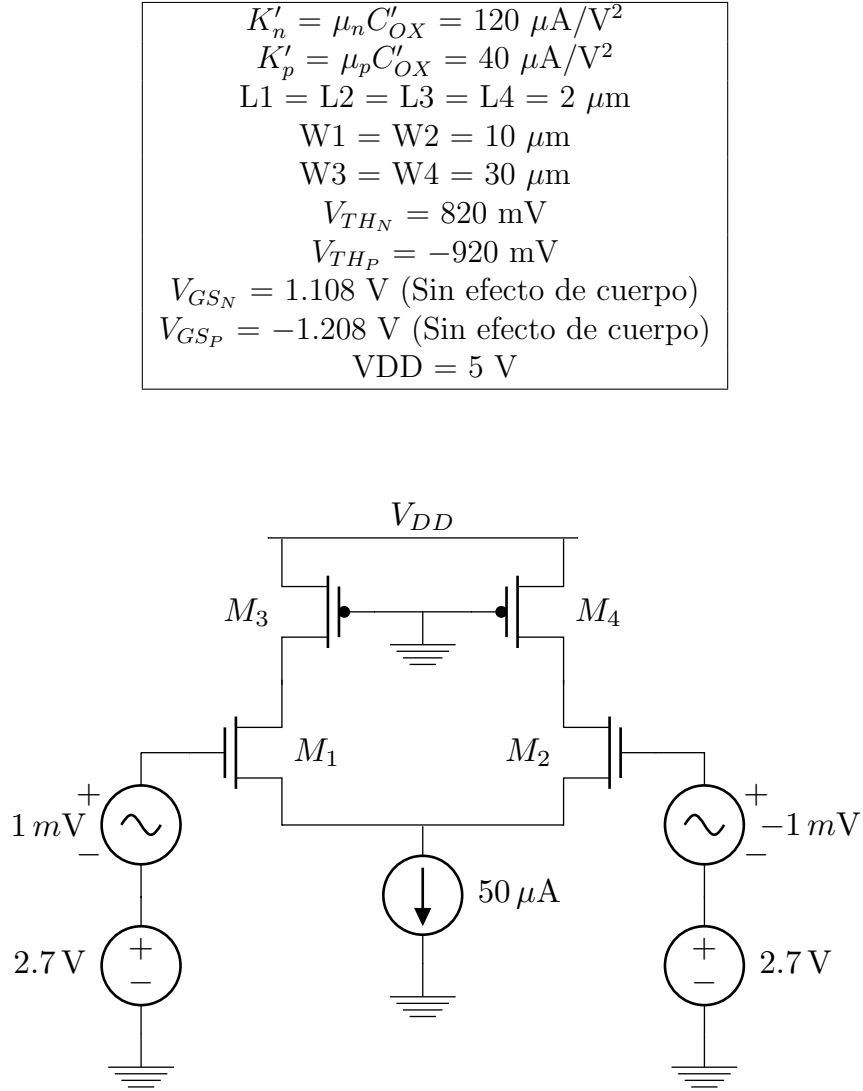


Figura 2: Circuito para el problema 3.

Determine:

1. Para para M_1 y M_2 , las tensiones V_{GS1} , V_{GS2} , V_{S1} y V_{S2} . 2 pts
2. Para para M_3 y M_4 , las tensiones V_{DS3} , V_{DS4} , V_{D3} y V_{D4} . 2 pts
3. Para para M_1 , M_2 , M_3 y M_4 , las respectivas regiones de operación. 1 pts
4. Para para M_3 y M_4 , las respectivas resistencias de canal. 1 pts
5. Mediante pequeña señal, una expresión completa para $v_{gs1} - v_{gs2}$ (en términos de i_{dx} y g_{mX}), $i_{D1} = I_{D1} + i_{d1}$ e $i_{D2} = I_{D2} + i_{d2}$. Recuerden el uso de superposición y cómo deben considerarse las fuentes de tensión y de corriente en CC en el análisis de pequeña señal. 4 pts

Problema 4. Aplicación digital del MOSFET

10 pts

El circuito de la figura 3 está implementado con lógica AOI (AND-OR-Invert) y realiza la operación NOR de un par de AND de dos entradas, en donde $Y = \overline{(A \cdot B) + (C \cdot D)}$.

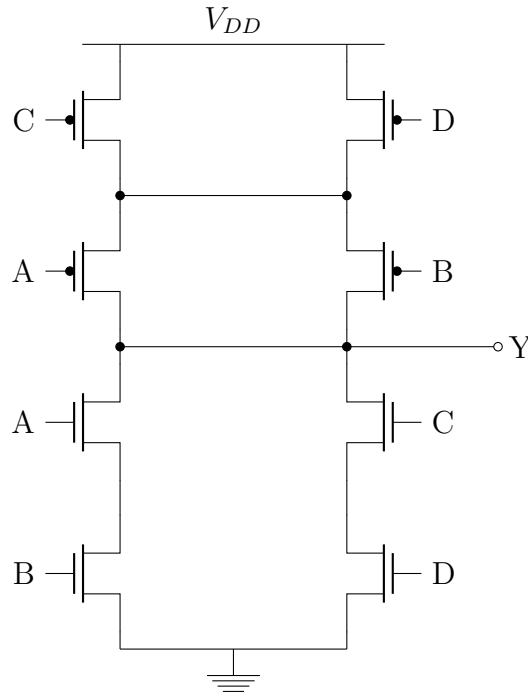


Figura 3: Circuito para el problema 4.

1. Plantee la tabla de verdad del circuito. Identifique cuáles transistores están encendidos y cuáles apagados para cada vector de datos (ABCD) de entrada posible, y el valor resultante de Y. 3 pts
2. De la tabla de verdad obtenida, determine la combinación o combinaciones mínimas que son necesarias para obtener un cero lógico a la salida del circuito. 1 pts
3. Dibuje el diagrama del circuito donde se sustituyen los transistores por el modelo digital del MOSFET. Simplifique al máximo los componentes que lo permitan. 3 pts
4. Despreciando las capacitancias en los nodos intermedios, y considerando solo las conectadas al nodo Y, escriba una expresión para: 3 pts
 - t_{pLH} , cuando $A = C = 0, B = D = 1$
 - t_{pHL} , cuando $A = B = 1, C = D = 0$
 - t_{pLH} , cuando $A = B = C = D = 0$
 - t_{pHL} , cuando $A = B = C = D = 1$