

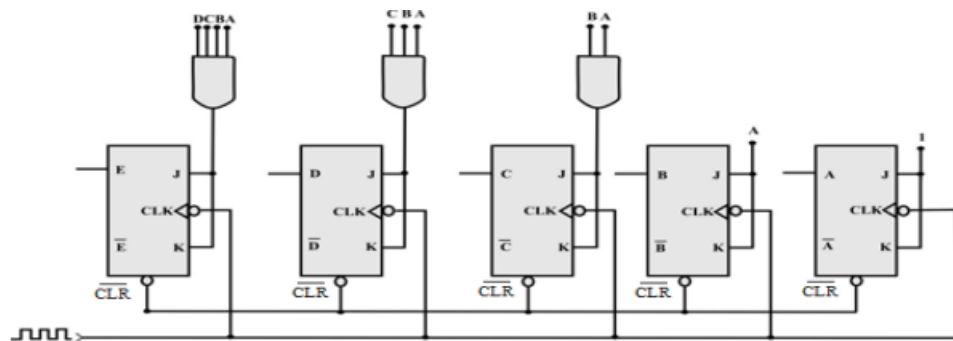
1 - قطعه کدی به زبان Verilog برای شبیه سازی یک Latch-D و Latch-SR و Flop-Flip JK با استفاده از گیت های منطقی بنویسید.

2 -

الف - یک ماژول Flop-Flip JK طراحی کنید. سپس با استفاده از آن و به کمک دیگرام زیر یک شمارنده به بالا 5 بیتی را طراحی کنید.

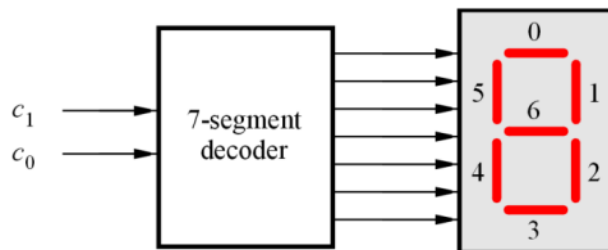
ب - یک شمارنده به بالا 5 بیتی را مستقیماً با استفاده از بلوک always طراحی کنید

پ - طراحی های دو قسمت قبل را از نظر Schematic RTL و Schematic Technology از نظر حداکثر سرعت کالک و حجم منابع بر روی CPLD دلخواه تولید شرکت Xilinx مقایسه کنید (با مطالعه جزئیات گزارش سنتز).

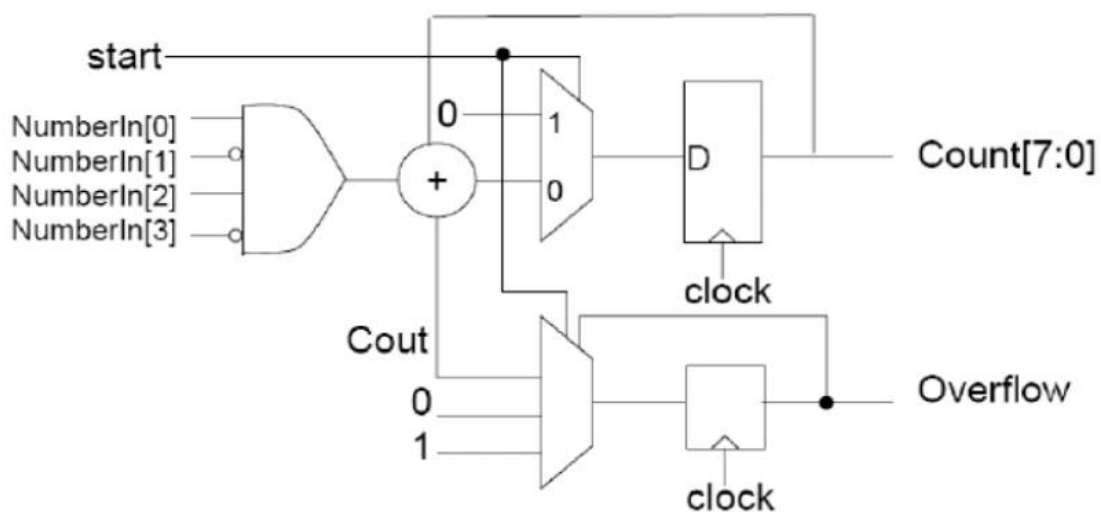


3 - الف - یک ماژول مبدل اعداد decimal بین 0 تا 99 به BCD بنویسید .

ب - به ماژول قبل یک decoder نمایش اعداد دو رقمی بر روی نمایشگر 7-segment را اضافه کنید



4 - کد Verilog معادل مدار زیر را بنویسید.



Mux Truth Table:

Start		Overflow	Output
0	0	Cout	
0	1	1	
1	0	0	
1	1	0	

تیم گردری :

محمد حسین اله اکبری

بهاره شیرکانی

محمد عباسی