



طراحی کامپیوتری سیستم های دیجیتال

پاییز ۱۳۹۹

تمرین شماره ی دو

موعد تحویل: ۱۱ آبان ماه

۱- با استفاده از یک شمارنده رو به بالا و بدون توصیف مستقیم، کدی بنویسید که دنباله زیر را بصورت چرخشی تولید کند.
راهنمایی: به شکل باینری اعداد دنباله توجه کنید.

۵-۴-۷-۶-۱-۰-۳-۲-۵- ...

۲- کد - Verilog یک مدار Shift Register به چپ به طول (عمق ۱۰) و عرض ۴ بیت را در دو حالت زیر بنویسید.
a. بدون استفاده از reset و set و parallel load
b. با استفاده از parallel load تنها (در این حالت set و reset دلخواه است)
توجه نمایید که set و reset خود به نوعی parallel load هستند
با پیاده سازی روی یک FPGA از سری spartan6، عناصر به کار رفته در ۲ حالت فوق، به خصوص عناصر SRL-type را با هم مقایسه کنید.
توضیح دهید که در صورتی که نیاز بود عناصر SRL-type قابلیت parallel load داشته باشند چه تغییراتی در ساختار آنها نیاز بود (بر اساس المان های شناخته شده در مدارهای منطقی توضیح دهید).
توضیح دهید که موازنه (trade-off) اعمال این تغییرات چیست؟

۳- یک مدار FSM ۴ حالت را به سه روش One-Hot Encoding، Gray Encoding و Compact Encoding بر روی یک نمونه FPGA و یک نمونه CPLD پیاده سازی کنید (با شرط عبور از حالت اختیاری و با گذاشتن قید نوع پیاده سازی با استفاده از قیود ENUM_EXTRACT، ENUM_ENCODING و FSM_STYLE) در هر سه مورد و بر روی هر دو سخت افزار (CPLD و FPGA) گزارش سنتز و پیاده سازی را از نظر حجم اشغال شده و سرعت کلاک خوردن با یکدیگر مقایسه کنید.
کدامیک سریعتر کلاک میخورد؟ کدامیک حجم کمتری را اشغال میکند؟

۴- بدون استفاده از DCM ماژولی بنویسید که با گرفتن کلاک ورودی و عدد دلخواه ۴ بیتی، سیگنال فعال ساز کلاک (Clock Enable) را به نحوی تولید کند که بتوان با استفاده از آن یک ماژول دیگر را به نسبت ۱ تا ۲۵۶ برابر کندتر از حداکثر سرعت ممکن (یعنی حالت بدون CE که در کلیه کلاک ها فعال میباشد) راه اندازی کند و با استفاده از آن ماژول یک مدار شمارنده با سرعت قابل تنظیم را بنویسید. کلاک ماژول مورد نظر همان کلاک اصلی سیستم است و نباید از gated-clock استفاده شود.