



طراحی کامپیوتری سیستم های دیجیتال

پاییز ۱۳۹۹

تمرین شماره ۴

موعد تحویل: ۷ آذر ماه

۱- یک مدار FSM ۴ حالت را به سه روش One-Hot Encoding ، Gray Encoding و Compact Encoding بر روی یک نمونه FPGA و یک نمونه CPLD پیاده سازی کنید (با شرط عبور از حالت اختیاری و با گذاشتن قید نوع پیاده سازی با استفاده از قیود ENUM_EXTRACT ، ENUM_ENCODING و FSM_STYLE) در هر سه مورد و بر روی هر دو سخت افزار (FPGA و CPLD) گزارش سنتز و پیاده سازی را از نظر حجم اشغال شده و سرعت کلاک خوردن با یکدیگر مقایسه کنید.
کدامیک سریعتر کلاک میخورد؟ کدامیک حجم کمتری را اشغال میکند؟

۲- یک حافظه با دو درگاه (dual port) تعریف کنید، که یک درگاه آن مخصوص نوشتن داده در لبه بالارونده کلاک و درگاه دیگر مخصوص خواندن داده است و خواندن داده از حافظه به دو صورت زیر باشد:
a. وابسته به کلاک نبوده و خروجی با تغییر آدرس خواندن در همان لحظه عوض شود (Asynchronous Read)
b. در لبه بالارونده کلاک انجام شده، یعنی خروجی متناسب با آدرس وارد شده در لبه بالارونده کلاک روی درگاه خروجی رجیستر شود.
با مراجعه به گزارش سنتز بررسی کنید که کدام یک از دو پیاده سازی قسمت قبل، در حالت عادی روی بلوک های مخصوص حافظه (Block RAM) پیاده سازی میشود و کدام یک فقط روی CLB ها (Distributed RAM) قابل پیاده سازی است. سپس با مراجعه به راهنمای XST و به کمک Synthesis Attribute به نام RAM_STYLE کاری کنید که مورد اول هم به شکل Distributed پیاده سازی شود.
با مراجعه به راهنمای XST، بررسی کنید که برای آن نوع از حافظه که خواندن و نوشتن داده هر دو در لبه بالارونده کلاک انجام میشوند، مفهوم Read First و Write First چیست (توضیح دهید)

۳- مدار Shift Register ۴ بیتی با قابلیت های reset و Parallel Load و Shift Left و Shift right تعریف کنید.
برای ورود داده ورودی یک بیتی ShiftIn و برای خروج داده خروجی یک بیتی ShiftOut را در نظر بگیرید.
اولویت سیگنالهای کنترلی مدار به ترتیب زیر است:

reset-1 Parallel Load-2 Shift Left-3 Shift right-4

اولویت Shift Left و Shift Right را جا به جا کنید.
تغییراتی را اعمال کنید که اولویت سیگنال های کنترلی عوض نشود، اما چنانچه سیگنال های Reset و Parallel Load هر دو صفر و سیگنال های Shift Left و Shift Right هر دو یک باشند، محتوی و خروجی Shift Register بدون تغییر باقی بماند.