

۱) در طراحی خود، یک سیگنال ریست داریم که برخی موارد به درستی عمل نمی کند. پس از بررسی متوجه می شویم که به دلیل تعداد زیاد فلیپ فلاپ هایی که از این سیگنال استفاده کرده اند، دچار افت ولتاژ شده و برخی فلیپ فلاپ ریست نمی شوند. برای حل این مشکل چه کاری می توان انجام داد به نحوی که ریست شدن همزمان فلیپ فلاپ ها دچار معضل نشود؟ (۰/۵)

۲) الف) عدد اعشاری  $-1/25$  به صورت Floating point مطابق با استاندارد IEEE 754 Single-Precision (با نمایش تمامی مراحل محاسبات) به دست آورید. (۰/۵)

ب) اگر بخواهیم در یک سیستم مبتنی بر FPGA دو عدد  $1.25 \times 10^{+45}$  و  $-5.25 \times 10^{+46}$  را با هم جمع کنیم و کمترین تعداد بیت را برای نمایش اعداد در نظر بگیریم، توضیح دهید چطور می توان این اعداد را نمایش داد و سپس حاصلجمع را به دست آورید. (۰/۵)

۳) در یک سیستم دیجیتال، دامنه سیگنال ورودی در بازه  $[-2, +2]$  ولت است. قرار است این سیگنال توسط یک ADC ۱۲ بیتی با ولتاژ مرجع  $\pm 2$  ولت به مقادیر دیجیتال تبدیل شده و سپس در  $\sin(\theta)$  و  $\cos(\theta)$  ضرب شود.

الف) سیگنال های تولیدی مبدل ADC را به فرم  $Qm.n$  نمایش دهید. با ذکر توضیحات. (۰/۵)

ب) بعد از عملیات ضرب، مقادیر چند بیتی خواهند بود؟ (۰/۲۵)

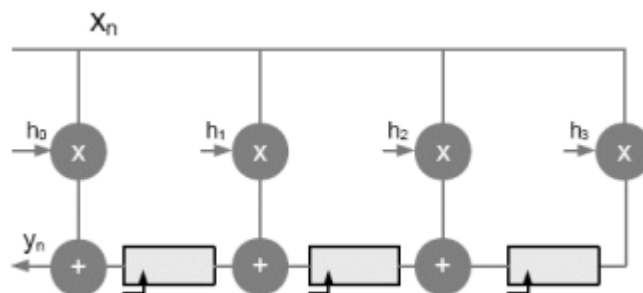
د) حاصل خروجی ضرب را حداقل در چند بیت ذخیره کنیم تا خطای کوانتیزاسیون موجب کاهش دقت عمل ضرب نشود. (۰/۲۵)

۴) جزییات پیاده سازی سیستم دیجیتالی برای یک تابع متناوب با دوره تناوب 10ns بر روی یک FPGA که با کلاک ۴۰۰ مگاهرتز کار می کند را شرح دهید. (۱)

۵) الف) برای پیاده سازی رابطه  $y_n = \sum_{i=0}^3 x_{n-i} * h_i$  مدار شکل زیر طراحی شده است. در گزارش سنتز مشخص شده است که تاخیر

ضرب کننده و جمع کننده به ترتیب ۴۰ و ۱۰ نانو ثانیه است. حداکثر فرکانسی که مدار شکل زیر می تواند با آن کار کند چقدر است؟ (۰/۲۵)

ب) چطور میتوان بدون تغییر در کارکرد آن، حداکثر فرکانس کاری آن را افزایش داد؟ راهکار خود را از نظر بهبود در فرکانس و سربارهای احتمالی تحلیل کنید. (۰/۷۵)



۶) یک سیستم مبتنی بر FPGA شامل دو ماجول بوده که یکی با فرکانس ۲۰۰ مگاهرتز داده را برای ماجول دوم که با فرکانس ۵۰ مگاهرتز کار میکند ارسال میکند. در FPGA مدنظر فلیپ فلاپ ها با زمان برپایی 3ns و زمان نگهداری 2ns و زمان 0.2ns skew بوده و ثابت زمانی metastability برابر  $10^{-10}$  می باشد. تاخیر حداکثر برای مدار ترکیبی ای که در ماجول دریافت کننده داده ورودی را پردازش می کند برای تضمین MTBF معادل یک سال ( $3 \times 10^7 s$ ) چقدر است؟ (۰/۷۵)

۷) در یک سیستم مبتنی بر FPGA ۳ ماجول A تا C طراحی و استفاده شده است که ماجول A خود از ۲ زیرماحول A1 و A2 تشکیل شده است که هر کدام از این زیرماحول ها ۴ پارامتر مختلف برای مقداردهی دارند و ماجول های دیگر یک پارامتر دارند. قصد داریم از سمت یک FPGA دیگر به این ماجول ها دسترسی داشته باشیم و داده مورد نیاز آن ها را تامین کنیم. این داده ها به صورت یک جریان از داده بوده که بایستی به صورت بلوکی پردازش شوند.

الف) برای این سیستم، نقشه حافظه مناسبی طراحی کنید. بسته های قابل مبادله بین دو FPGA را ۳۲ بیتی فرض کنید که ۱۶ بیت آن داده بوده و ۵ بیت هم برای مشخص کردن وضعیت های مختلف اختصاص داده شده است. (۰/۵)

ب) برای پردازش بلوک داده در سمت گیرنده از تکنیک بافرهای دوگانه استفاده می کنیم. اگر هر بلاک داده از 50 بایت تشکیل شده باشد و FPGA سمت فرستنده هر 10ns یک بایت را ارسال کند، جزییات تکنیک را مشخص نموده و آن را شرح دهید. (۰/۵)