



## طراحی کامپیوتری سیستم های دیجیتال

پاییز ۱۳۹۹

تمرین شماره ی دو

موعد تحویل: ۳۰ مهر ماه

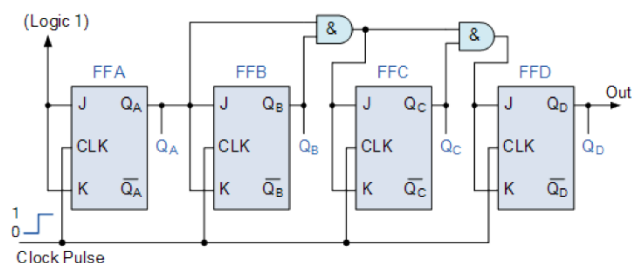
۱- تفاوت بین Latch و Flip-Flop در چیست ؟

برای شبیه سازی یک D-Latch و JK Flip-Flop و SR-Latch با استفاده از گیت های منطقی و به روش استاندارد قطعه کدهایی به زبان وریلاگ بنویسید.

هر ۳ به عنوان ماژول های یک پروژه به اسم دلخواه باشند و برایی هر کدام باید دارای test fixture مناسب و برای ورودی های حالت مختلف تست شده باشند.

۲- الف - یک ماژول JK Flip-Flop طراحی کنید.

سپس با استفاده از آن و به کمک دیاگرام زیر یک شمارنده به بالا ۴ بیتی را طراحی کنید.



ب- یک شمارنده به بالا ۴ بیتی را مستقیماً با استفاده از بلوک always طراحی کنید.

پ- طراحی های دو قسمت قبل را از نظر RTL Schematic و Technology Schematic از نظر حداکثر سرعت کلاک و حجم منابع بر روی CPLD دلخواه تولید شرکت Xilinx مقایسه کنید (با مطالعه گزارش سنتز)

به ازای هر ماژول نوشته شد در سوال ۲ باید test fixture وجود داشته باشد و شبیه سازی با ورودی های مناسب در فایل تست ضمن وجود سیگنال کلاک با فرکانس مناسب انجام شده باشد.

۳- الف - یک ماژول مبدل اعداد decimal بین ۰ تا ۹۹ به BCD بنویسید.

به ازای ماژول نوشته فایل test fixture وجود داشته باشد و با ورودی های مناسب تست شده باشد.