

لطفاً کمتری نسبتی رکھیں
ماجھ کھینچنے کی سہی رکھیں

Part 1 architecture

→ ملکیت ایکٹوں کی ملکیت

Von Neumann → Fetch, Decode, Read Operands

↓
controlpath (کنٹرول پٹھ)
datapath (instructions are executed) (ڈیٹا پٹھ)

, Execute, write result

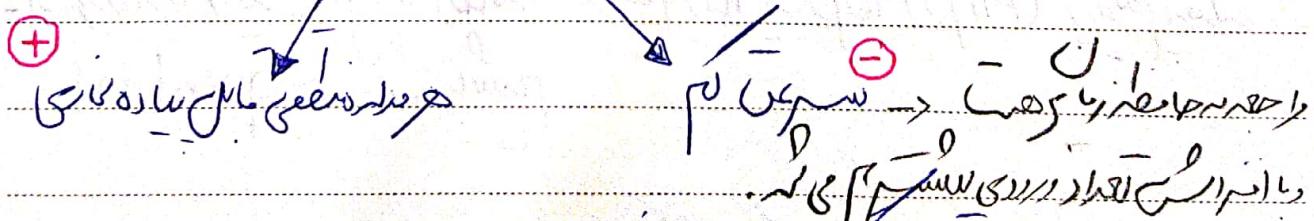
pipelining → instruction level parallelism (does not ↓ latency of a single execution)
↑ throughput (HW utilization, performance)

(PLD Technologies) (پروگراممیلیک دیسیز)
↳ programmable logic Devices

(پروگراممیلیک)

PROM → ملکیت ایکٹوں کی ملکیت
↳ programmable ROM (پروگراممیلیک روم، پروگراممیلیک ریم)

PROM-based state Machine



PROM + Flip-Flop → ملکیت ایکٹوں کی ملکیت

standard logic chips:

→ ملکیت ایکٹوں کی ملکیت

SPLD (Simple PLD)

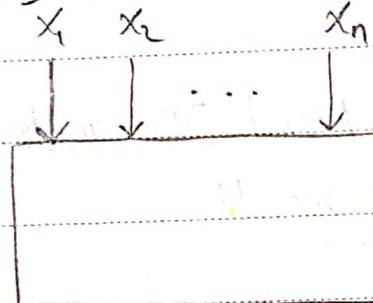
Subject:

Date:

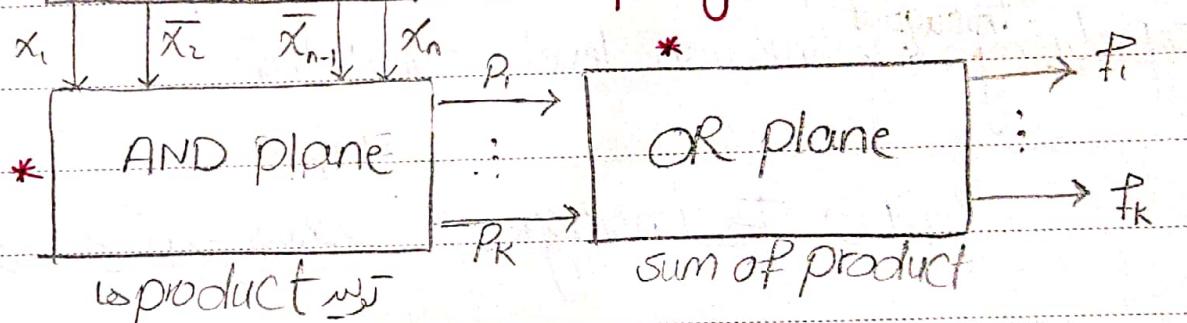
PLA \rightarrow (sum of products) \rightarrow (المجموع من منتجات)

(programmable Logic Array)

↳ (programmable)



Both AND plane, OR plane
are programmable.



PAL \rightarrow (programmable AND logic)

(programmable Array Logic)

OR plane is Fixed. AND plane is programmable.

Designing (Flip Flop \rightarrow Sequential logic \rightarrow with
parallel \rightarrow Sequential)

Designing (Flip Flop \rightarrow Sequential logic \rightarrow with
parallel \rightarrow Sequential), Selectable

PPCO

Macrocell \rightarrow PAL + microcells

CPLD (complex PLD)

Subject.

Date.

in English

MacroCell

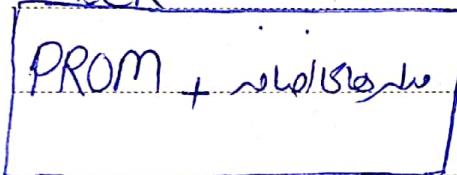
CPLD → IO block, Macrocell, interconnection network, Cmos

(XOR → programmable not) CPLD

عکسی از CPLD نمایش می‌شود.
که در آن چندین Gate وجود دارد.

FPGA => extensions of the idea of PROMs

block



with

+ interconnection wire

= FPGA

لگریسمتی FPGA نیز (I/O) ← I/O blocks

FPGA Configurable Logic Blocks (CLB)

→ 2 input, 1 output

LUT → *لیٹریل میکسیمیز اور دیگر فنکشنز کے لئے ایک پروگراممی قابل تغیرت میکسیمیز*

PROM/Flash . LUT + MUX → *ھائین بیس تھابٹ خرچی میکسیمیز*

Configuration-bit, *پروگراممی کرنے کے لئے پہلے بیت*

Memory, Switch, *پیشہ وری*

SRAM, *اپریویٹری، سوچنے والے میموری*

(SRAM) *رنچنے*

Configuration-memory

→ *کامیو سوچنے والے سوچنے والے*

اپریویٹری، سوچنے والے میموری

این سوچنے والے میموری کو FPGA کے لئے LUT

CPLD vs. FPGA *non-volatile*

هر سوچنے والے میموری کو Conf. bit => ہر سوچنے والے میموری کو Conf. bit

non-volatile

SRAM volatile

FPGA کو نہ زدہ کرنے کے لئے جو جریموں کو

کامیو کرنے والے میموری کو Configuration memory (کامیو اس)

کامیو را سوچنے والے

Subject.

Date.

FPGA \rightarrow on-board programming ("On Board")
using JTAG

JTAG?

(programmable)

TDO \rightarrow " out

TCK \rightarrow " clock

(programmable) TMS \rightarrow normal, Test (mode)

TRST

TDI, TDO, TCK, TMS, TRST

JTAG

ASIC \rightarrow مقداری از های خاص دارد که در آنها معمولی نیست
دستورات خود را در خود نداشته باشند

standard-cell or gatearray

CPLD, FPGA

(chip layout)

ساختارهایی که در آنها معمولی نیستند (کاربر، اتصالات) را در آنها دارند
لایه اتصالات (connection layer) که اتصالات بین های اصلی را
نمایند و عبارت طبقه هایی هست که در آنها

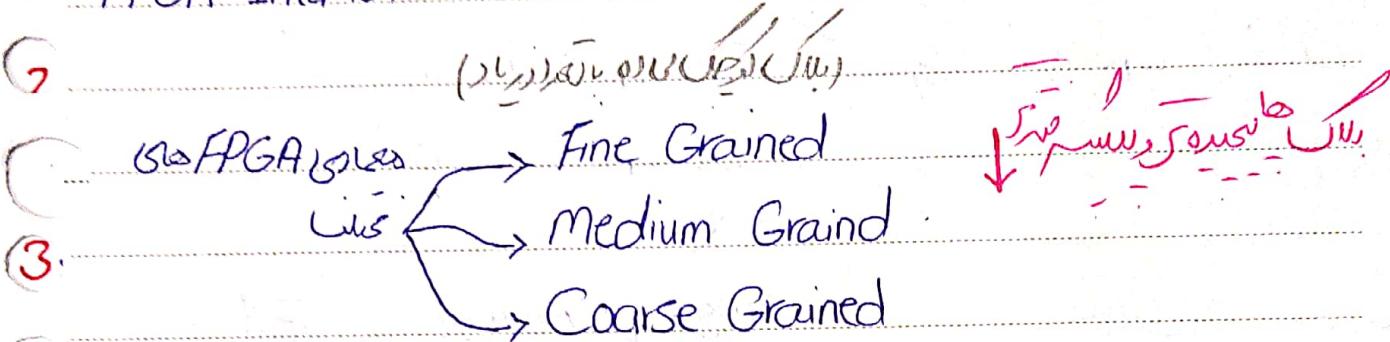
utilization \rightarrow مقداری از اتصالات را در آنها دارند

Subject:

Date:

new switch between DE and GSR, not logic for FPGA //
optimization (less Cycles) ASIC //
(no physical connection) non-volatile

FPGA Internal Architecture



Node-Based Reconfigurable Architectures

multi-purpose Logic blocks: Shift registers
Memory (RAM)
(serial input) Look-up-tables (LUT)
(boolean function)

More complex design → slice
hierarchical FPGA

new slice ← new job

(2 logicCell → 1 slice, 4 slice → 1 CLB)

Slide 86

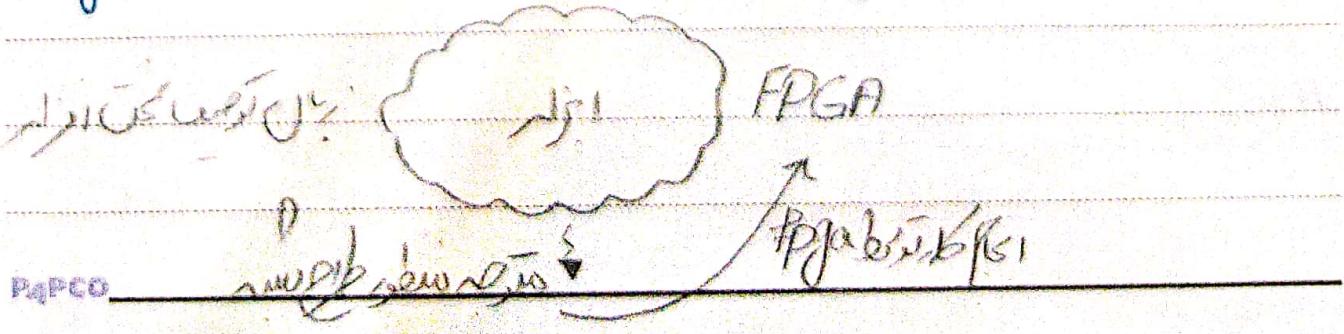
advantages of FPGA design

1. Symmetrical array : نیمی از میانگین یا گلوبال
2. row-based : کارهای سطحی همچو بلوک های
3. Sea of gates: تو فاین گریند
4. hierarchical : کارهای خاص پردازشی

groups of computation units → DSP.
interconnection network → block
memory block →

off-chip → on-chip → RAM-block.
off-chip → on-chip → mem.
off-chip → on-chip → performance.

Why hierarchical FPGA design?



carry chain \leftarrow carry level (أعلى مستوى لـ carry) \rightarrow 75 nW
 (Programmable interconnection network)

Interconnect networks :

logic cells \rightarrow logic blocks

ultra fast line : (أعلى سرعة لـ lines)
 (programmable)

- interconnection \rightarrow SRAM (SRAM) \rightarrow 162 nW
- memory bus \leftarrow switch (switch)

- Control line \rightarrow pipeline stage (stage)

- \rightarrow block memory

- \rightarrow digital clock Manager

- \rightarrow dedicated Adders and Multipliers DSP (DSP)

block Mem. \rightarrow + Multiplier

MAC \rightarrow \rightarrow (82 nW)
 ACC

PAPCO

FPGA میں جو گلوبال پورسٹ

Subject. DCM

Worst Sub Jitter

، جو کنکریٹ DCM
کے نتیجے پریس

Date.

clock Management \rightarrow worst jitter

، جو کوئی بھی
FPGA میں

jitter Removal

Clock

Frequency Synthesis

Phase Shifting

، جو کوئی Sample کی نیزی کے نتیجے میں

CLK Feedback

Clock De-skewing

، جو کوئی Clock Collision کا نتیجہ میں

FPGA میں ریندر جی کے نتیجے DCM

De-Skew

، جو کوئی FPGA کے بین المداری کے نتیجے میں

Jitter

، جو کوئی CLK cycle کا نتیجے میں

jitter کے نتیجے میں تولید کیا جائے

، جو کوئی TDR کے نتیجے میں

Subject.

Date.

overclock

Stage 1

JUL F

F

Stage 2

F

l.

$\omega \leftarrow \text{pull register} - F$ (pulls from sub F) \rightarrow stage 1
 ω is now in stage 1 \rightarrow sub frequency ω
 \Rightarrow overclock

93 μm (Frequency synthesis)

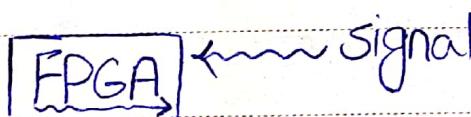
global clock buffer \rightarrow Sub Frequency

? { DCM \rightarrow skew adjustment-skew
? { PLL \rightarrow feedback loop

clock good \rightarrow no skew, FPGA, CLK lines

General purpose IO:

(FPGA)



Global bus access, FPGA plan to be used in this way.

IO blocks \rightarrow planning

Performance \rightarrow over clocking

new file known as FPGA configuration Max → FPGA configuration
new file will be generated

new file LUT contains IO (Input/Output) configuration

IO buffer →
 (will connect to bus of FPGA) +
 new signal bus

Giga bit transceiver →
 FPGA internal transceiver bus

Intellectual property

IP Cores :

↳ Hard : FPGA internal IP cores

soft : library of IP cores

source code of IP cores

Firm : company's IP library

(Conf bit) pulse, pin, SW ← multi source code

(firm IP)

Microblaze, → kind of microprocessor

FPGA implementation is done by Microblaze

Registers ← embedded L1 cache, long instruction set
processor

comes with embedded processor \rightarrow FPGA \rightarrow system

SLP \leftarrow

problem, solve it with FPGA, \rightarrow SLP
interface \leftarrow MICO

+ Flexibility

Block RAM \rightarrow not flexible
distributed RAM \rightarrow LUT

Design Flow:

\rightarrow idea

\rightarrow architectural design
 \rightarrow choose appropriate architecture based on application requirements

\rightarrow design entry

\rightarrow behavioral simulation

\rightarrow RTL

\rightarrow synthesis

\rightarrow technology mapping

\rightarrow placement and routing

(\rightarrow LUT) \rightarrow LUT resource

FPGA vs. Microprocessor

Process flow:

Verilog

HDL code

Synthesize

Place, routing

linking (.exe)

Unpack

loading to

FPGA (hardware)

ROM

Programmable

1. Design Entry

Schematic editors \rightarrow macunit, LUT, etc.

- HDL (Verilog, VHDL, ...)

- FSM editors

- System Level tools, known as HLS

\hookrightarrow High level synthesis

\hookrightarrow bit stream \rightarrow Unpack, program

2. Functional Simulation

- Behavioral

- Structural

$$C = A + B$$

\rightarrow Implement logic function

$$B \leftarrow \text{unlatch}$$

Full adder

$$S \leftarrow \text{sum}$$

Subject.

Date.

3. Logic Synthesis

HDL → ~~Wires & logic components~~ Configuration
↓

Boolean Equations → Tech Mapping

Working on various logic BF functions

output of the synthesis → netlist between modules

↳ ~~Logic Function~~

"PART II"**Electronic Design automation****HDL**

مقدمه بر HDL ها
برای ایجاد طرح مدار

تصویر کنترلر دهنده مدار

Schematic طراحی ① ←

برای توصیف ساخت افزار

متوجه کنترلر طوسی، مدارهای سیمکتیوی، مدارهای ایندکس

CAD Tool ایجاد کردن داده های اسیماپ

* متریک های زبان توصیف کنترلر

level of abstraction

ساختاری اندی (توصیف اندی)

۱. ساختاری های مداری ایجاد کردن

۲. توصیف بیان و محدودیت درستگاه ایزولاسیون

۳. اجزایی و جداول ایجاد کردن برای داشتن داده افزار روش

test vector ایجاد کردن طرح می تواند

(* Schematic design → hierarchical)

آنچه نیاز باشد

۵. پروتکل DS های تبلیغاتی برای تراشه ایجاد کردن

۶. tool chain ایجاد کردن افزار