

## سوالات هوم ورک چهارم درس سیستم های تحمل پذیر اشکال

## نام مدرس: جناب آقای دکتر حسینی منزه دستیار آموزشی مرتبط: اثنی عشری - شافعیان

مهلت تحویل (بدون کسر نمره): ۲۲ آبان ساعت ۵۹: ۲۳

با سلام و وقت بخير

دانشجویان عزیز موظف هستند با توجه به آنچه در کلاس آموختهاند و همچنین در صورت نیاز، مطالعه کتابها و مقالات مرجع به سوالات زیر پاسخهای علمی و فنی بدهند. لازم به ذکر میباشد که در صورت نیاز برای هر سوال، شکلها، روابط لازم و مراجع داخلی و خارجی جهت مطالعه بیشتر ارائه شده است.

- ۱- مدار سختافزاری مربوط به چندجملهای با مولد ۲ + x<sup>\*</sup> + x<sup>\*</sup> را ترسیم نمایید. با فرض استفاده از کدگذاری چرخهای (۱۵،۱۱) با استفاده از سختافزار طراحی شده و تحلیل مبتنی بر چرخهی کلاک مشخص کنید که دادهی ۱۱۰۰۰۰۱۰۱۱۱۱۱ دارای خطا است یا خیر؟ در صورت وجود خطا مکان خطا را مشخص نمایید.
- ۲- داده ۱۱۰۱۰۱۱۱۱ (که چندجملهای متناظر با آن d(x) نامیده می شود) را با مولد  $x^* + x + 1$  در نظر بگیرید. داده ی حاوی افزونگی CRC چه خواهد بود؟
- ۳- کد CRC-8 زیر را در نظر بگیرید. چگونگی مقاوم سازی داده ی ۱۰۰۱۰۱۱۰۱۱۰۱۱۰۱۱ (بیت پر ارزش در سمت چپ این عده در نظر
  گرفته شود) را توسط این کد شرح دهید و محسبات لازم را انجام دهید.

CRC-8-WCDMA 
$$x^8 + x^7 + x^4 + x^3 + x + 1$$

- ۴- روشهای افزونگی اطلاعات Check Redundancy Transverse و Check Redundancy Longitudinal را شرح دهید که چگونه وقتی به همراه
  هم استفاده می شوند می توانند موجب کشف و تصحیح خطا شوند. برای Coder و Decoder این روش برنامه ای پایتون بنویسید که از یک سو با دریافت یک فایل این افزونگی ها را به آن اضافه کند و از سوی دیگر با دریافت یک فایل بتواند اگر خطایی در آن هست را کشف و تصحیح کند
- ۵- یک قطعه کد Python بنویسید که در ورودی به آن ماتریس مولد\ یک کد کشف یا تصحیح خطای خطی را بدهیم و در خروجی، این کد به ما دو فایل Verilog بدهد. یکی با هدف توصیف مدار تولید کننده Parityها و دیگری برای توصیف مدار وارسی Parity ها که کشف و یا تصحیح را با بردار syndrome انجام می دهد. برای یک نمونه از کد Verilog یا VHDLای که کد Python شما ایجاد کرده است یک TestBench بنویسید و با استفاده از آن نشان دهید که برنامه به درستی عمل می کند.

لطفا نكات تكميلي تمارين را ملاحظه و رعايت فرماييد.

موفق باشید.