



سوالات هوم ورک سوّم درس سیستم های تحمل پذیر اشکال

نام مدرس: جناب آقای دکتر حسینی منزّه

دستیار آموزشی مرتبط: اثنی عشری

مهلت تحویل (بدون کسر نمره): 1 آبان ساعت ۲۳:۵۹:۵۹

با سلام و وقت بخیر

دانشجویان عزیز موظف هستند با توجه به آنچه در کلاس آموخته‌اند و همچنین نیاز، مطالعه کتاب‌ها و مقالات مرجع به سوالات زیر پاسخ‌های علمی و فنی بدهند. لازم به ذکر می‌باشد که در صورت نیاز برای هر سوال، شکل‌ها، روابط لازم و مراجع داخلی و خارجی جهت مطالعه بیشتر ارائه شده است.

۱- فرض کنید ۱۰۰ دانشجو داریم که هر کدام ۱۵ درس دارند و نمرات ایشان در سه فایل متنی با هدف افزایش قابلیت اطمینان ذخیره شده است. یک برنامه داریم که نمرات این دانشجویان را از این سه فایل می‌خواند (رأی‌گیری می‌کند) و معدل آن‌ها را حساب کرده و سپس بر اساس معدل، دانشجویان را مرتب می‌کند. می‌خواهیم برنامه نیز کاملاً به شکل TMR عمل کند. یعنی هر نوع محاسبه باید سه بار انجام شده و رأی‌گیری گردد. برای اینکه محاسبات سه‌گانه سرعت اجرای نرم افزار را کم نکند از Narrow Value بودن داده‌ها استفاده می‌کنیم. به این معنی که هر نمره فقط ۵ بیت را اشغال می‌کند و بنابراین در یک ثابت ۳۲ بیتی از یک کامپیوتر می‌توان به راحتی سه کپی از هر نمره را در کنار هم ذخیره نمود و آنها را به صورت موازی مورد پردازش قرار داد. حتی وقتی نمره جمع زده شود ۹ بیت برای مجموع کافی است و باز هم می‌توان سه کپی از مجموع نمرات در یک ثابت ۳۲ بیتی داشت. قطعه کد C مربوط به این برنامه را بنویسید.

۲- برای یک برنامه دلخواه که بر روی یک برد Arduino اجرا می‌شود مکانیسم کشف خطا Watchdog Timer را پیاده سازی کنید. نشان دهید که چگونه ایجاد یک خطای عمدی^۱ موجب فعال شدن مکانیسم کشف خطا می‌شود.

۳- یک روش تحمل پذیری اشکال به این شکل عمل می‌کند که در ابتدای کار با N واحد که همه آن‌ها روشن و فعال هستند کار را شروع می‌کند و طبقاً با فرض اینکه همه در ابتدای کار سالم هستند خروجی همه مشابه خواهد بود و خروجی کل سامانه نیز برابر با حاصل همین اجماع است. در ادامه کار به محض اینکه یکی از واحدها، خروجی متفاوت با خروجی جمع ارائه نماید خاموش می‌شود و از جمع کنار می‌رود که به این ترتیب تعداد واحدها به $N - 1$ کاهش می‌یابد. این روند آنقدر ادامه می‌یابد تا در نهایت دو سامانه باقی بماند که در آن حالت با خرابی یک واحد دیگر کل سامانه خراب محسوب می‌شود. این روش را می‌توان بر هر پیمانه سخت‌افزاری اعمال نمود. فرض کنید توصیف زبان Verilog یک جمع کننده ۸ بیتی را داریم. با فرض اینکه $N = 5$ باشد کد Verilog سامانه‌ای را بنویسید که به همین شکل جمع کننده مذکور را تحمل پذیر اشکال نموده است. در TestBench ای که برای ارزیابی کد Verilog خود می‌نویسید باید به عمد یک اشکال در یکی از واحدها ایجاد گردد تا مشاهده شود که چطور سامانه شما در مقابل آن اشکال عمل می‌کند.

لطفاً نکات تکمیلی تمارین را ملاحظه و رعایت فرمایید.

موفق باشید.