

به نام خدا



دانشکده مهندسی کامپیوتر

معماری کامپیوتر

نیمسال دوم ۰۳-۰۴

استاد: جناب آقای دکتر حسینی منزّه

دستیار استاد: اثنی عشری، یوسفی، جلیلود

مهلت ارسال: ۲۴ اسفند

VHDL Warm – Up

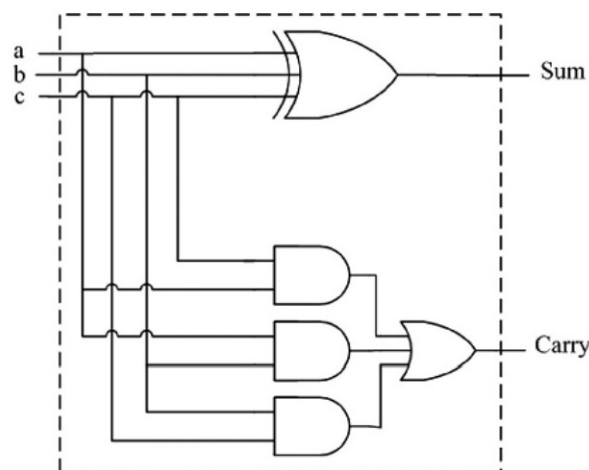
تمرین دوم

- مهلت ارسال پاسخ تا ساعت ۲۳:۵۹ مشخص شده است.
- هم کاری و هم فکری در انجام تمرین مانعی ندارد اما پاسخ ارسالی هر فرد باید توسط خود او نوشته شده باشد.
- در صورت هم فکری یا استفاده از منابع خارج از درس، نام هم فکران و آدرس منابع مورد استفاده را ذکر کنید.
- برای دریافت نمره کامل هر سوال نیاز است تمامی روابط و فرمول ها نوشته شده و توضیحات تشریحی کامل داده شود.
- برای هر کدام از سوالات، کد *VHDL* و *Testbench*، به همراه یک گزارش کلی از نحوه انجام هر سوال و شکل خروجی آن ها (*simulation*) تهیه شود.
- لطفاً تصویری واضح از پاسخ سوالات نظری بارگذاری کنید. در غیر این صورت پاسخ شما تصحیح نخواهد شد. (برگه پاسخ سوالات نظری به صورت حضوری دریافت می گردد.)
- پاسخ تمام سوالات را در یک فایل فشرده به صورت `CA_Hw2_[firstName]_[lastName]_[StudentId]` نامگذاری کرده و ارسال کنید.

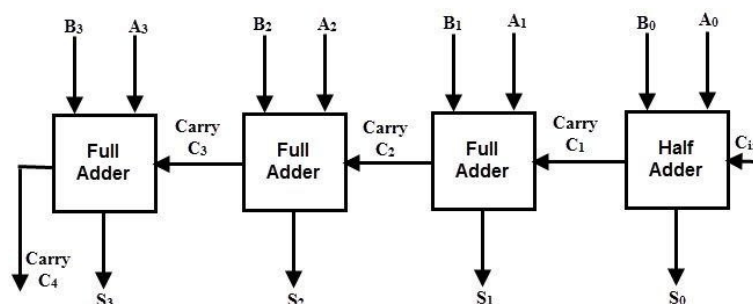
سوال یک (۴۵ نمره)

۱. با توجه به مراحل زیر، یک مدار تمام جمع کننده ۴ بیتی^۱ طراحی کنید:

- ابتدا با توجه به شکل زیر، یک قطعه کد برای طراحی مدار تمام جمع کننده ۱ بیتی^۲ بنویسید.



- سپس با استفاده از ماژول طراحی شده در مرحله اول، یک مدار تمام جمع کننده ۴ بیتی (مطابق شکل زیر) طراحی کنید.



سوال دو (۵۵ نمره)

یک FSM طراحی کنید که بررسی کند آیا یک رشته دودویی بر ۳ بخش پذیر است یا خیر. این FSM باید بیت‌ها را به ترتیب (یکی یکی) از سمت کم ارزش ترین بیت^۳ دریافت کند و خروجی $REM = 1$ را زمانی که عدد بخش پذیر نیست و خروجی $REM = 0$ را زمانی که عدد بخش پذیر است، تولید کند. این مسئله را به صورت ماشین حالت $Mealy$ در نظر بگیرید و پیاده سازی کنید.

^۱ four – bit full adder

^۲ one – bit full adder

^۳ least significant bit