

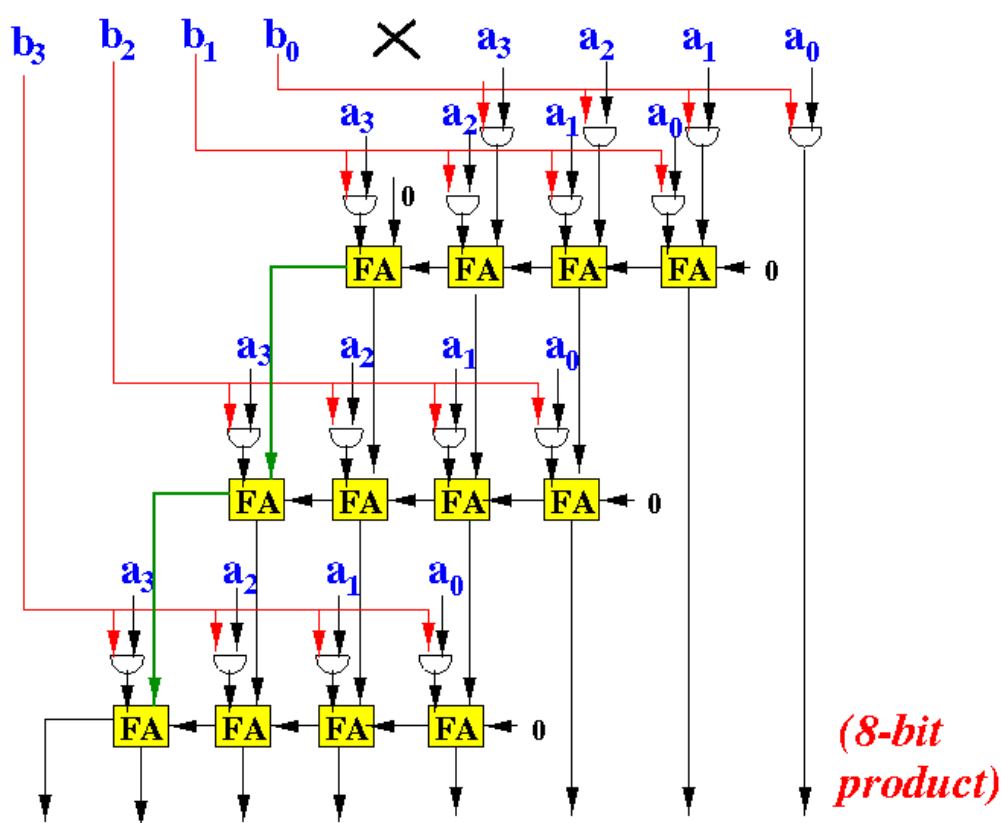
کد ارائه شده در این سوال برای ضرب دو عدد باینری علامت دار ۴ بیتی می باشد.

در این پیاده سازی مدار با استفاده از K-map ساده شده در نتیجه تعداد گیت استفاده شده کم می باشد همچنین مدار تنها با استفاده از گیت NAND پیاده سازی شده (Universal Gate)

برای پیاده سازی ۸ بیتی می توان از روش cascade کردن تعدادی Full Adder استفاده کرد. اما این روش به هیچ عنوان بهینه نیست و سربار بسیار بالایی دارد. برای مثال پیاده سازی ضرب کننده ۴ بیتی نیازمند ۲۰ عدد Full Adder می باشد و در هر جمع کننده اگر ۵ گیت داشته باشیم مجموعاً بالای ۱۰۰ گیت نیاز داریم.

مقایسه کنید با ۴۲ گیت استفاده شده در پیاده سازی ما.

اما روش کلی برای ۸ بیت: مشابه شکل زیر مدار های Full Adder را Cascade می کنیم و به هم متصل می کنیم.



در پیاده سازی کد Verilog می توانیم یک Module فول اددر با استفاده از گیت های AND NAND بسازیم سپس با روش Generate For این فول اددر ها را با هم ارتباط دهیم.