



دانشکده مهندسی کامپیوتر

دکتر مهدی فاضلی

بهار ۱۴۰۰

فاز اول

طراحی سیستم های دیجیتال

مبینا کاشانیان- امیرحسین قاسمی

تاریخ تحویل : ۱۷ خرداد ۱۴۰۰ ساعت ۲۳:۵۹:۵۹



نکات

- در صورت مشاهدهی هرگونه تقلب یا کپی از اینترنت، نمره تمرین هر دو گروه ۱۰۰- منظور خواهد شد.
- سوالات خود را از طریق گروه تلگرام مطرح کنید.
- انجام تمرین به صورت گروهی میباشد.
- مهلت تحویل تمرین قابل تمدید نخواهد بود.
- تحویل تمرین از طریق سایت می باشد

فاز اول

۱ ALU Design

ALU را طوری طراحی کنید که :

- ADD برای دستور های add , addi, lw sw
- SUB برای دستور های sub, beq, bne
- AND برای دستور های and , andi
- OR برای دستور های or , ori
- XOR برای دستور های xor , xori
- LUI برای دستور های lui
- SLL برای دستور های sll
- SRL برای دستور های srl
- SRA برای دستور های sra
- jr, j, jal نیاز نیست
- ورودی ها ۳۲ بیتی هستند

برای طراحی های فوق Test bench بنویسید. و با نرم افزار های موجود modelsim , proteus پیاده سازی کنید



Single Cycle Cpu ۲

Single Cycle Cpu پیاده سازی کنید.

Control Unit •

Datapath Design •

Register File Design in Dataflow-Style •

برای طراحی های فوق Test bench بنویسید. و با نرم افزار های موجود modelsim , proteus پیاده سازی کنید

موفق باشید.