Module

Endmodule

Input

Output

Inout

Assign

Always هر متغیر فقط در یک بلوک ، فقط تا 2 OR

Wire

Reg

Posedge

Negedge

If(reset)

Q<=0

Else

Q<=D

Reg [7:0] r [255:0] r[123]

`define W 10

Parameter W=3;

Mux # (5) myMux(….)

Mux myMux(…..)

Deparam myMux.W=5;

Defparam myMux.Depth=16;

<= non blocking assignment

= blocking assignment

Begin

…………

End

Fork

………….

Join

Case ( variable)

2’b00: act1;

2’b01:act2;

Default: actN;

Endcase

TCP/IP core

Forever

Opencores.org