



Analog to Digital Converter

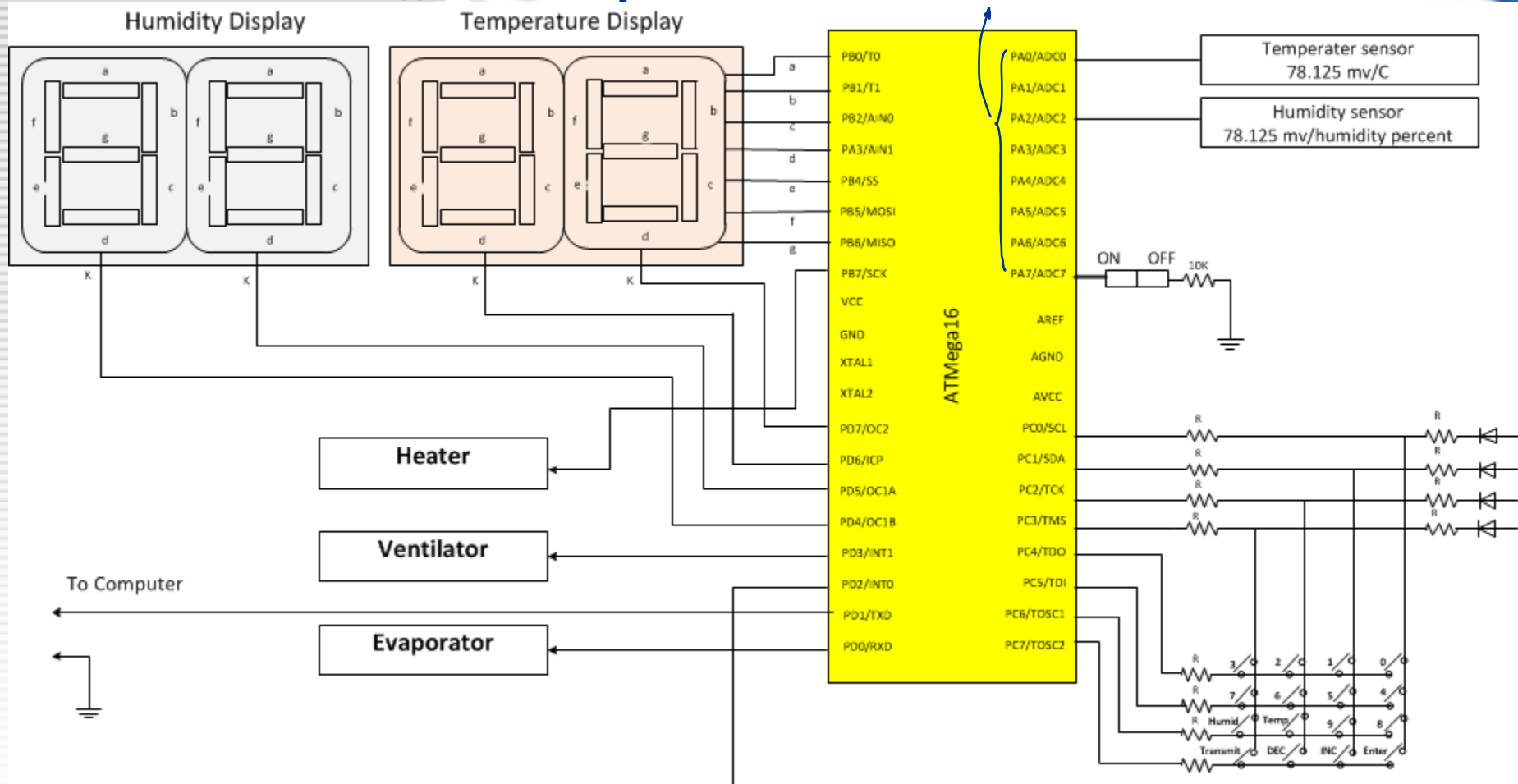
مبدل آنالوگ به دیجیتال

در میکروکنترل های AVR

مثالی از یک سیستم مبتنی بر پردازنده‌ها (گلخانه هوشمند، دستگاه جوجه کشی)

دردی port ها } دیجیتال : مثل switch
 آنالوگ : مثل سنسور دما (مثلاً به اندازه هر درجه 0.1 دلتا این پیدایش دلتا زدن)
 به نیاز ADC هست (در سیکور)

در ADC پورت A قرار دارند



فهرست مطالب

مطالبی که در این فصل با آنها آشنا خواهیم شد:
 • مبدل آنالوگ به دیجیتال

مبدل های ADC به دو چیز نیاز دارند { ولتاژ مرجع
 کلاک

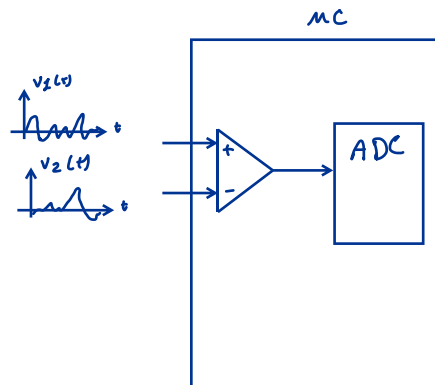
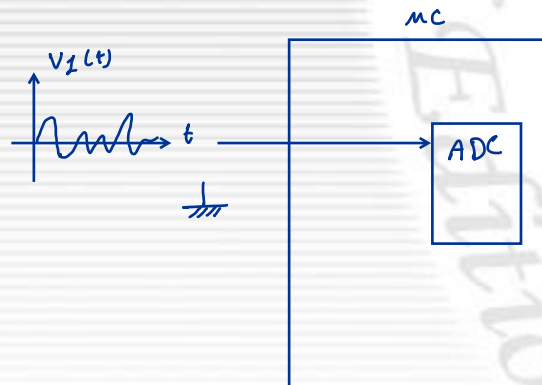
n : تعداد بیت به ازای هر نمونه
 F_s : نرخ نمونه برداشتی } ADC

$F_s \gg 2 f_{max}$
 حد اکثر نرخ نمونه برداشتی که داخل موج آمده

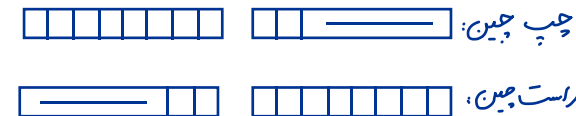
ورودی های ADC:

Differential (تفاضلی):

Single ended (تک دردی)



تیمه جی/ ۱۰ بیت است
 به دو بیت نیاز دارد



مبدل آنالوگ به رقمی

- مبدل آنالوگ به رقمی به منظور تبدیل یک سیگنال آنالوگ به معادل رقمی آن بکار می‌رود.

این میکروکنترلر ATmega16

مشخصات

- دقت ۱۰ بیتی در تبدیل سیگنال از آنالوگ به رقمی
- غیرخطی بودن به میزان ۰.۵ بیت LSB

- زمان تبدیل ۶۵ الی ۲۶۰ میکروثانیه
- حداکثر سرعت نمونه‌برداری ۱۵ کیلو نمونه در ثانیه
- هشت کانال ورودی تک‌انته‌ای (غیر تفاضلی) تسهیم شده

مبدل آنالوگ به رقمی

مشخصات (ادامه)

- هفت کانال ورودی تفاضلی
- دو کانال ورودی تفاضلی با بهره قابل انتخاب $10x$ و $200x$
- امکان از چپ خواندن بیت‌های نتیجه تبدیل
- قابلیت تغییر محدوده ولتاژ ورودی به ADC از 0 تا ولتاژ V_{CC}
- دارای ولتاژ مرجع قابل انتخاب 2.56 ولتی
- دارای حالت تک تبدیل و حالت تبدیل free running
- آغاز تبدیل ADC با تحریک خودکار ناشی از منابع وقفه
- رخداد وقفه بعد از کامل شدن هر تبدیل ADC
- حذف کننده نویز در حالت خواب

پس از انجام یک تبدیل خودش تبدیل بعدی را شروع کند

مبدل آنالوگ به رقمی

- میکروکنترلر ATmega16 از روش تقریب‌های متوالی در ۱۰ بیت برای انجام عملیات ADC استفاده می‌کند.
- مبدل ADC به یک تسهیم‌کننده آنالوگ ۸ کاناله متصل می‌باشد که امکان دریافت یکی از ۸ ورودی تک‌انتهای متصل به یکی از پایه‌های درگاه A را فراهم می‌سازد. ولتاژ این ورودی‌ها نسبت به ولتاژ مرجع زمین (GND) سنجیده می‌شوند.

مبدل آنالوگ به رقمی

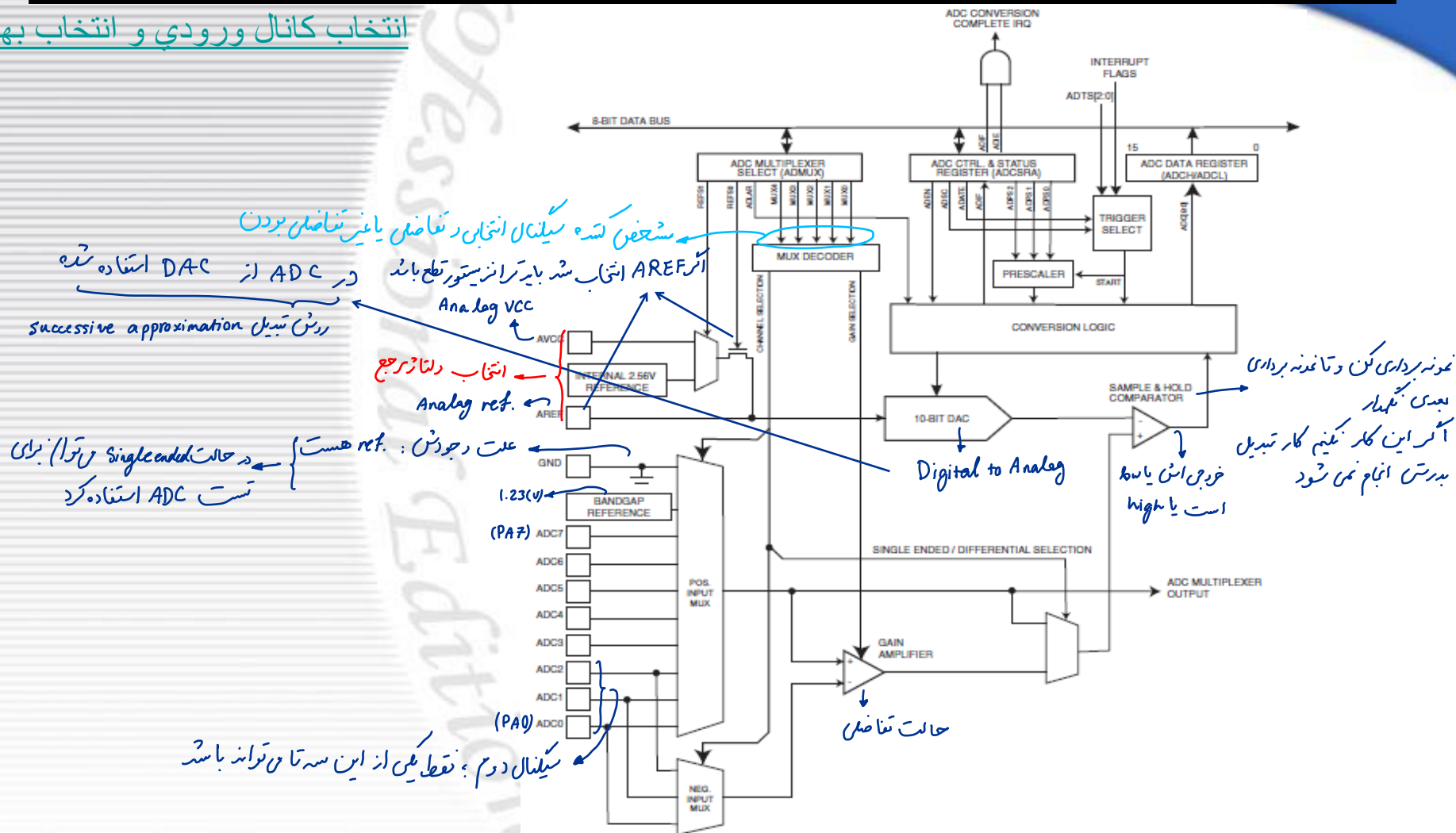
- این مبدل می‌تواند ۱۶ ترکیب ورودی با ولتاژ تفاضلی را بپذیرد. هر دو ورودی با هم به عنوان یک سیگنال تفاضلی به ADC داده می‌شود.
- دو عدد از این ورودی‌های تفاضلی شامل (ADC0 با ADC1) و (ADC2 با ADC3) به یک تقویت‌کننده با بهره قابل برنامه‌ریزی مجهز شده‌اند که ولتاژ تفاضلی ورودی را پیش از تبدیل از آنالوگ به رقمی به میزان ۰ دسیبل (1x)، ۲۰ دسیبل (20x) و ۴۶ دسیبل (200x) تقویت می‌کند.
- هفت کانال ورودی آنالوگ از یک ترمینال منفی مشترک (ADC1) استفاده می‌کنند، در حالی که هر ورودی ADC دیگر می‌تواند به عنوان ترمینال ورودی مثبت در نظر گرفته شود. اگر از بهره 1x یا 10x استفاده شود، ADC دارای دقت ۸ بیت و در صورت استفاده از بهره 200x، دارای دقت ۷ بیت می‌باشد.

مبدل آنالوگ به رقمی

- مبدل ADC دارای یک مدار نمونه‌بردار و نگه‌دارنده می‌باشد که تضمین می‌کند ولتاژ ADC در حین تبدیل در یک سطح ثابت نگه داشته شود.
- مبدل ADC یک پایه جداگانه برای تغذیه آنالوگ دارد که AVCC نام دارد. پایه AVCC نباید اختلاف ولتاژی بیش‌تر از ± 0.3 ولت با V_{CC} داشته باشد.
- یک منبع ولتاژ مرجع داخلی با ولتاژ نامی ۲.۵۶ ولت در درون خود تراشه فراهم شده است. ولتاژ اعمالی به پایه AVCC نیز می‌تواند در درون میکروکنترلر به عنوان ولتاژ مرجع استفاده شود.
- قرار دادن یک خازن در پایه AREF (که عملاً موازی با ولتاژ مرجع قرار می‌گیرد) موجب بهبود کارایی مبدل ADC از نقطه نظر کاهش نویز می‌گردد.

نمودار بلوکی کلی مبدل آنالوگ به رقمی

انتخاب کانال ورودی و انتخاب بهره



عملکرد مبدل آنالوگ به رقمی

- مبدل ADC، ولتاژ ورودی آنالوگ را با تقریب‌های متوالی به یک عدد ۱۰ بیتی رقمی تبدیل می‌کند.
- کم‌ترین مقدار نتیجه تبدیل، نشان‌دهنده GND و بیش‌ترین مقدار، نشان‌دهنده ولتاژ پایه AREF منهای ۱ بیت کم‌ارزش است.
- هریک از ولتاژهای AVCC و یا ولتاژ مرجع ۲.۵۶ ولت می‌توانند با تغییر بیت REFSn در ثبات ADMUX به پایه AREF اعمال شوند.
- با قرار دادن یک خازن در پایه AREF، می‌توان مصونیت نسبت به نویز را افزایش داد.

عملکرد مبدل آنالوگ به رقمی

- انتخاب کانال ورودی آنالوگ و انتخاب میزان بهره تفاضلی با نوشتن مقادیر مناسب در بیت‌های MUX در ثبات ADMUX انجام می‌شود.
- هر یک از پایه‌های ورودی ADC، GND و یک ولتاژ مرجع Bandgap ثابت، می‌توانند به عنوان ورودی تک‌انتهای به ADC انتخاب شوند.
- هر یک از پایه‌های ورودی ADC می‌توانند به عنوان ورودی‌های مثبت و منفی به تقویت کننده بهره تفاضلی انتخاب شوند.
- چنانچه کانال‌های تفاضلی انتخاب شوند، طبقه بهره تفاضلی تفاضل ولتاژ بین زوج ورودی‌های انتخاب شده را با توجه به فاکتور بهره انتخاب شده تقویت می‌نماید و آنگاه ولتاژ تقویت شده به مبدل ADC داده می‌شود.
- در صورت استفاده از کانال‌های تک‌انتهای، ولتاژ ورودی ADC تقویت نمی‌شود.

عملکرد مبدل آنالوگ به رقمی

- با یک کردن بیت ADEN در ثبات ADCSRA، مبدل ADC فعال می‌شود و بدین ترتیب امکان استفاده از ولتاژ مرجع و کانال ورودی انتخاب شده فراهم می‌شود.
- هنگامی که ADEN صفر است، مبدل توان الکتریکی مصرف نمی‌کند. بنابراین بهتر است که قبل از استفاده از حالت‌های صرفه‌جویی توان، مبدل را خاموش کرد.
- مبدل ADC بعد از تبدیل یک نمونه از آنالوگ به فرم رقمی، یک مقدار ۱۰ بیتی تولید می‌کند که در ثبات‌های داده ADC یعنی ADCH و ADCL ذخیره می‌شود.
- بطور پیش‌فرض، داده به صورت راست‌چین ظاهر می‌شود ولی با تغییر بیت ADLAR در ثبات ADMUX می‌توان آنرا به صورت چپ‌چین در آورد.

عملکرد مبدل آنالوگ به رقمی

- اگر نتیجه به صورت چپ‌چین باشد و دقت بیش‌تر از ۸ بیت مورد نیاز نباشد، کافی است که تنها ADCH خوانده شود.
- در غیر این صورت برای اطمینان از این که محتوای ثبات داده مربوط به همان تبدیل است، ابتدا باید ADCL و سپس ADCH را خواند. به محض خواندن ADCL، دسترسی ADC به ثبات داده ADC قطع می‌شود.
- این بدین معناست که اگر ADCL خوانده شود و قبل از خواندن ADCH یک تبدیل جدید کامل شود، نتیجه تبدیل جدید در ثبات داده گذاشته نمی‌شود و از دست می‌رود.
- با خواندن ADCH، دسترسی مجدد ADC به هر دو ثبات ADCL و ADCH برقرار می‌شود.

عملکرد مبدل آنالوگ به رقمی

- مبدل ADC وقفه مخصوص به خود را دارد و هر بار که یک تبدیل کامل می‌شود، این وقفه تحریک می‌شود.
- در حین خواندن داده‌های ناشی از تبدیل قبلی از ثبات‌های ADCL و ADCH، حتی اگر داده حاصل از تبدیل جدید از دست برود، وقفه ناشی از تبدیل جدید تحریک خواهد شد.

شروع یک تبدیل

- با نوشتن مقدار 1 در بیت شروع تبدیل (بیت ADSC)، یک تک تبدیل (تبدیل واحد) آغاز می شود.
- این بیت در تمام مدتی که تبدیل در حال انجام است، یک باقی می ماند و با تمام شدن تبدیل، توسط سخت افزار صفر می شود.
- اگر در حال انجام تبدیل، یک کانال دیگر انتخاب شود، ADC عمل تبدیل جاری را قبل از تعویض کانال به پایان می رساند.

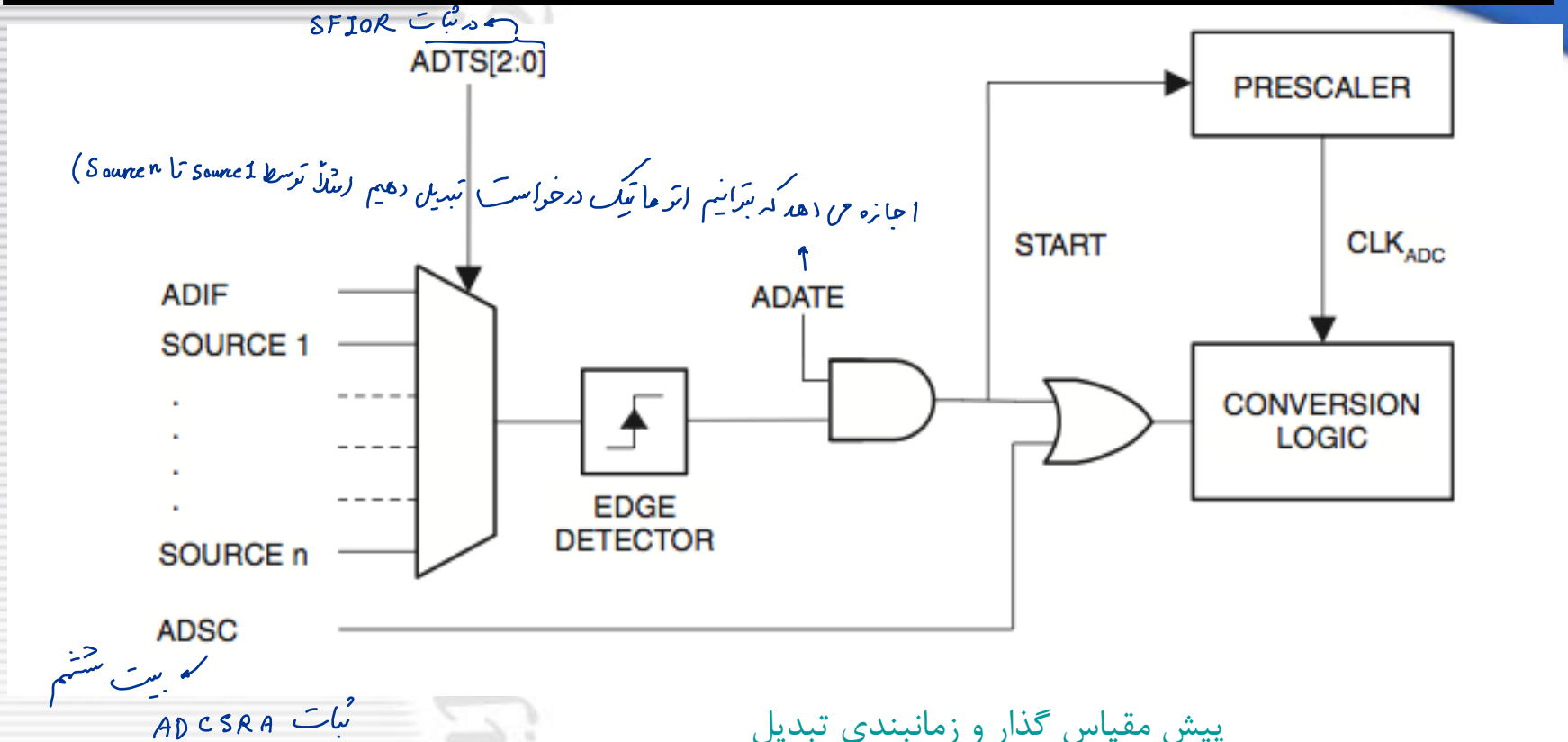
شروع یک تبدیل

- منابع مختلفی می‌توانند موجب تحریک یک تبدیل شوند.
- با یک کردن بیت فعال ساز تحریک **ADATE** در ثبات **ADCSRA**، تحریک خودکار فعال می‌شود. منبع تحریک با تنظیم بیت‌های **ADTS2:0** در ثبات **SFIOR** انتخاب می‌شود.
- انتخاب منبع تحریک خودکار ADC
- با رخ دادن یک لبه مثبت روی سیگنال تحریک انتخاب شده، پیش مقیاس‌گذار مبدل ADC بازنشانی شده و یک تبدیل آغاز می‌شود.
- این روش موجب می‌شود که تبدیل در بازه‌هایی با فواصل زمانی مساوی انجام شود. اگر با کامل شدن تبدیل، همچنان سیگنال تحریک یک باشد، تبدیل جدید صورت نمی‌گیرد.

شروع یک تبدیل

- اگر در حین تبدیل، یک لبه مثبت دیگر روی سیگنال تحریک رخ دهد، این لبه نادیده گرفته خواهد شد.
- توجه داشته باشید که پرچم وقفه حتی اگر آن وقفه غیرفعال باشد و یا بیت فعال سازی وقفه ها در ثبات SREG صفر شده باشد، یک می شود.
- لیکن برای تحریک یک تبدیل جدید در رخداد وقفه بعدی، پرچم وقفه باید صفر شود.

واحد تحریک خودکار ADC



شروع یک تبدیل

- استفاده از پرچم وقفه ADC یعنی ADIF به عنوان یک منبع تحریک موجب می شود که به محض آنکه تبدیل جاری تمام شد یک تبدیل جدید شروع شود.
- مبدل ADC سپس در حالت free running کار می کند و بطور ممتد عمل نمونه برداری را انجام و ثبات داده را به روز می نماید.
- اولین تبدیل باید با نوشتن یک منطقی در بیت ADSC از ثبات ADCSRA شروع می شود. در این مود، مبدل ADC تبدیل های متوالی را مستقل از اینکه پرچم وقفه ADC یعنی ADIF صفر باشد یا خیر انجام می دهد.

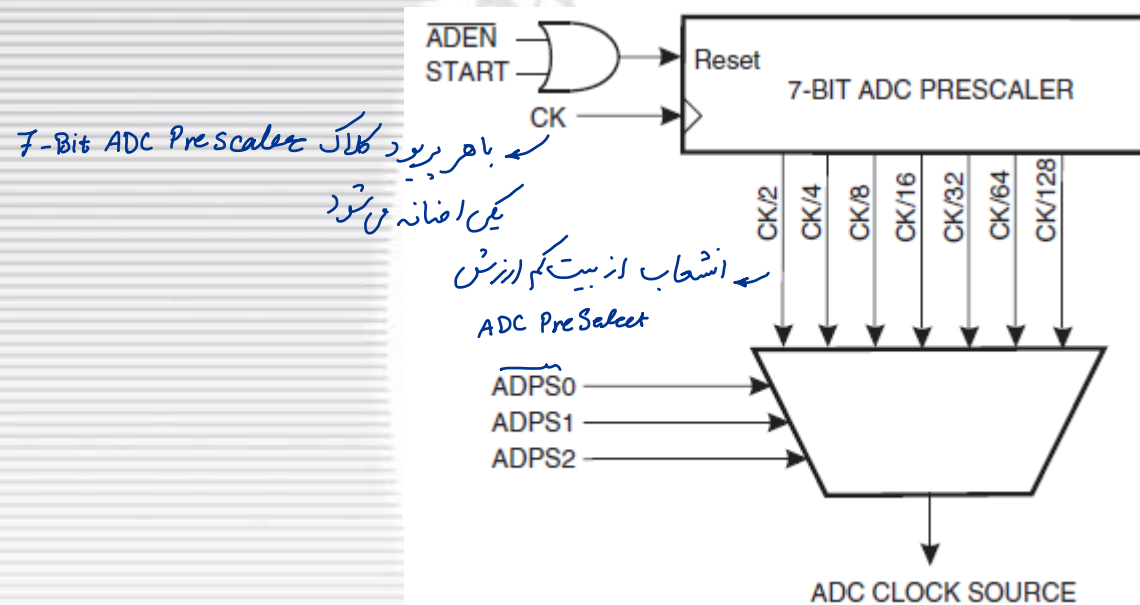
شروع یک تبدیل

اگر حالت تحریک خودکار فعال شود، تبدیل‌های تکی می‌تواند با یک کردن بیت ADSC در ثبات ADCSRA شروع شود.

ADSC همچنین می‌تواند برای تعیین اینکه یک تبدیل در حال پیشرفت است یا خیر استفاده شود.

بیت ADSC در طی یک تبدیل، مستقل از اینکه تبدیل چگونه آغاز شده است، یک خوانده می‌شود.

پیش مقیاس گذار و زمانبندی تبدیل



پیش مقیاس گذار مبدل ADC
بازگشت

پیش مقیاس گذار و زمانبندی تبدیل

- بطور پیش فرض مدار تقریب متوالی برای انجام عمل تبدیل سیگنال آنالوگ به رقمی، یک فرکانس ساعت بین ۵۰ کیلوهرتز و ۲۰۰ کیلوهرتز برای دستیابی به دقت بالا در تبدیل نیاز دارد.

* حداکثر نرخ نمونه برداری ۱۵ KHz است؛ در فرکانس ساعت ۱/ بین ۵۰ KHz تا ۲۰۰ KHz است

- اگر یک دقت کمتر از ۱۰ بیت لازم باشد، فرکانس ساعت ورودی به مبدل ADC می تواند برای دستیابی به یک نرخ نمونه برداری بالاتر، بیشتر از ۲۰۰ کیلوهرتز نیز باشد.

پیش‌مقیاس‌گذار و زمانبندی تبدیل

- ماژول ADC شامل یک پیش‌مقیاس‌گذار می‌باشد که هر فرکانس CPU بالاتر از ۱۰۰ کیلوهرتز را به یک فرکانس ساعت قابل قبول برای خود تبدیل می‌کند.
- پیش‌مقیاس‌گذار توسط بیت‌های **ADPS** در ثبات **ADCSRA** تنظیم می‌شود. از لحظه‌ای که با یک کردن بیت ADEN در ADCSRA مبدل ADC روشن می‌شود، پیش‌مقیاس‌گذار شروع به شمارش می‌کند.
- پیش‌مقیاس‌گذار تا زمانی که بیت ADEN یک شود به کار خود ادامه می‌دهد و هنگامی که ADEN صفر است در حالت بازنشانی باقی می‌ماند

پیش مقیاس گذار و زمانبندی تبدیل

- هنگامی که با یک کردن بیت ADSC در ADCSRA، تبدیل یک سیگنال تک‌انتها پایه‌گذاری می‌شود، در لبه بالارونده بعدی سیکل ساعت ADC، تبدیل آغاز می‌شود. یک تبدیل عادی ۱۳ پالس ساعت ADC بطول می‌انجامد.
- اولین تبدیل بعد از روشن شدن ADC (با یک شدن بیت ADEN در ADCSRA)، به ۲۵ سیکل ساعت ADC برای آماده‌سازی مدار آنالوگ درون ماژول ADC نیاز دارد.

پیش مقیاس گذار و زمانبندی تبدیل

- نمونه بردار و نگه‌دار عملاً به ۱.۵ سیکل ساعت بعد از شروع یک تبدیل عادی و ۱۳.۵ سیکل ساعت بعد از شروع اولین تبدیل نیاز دارد.
- هنگامی که یک تبدیل کامل می‌شود، نتیجه در ثبات‌های داده ADC نوشته می‌شود و بیت ADIF یک می‌شود.
- در حالت تک تبدیل، ADSC بطور همزمان صفر می‌شود. نرم‌افزار ممکن است سپس ADSC را یک کند. با اینکار یک تبدیل جدید بر روی اولین لبه بالارونده ساعت ADC پایه‌گذاری می‌شود.

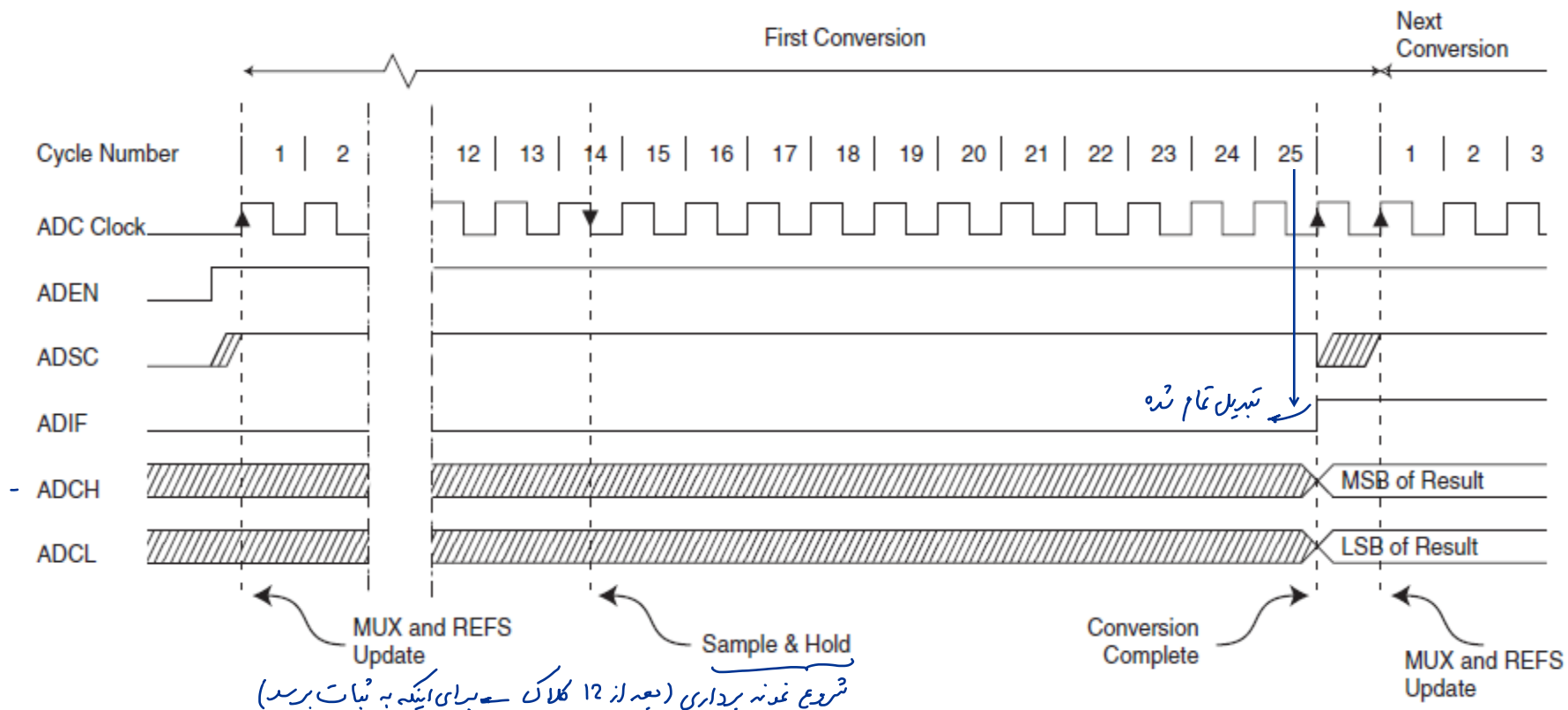
پیش مقیاس گذار و زمانبندی تبدیل

- هنگامی که تحریک سازی خودکار مد نظر باشد، پیش مقیاس گذار هنگامی که رویداد تحریک رخ می دهد، بازنشانی می شود. این کار یک تاخیر ثابت (از لحظه رویداد تحریک تا لحظه شروع تبدیل) را تضمین می کند.
- در این مود، نمونه برداری و نگهداری به تعداد ۲ سیکل ساعت بعد از لبه بالارونده سیگنال منبع تحریک انجام می شود. سه سیکل ساعت CPU اضافی برای فرآیند همگام سازی استفاده می شود.

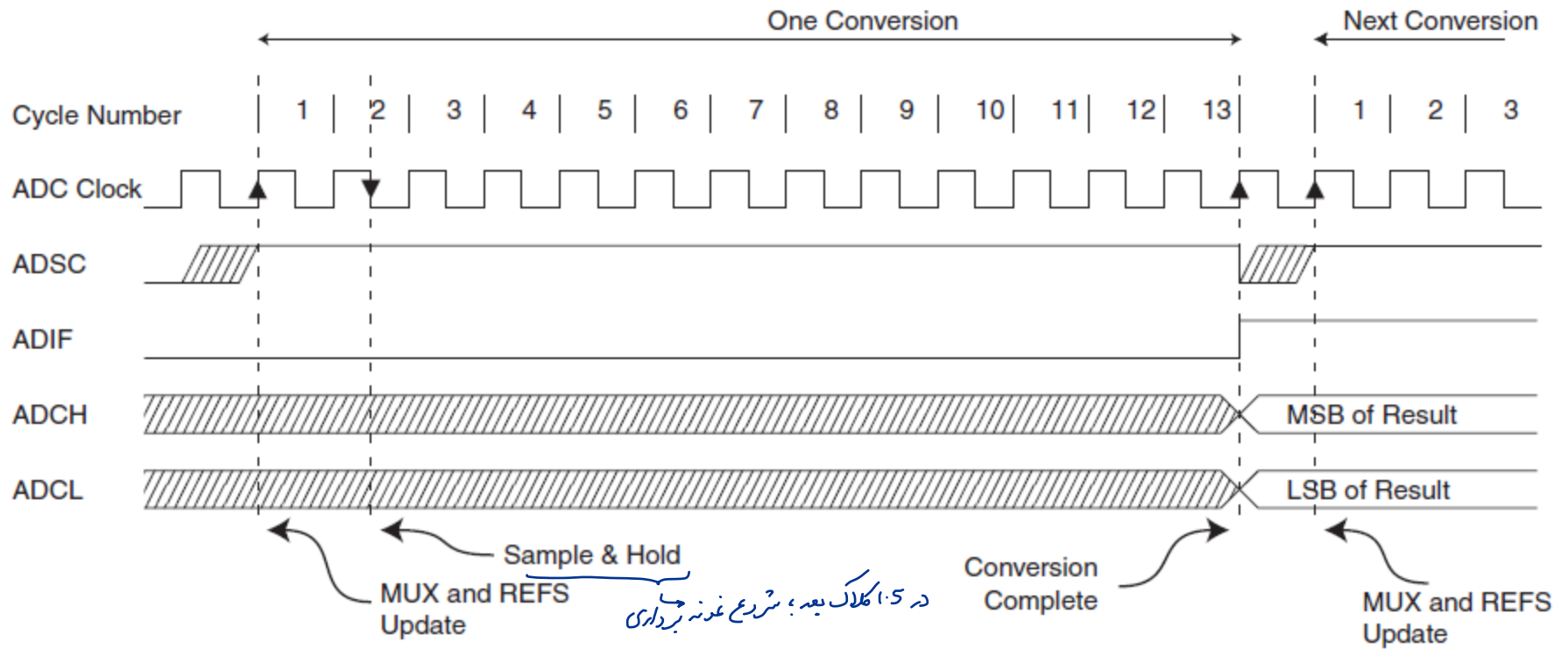
پیش مقیاس گذار و زمانبندی تبدیل

- هنگامی که از حالت **تفاضلی** استفاده شود، در زمان تحریک شدن خودکار توسط عاملی غیر از کامل شدن تبدیل ADC، هر تبدیل به **۲۵ پالس** ساعت نیاز دارد.
- این بدان دلیل است که **ADC** باید غیر فعال شود و بعد از هر تبدیل مجدداً فعال شود. در حالت **free running**، در صورت یک بودن ADSC، یک تبدیل جدید بلافاصله بعد از کامل شدن تبدیل شروع می‌شود.

نمودار زمانبندی ADC، اولین تبدیل (مود تک تبدیل)

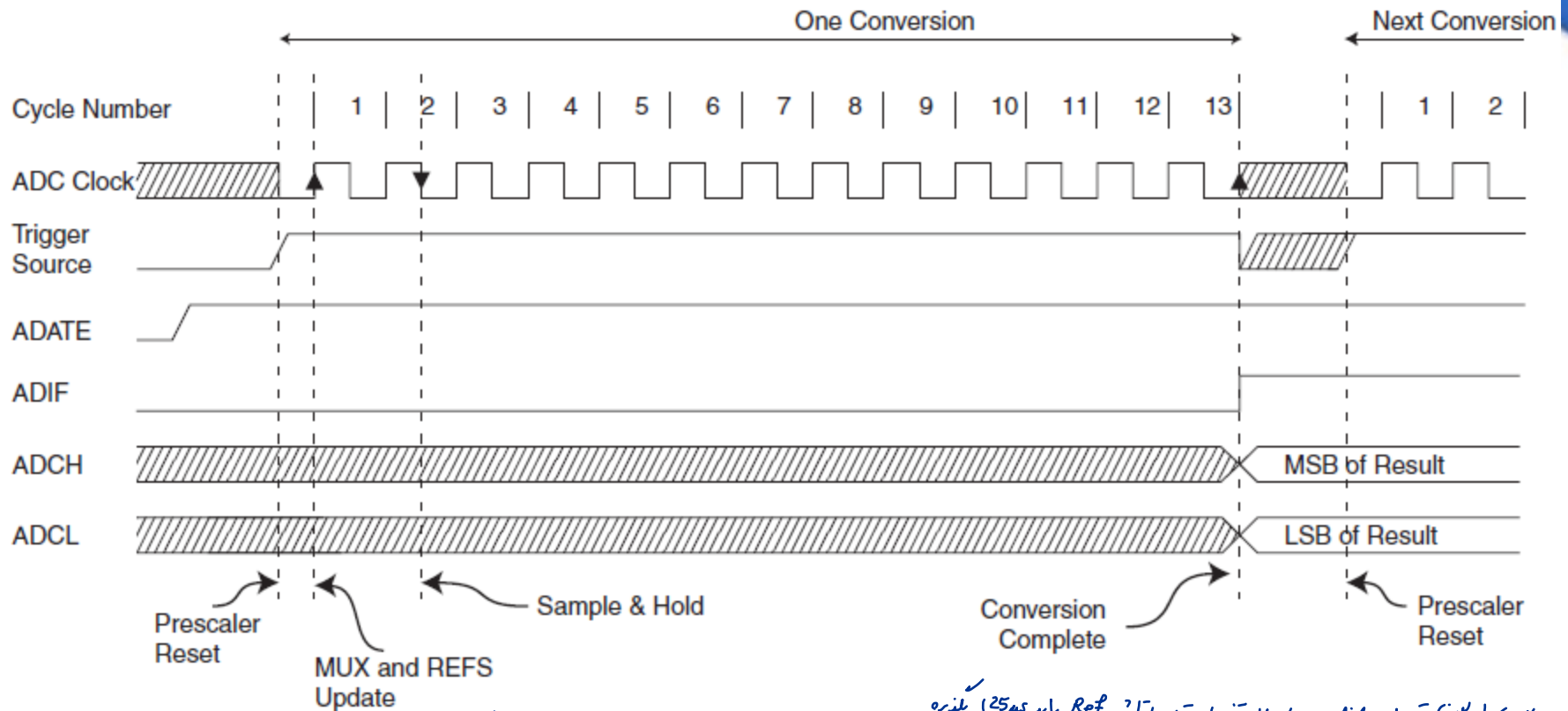


نمودار زمانبندی ADC، تک تبدیل



ADSC تغییر ندارد

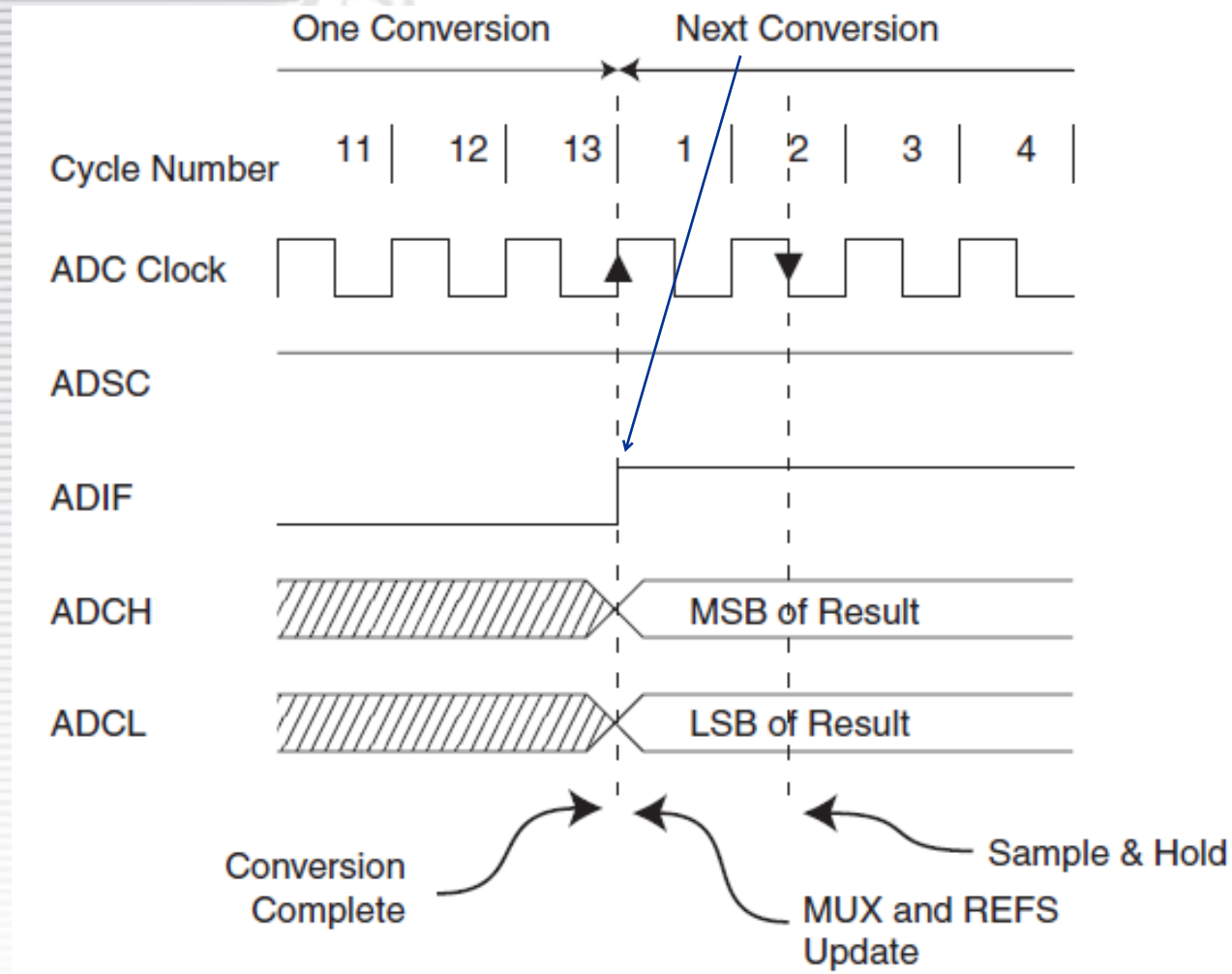
نمودار زمانبندی ADC، تبدیل با تحریک خودکار



این اولین تبدیل valid و اعمال تغییرات در تناظر Re_{f} باید کم ۱۲۵ بگذرد
 که خودتان باید حواسمان به این زمان باشد

این مقادیر در تبدیل های
 قبل می کردیم و در این تبدیل اعمال شده
 (تغییرات این مقادیر آتی نیست)

نمودار زمانبندی ADC، تبدیل free running



جدول تبدیل ADC

Condition	Sample & Hold (Cycles from Start of Conversion)	Conversion Time (Cycles)
First conversion	13.5	25
Normal conversions, single ended	1.5	13
Auto Triggered conversions	2	13.5
Normal conversions, differential	1.5/2.5	13/14

کانال‌های بهره تفاضلی

- هنگامی که کانال‌های بهره تفاضلی استفاده شوند، بعضی جنبه‌های تبدیل باید مورد توجه قرار گیرند. تبدیل‌های تفاضلی با ساعت داخلی CK_{ADC2} که نصف ساعت ADC است همگام می‌شوند.
- این همگام سازی بطور خودکار توسط واسط ADC بطریقی که عمل نمونه‌برداری و نگهداری در یک فاز خاص از CK_{ADC2} رخ دهد انجام می‌شود.

تغییر کانال‌ها یا انتخاب ولتاژ مرجع

- بیت‌های MUXn و REFS1:0 در ثبات ADMUX از طریق یک ثبات موقتی که CPU بدان دسترسی دارد بافر شده‌اند.
- این تضمین می‌کند که انتخاب کانال‌ها و انتخاب ولتاژ مرجع در زمان مناسبی انجام شود و انتخاب کانال و ولتاژ مرجع بتواند تا شروع یک تبدیل دائما تغییر کند.
- هنگامی که تبدیل شروع شود، انتخاب کانال و ولتاژ مرجع قفل می‌شود تا فراهم بودن یک زمان نمونه‌برداری کافی برای ADC تضمین شود.
- به روز رسانی می‌تواند در آخرین سیکل ساعت ADC قبل از کامل شدن تبدیل (ست شدن بیت ADIF در ADCSRA) از سر گرفته می‌شود.

تغییر کانال‌ها یا انتخاب ولتاژ مرجع

- اگر حالت تحریک خودکار استفاده شود، زمان دقیق رویداد تحریک برای کاربر معلوم نیست.
- به منظور کنترل اینکه چه تبدیلی توسط تنظیمات جدید متاثر خواهد شد توجه مخصوص باید هنگام به روز رسانی ثبات ADMUX صورت گیرد.
- اگر در هر دوی ADATE و ADEN مقدار یک نوشته شود، یک رویداد وقفه در هر زمان می‌تواند رخ دهد.
- باشید که بعد از نوشتن در ADSC، تبدیل در لبه بالارونده بعدی ساعت ADC، شروع می‌شود.
- بنابراین به کاربر توصیه می‌شود که تا یک سیکل ساعت بعد از نوشتن در ADC، مقادیر جدید انتخاب کانال یا ولتاژ مرجع، در ADMUX نوشته نشوند.

تغییر کانال‌ها یا انتخاب ولتاژ مرجع

- بر اساس تنظیمات قبلی انجام شده یا تنظیمات جدید، ثابت ADMUX می‌تواند بطور مطمئنی در شرایط زیر به روز رسانی شود:

- هنگامی که ADATE یا ADEN صفر شود.
- در طی تبدیل، حداقل یک سیکل ساعت ADC بعد از رویداد تحریک
- بعد از یک تبدیل، قبل از اینکه پرچم وقفه‌ای که به عنوان منبع تحریک بکار رفته صفر شود

تغییر کانال‌ها یا انتخاب ولتاژ مرجع

- هنگام به روز رسانی ADMUX در یکی از شرایط فوق، تنظیمات جدید، تبدیل ADC بعدی را متاثر می‌کنند. مواظبت ویژه‌ای باید هنگام تعویض کانال‌های تفاضلی صورت گیرد.
- هنگامی که یک کانال تفاضلی انتخاب شود، طبقه بهره ممکن است به زمانی به میزان ۱۲۵ میکروثانیه برای تثبیت یک مقدار جدید فرصت نیاز داشته باشد.
- بنابراین تبدیل‌ها نباید در فاصله ۱۲۵ میکروثانیه اول بعد از انتخاب یک کانال تفاضلی جدید شروع شوند. بعلاوه نتایج تبدیل بدست آمده در این فاصله زمانی باید دور انداخته شود.
- همین زمان تنظیم باید بعد از تبدیل ولتاژ مرجع ADC (با تغییر بیت‌های REFS1:0 در ثبات ADMUX) برای اولین تبدیل تفاضلی در نظر گرفته شود.

کانال‌های ورودی ADC

- هنگام **تغییر کانال‌ها**، کاربر باید نکات راهنمای زیر را برای اطمینان از انتخاب کانال صحیح بکار برد:
- در حالت **تک‌تبدیل**، همیشه کانال را قبل از شروع تبدیل انتخاب کنید. انتخاب کانال می‌تواند یک سیکل ساعت قبل از نوشتن در ADSC انجام شود. اما ساده‌ترین کار آن است که قبل از انتخاب کانال صبر کنیم تا تبدیل تمام شود.
- در حالت **free running**، همیشه قبل از شروع تبدیل کانال را انتخاب کنید. انتخاب کانال ممکن است یک سیکل ساعت بعد از نوشتن مقدار 1 در بیت ADSC انجام شود. اما ساده‌ترین کار آن است که صبر کنیم تا اولین تبدیل تمام شود و سپس انتخاب کانال را عوض کنیم. از آنجا که تبدیل بعدی قبلاً بطور خودکار شروع شده است، نتیجه بعدی، انتخاب قبلی کانال را منعکس می‌کند و تبدیل‌های بعدی، انتخاب جدید کانال را منعکس خواهند کرد.
- هنگام سوئیچ کردن به یک کانال بهره متفاوت، نتیجه اولین تبدیل ممکن است به دلیل زمان لازم برای تنظیم مدار حذف خودکار افسست، دقت کمی داشته باشد. لذا بهتر است که کاربر اولین تبدیل را دور بیندازد.

منبع ولتاژ مرجع ADC

- ولتاژ مرجع برای V_{REF} ADC، محدوده تبدیل را برای ADC مشخص می کند.
- سیگنال ورودی به کانال های تک انتهای V_{REF} بیشتر شوند منجر به نتیجه تبدیل نزدیک به 0x3FF می شود. ولتاژ مرجع V_{REF} می تواند با انتخاب $AVCC$ ، ولتاژ مرجع 2.56V یا توسط پایه خارجی $AREF$ مشخص شود.
- $AVCC$ از طریق یک سوئیچ پسیو به ADC متصل شده است. ولتاژ 2.56V داخلی توسط یک ولتاژ مرجع V_{BG} (bandgap) و به کمک یک تقویت کننده داخلی تولید می شود.
- در هر صورت، پایه $AREF$ خارجی مستقیماً به ADC متصل است و ولتاژ مرجع می تواند با اتصال یک خازن بین پایه $AREF$ و زمین نسبت به نویز مصون تر شود.
- توجه داشته باشید که V_{REF} یک منبع امپدانس بالاست و در یک سیستم، تنها یک بار خازنی باید بدان متصل شود.

منبع ولتاژ مرجع ADC

- اگر کاربر یک منبع ولتاژ با ولتاژ ثابت معین که به پایه AREF متصل شده است را در اختیار داشته باشد، بهتر است که او از سایر انتخاب‌ها به عنوان ولتاژ مرجع در یک کاربرد استفاده ننماید، چرا که در اینصورت منابع ولتاژ مرجع داخلی به ولتاژ مرجع خارجی متصل شده و باعث بروز مشکلاتی خواهند شد.
- اگر هیچ ولتاژ خارجی به پایه AREF متصل نشود، کاربر ممکن است که یکی از دو ولتاژ مرجع 2.56 ولت یا AVCC را به عنوان منبع ولتاژ مرجع انتخاب نماید.
- اولین نتیجه تبدیل ADC بعد از انتخاب منبع ولتاژ مرجع معتبر نخواهد بود و به کاربر توصیه می‌شود آنرا استفاده ننماید.

حذف کننده نویز ADC

- مبدل ADC دارای یک حذف کننده نویز است که موجب کاهش نویز القاء شده توسط هسته CPU و سایر ماژول‌های موجود در میکروکنترلر در حین تبدیل در طی حالت خواب می‌شود. حذف کننده نویز می‌تواند همراه با حالت خواب کاهش نویز ADC و حالت بیکار استفاده شود.
- اطمینان حاصل کنید که ADC فعال است و مشغول عمل تبدیل نیست. حالت تک‌تبدیل را انتخاب و صبر کنید تا وقفه کامل شدن تبدیل فعال شود.
- وارد حالت کاهش نویز ADC شوید (یا حالت بیکار). مبدل ADC هر بار که CPU به حالت ایست می‌رود یک تبدیل را شروع می‌کند.

حذف کنند نویز ADC

- اگر هیچ نوع وقفه دیگری قبل از کامل شدن تبدیل ADC رخ ندهد، وقفه ADC موجب بیدار شدن CPU شده و روتین وقفه کامل شدن تبدیل ADC را اجرا می کند.
- اگر وقفه دیگری CPU را قبل از کامل شدن تبدیل بیدار نماید، آن وقفه اجرا خواهد شد و یک تقاضای وقفه کامل شدن تبدیل هنگامی که تبدیل کامل شود تولید خواهد شد.
- CPU تا زمان اجرای یک دستور خواب جدید در حالت فعال باقی می ماند.

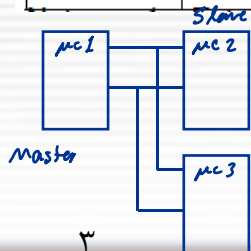
برای بیدار کردن میکرو به حالت خواب و انجام ADC باید به یکم از دو حالت idle یا ADC noise reduction ببریم
برای بیدار کردن میکرو از حالت idle استفاده کرد
اگر CPU در بصریم به حالت خواب ریک عامل دیگر وقفه انداخت و CPU در روشن کرد؛ دیگر کاری نیست که کرد یک بخش از تبدیل با نویز انجام می شود

مشخصات حالات خواب بطور خلاصه

TWI = Two Wire Interface

• منابع ساعت خواب فعال و منابع بیدار شدن از حالت خواب در انواع حالت‌های خواب

Sleep Mode	Active Clock domains					Oscillators		Wake-up Sources					
	clk _{CPU}	clk _{FLASH}	clk _{IO}	clk _{ADC}	Asynchronous clk _{ASY}	Main Clock Source Enabled	Timer Osc. Enabled	INT2 INT1 INT0	TWI Address Match	Timer 2	SPM / EEPROM Ready	ADC	Other I/O
Idle			X	X	X	X	X ⁽²⁾	X	X	X	X	X	X
ADC Noise Reduction				X	X	X	X ⁽²⁾	X ⁽³⁾	X	X	X	X	
Power Down								X ⁽³⁾	X				
Power Save					X ⁽²⁾		X ⁽²⁾	X ⁽³⁾	X	X ⁽²⁾			
Standby ⁽¹⁾						X		X ⁽³⁾	X				
Extended Standby ⁽¹⁾					X ⁽²⁾	X	X ⁽²⁾	X ⁽³⁾	X	X ⁽²⁾			



در یک بایه آدرس
را آدرس دهی در
بایه دیگر میکنند در

- 1 کریستال خارجی یا تشدیدساز به عنوان منبع ساعت انتخاب شده است.
- 2 اگر بیت AS2 در ثبات ASSR یک شده باشد. یعنی تایمر Asynchronous فعال باشد
- 3 فقط INT2 یا وقفه‌های حساس به سطح INT0 و INT1

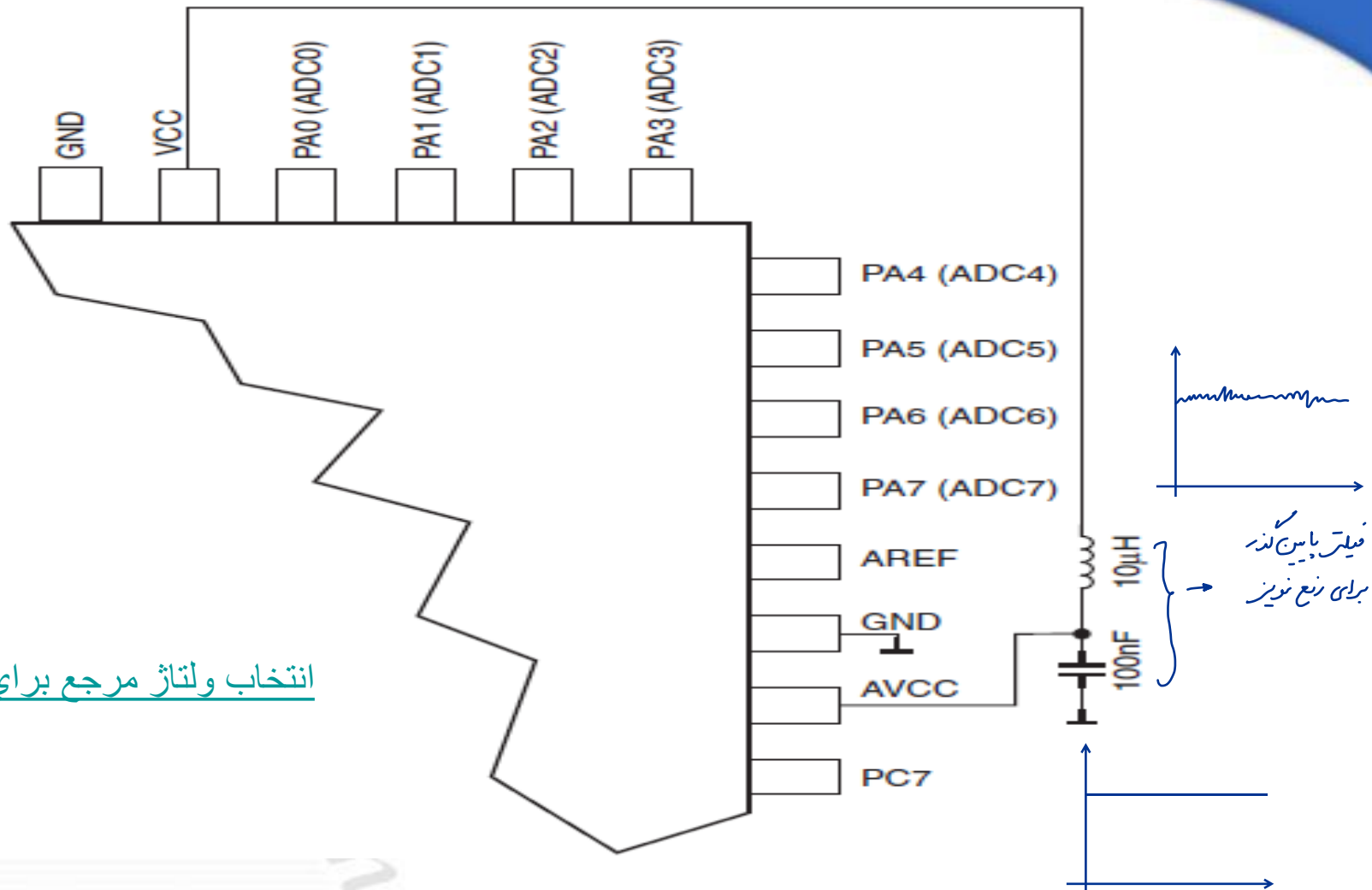
حذف کنند نویز ADC

- اگر ADC در یکی از حالت‌های خواب غیر از حالت بیکار و حالت کاهش نویز ADC فعال باشد، بطور خودکار خاموش نخواهد شد.
- به کاربر توصیه می‌شود که بیت ADEN قبل از ورود به اینگونه حالت‌ها صفر شود تا بدین طریق از مصرف توان اضافی اجتناب شود.
- اگر ADC در اینگونه حالت‌های خواب فعال شود و کاربر بخواهد تبدیل روی ورودی‌های تقاضی صورت دهد، به کاربر توصیه می‌شود که برای دریافت یک نتیجه تبدیل توسعه یافته معتبر، ADC را بعد از بیدار شدن از خواب، خاموش و سپس روشن کند.

روش‌های حذف نویز آنالوگ

- چنانچه دقت تبدیل از آنالوگ به رقمی مهم باشد، سطح نویز با استفاده از روش‌های زیر می‌تواند کاهش یابد.
 - مسیرهای سیگنال آنالوگ را حتی‌الامکان کوتاه انتخاب کنید و آنها را از مسیرهای عبور سیگنال‌های رقمی با سرعت تغییرات بالا دور نگه دارید.
 - پایه AVCC را از طریق یک مدار LC به تغذیه VCC متصل کنید.
 - از قابلیت کاهش نویز ADC برای کاهش نویز القاء شده توسط CPU استفاده کنید.
 -
 - چنانچه هر یک از پایه‌های درگاه ADC به عنوان خروجی رقمی استفاده شده باشد، ضروری است که آن پایه در طی عمل تبدیل توسط ADC، تغییر نکند.

اتصالات تغذیه ADC



انتخاب ولتاژ مرجع برای مبدل ADC

نتیجه تبدیل ADC

- بعد از کامل شدن تبدیل (بیت ADIF یک است)، نتیجه تبدیل را باید در ثبات‌های ADCH و ADCL یافت. برای یک تبدیل روی ورودی‌های تک‌انته‌ای، نتیجه تبدیل بصورت زیر است:

$$ADC = \frac{V_{IN} \cdot 1024}{V_{REF} \rightarrow 5(V)}$$

- که V_{IN} ولتاژ روی پایه ورودی انتخاب شده و V_{REF} ولتاژ مرجع انتخاب شده است. خروجی 0x000 بیانگر زمین و 0x3FF بیانگر ولتاژ مرجع انتخاب شده منتهای یک بیت LSB است.
 1023

نتیجه تبدیل ADC

- اگر از کانال‌های تفاضلی استفاده شود، نتیجه تبدیل بصورت زیر خواهد بود:

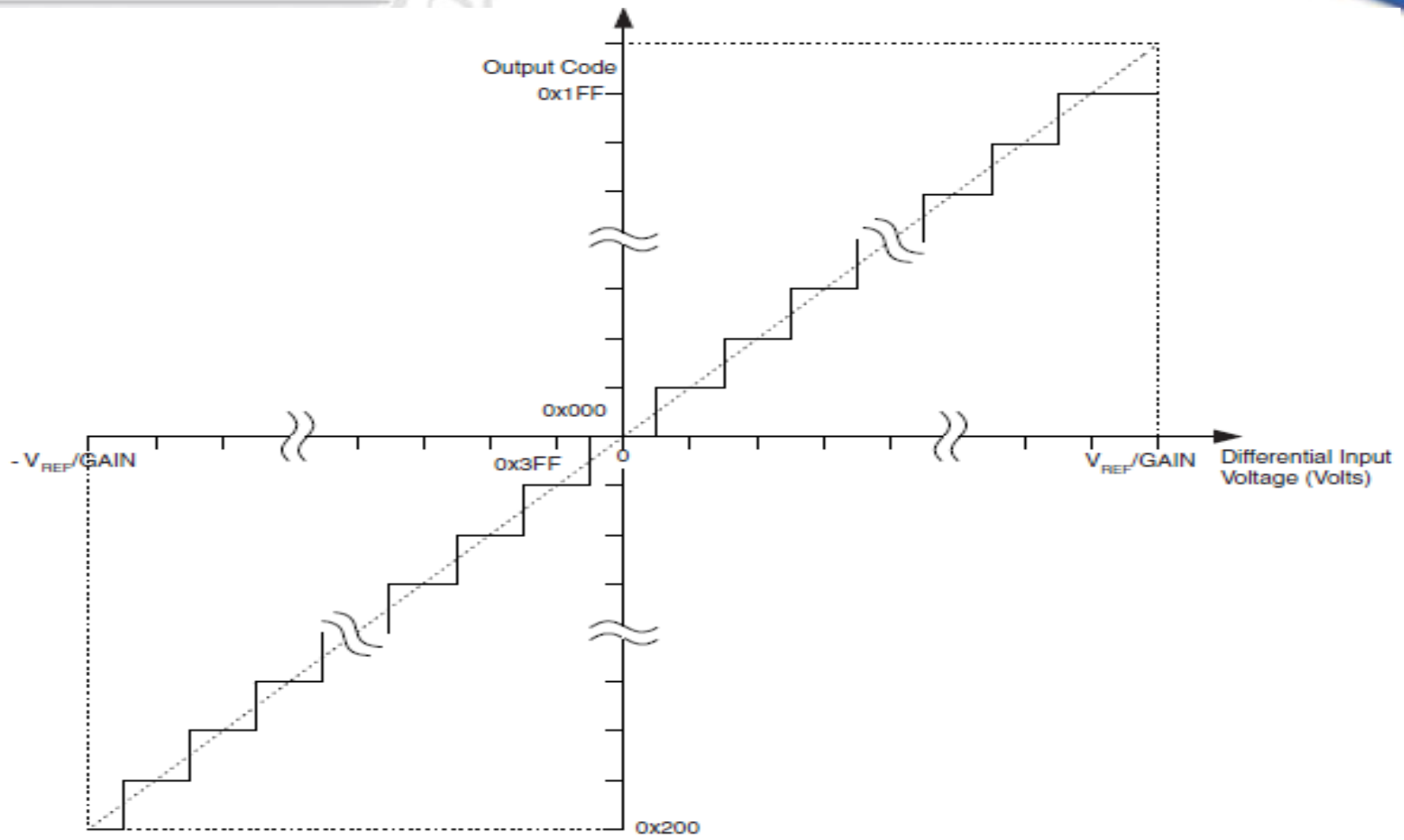
$$ADC = \frac{(V_{POS} - V_{NEG}) \cdot GAIN \cdot 512}{V_{REF}}$$

- ولتاژ V_{POS} ، ولتاژ روی پایه ورودی مثبت، V_{NEG} ولتاژ روی پایه ورودی منفی، $GAIN$ فاکتور بهره و V_{REF} ولتاژ مرجع انتخابی است.

-512

- نتیجه بصورت مکمل ۲ ارائه می‌شود و مقداری خواهد بود بین $0x200$ (مقدار -512) تا $0x1FF$ (مقدار $+511$ + دهدهی). توجه داشته باشید که چنانچه کاربر بخواهد از مثبت یا منفی بودن نتیجه مطلع شود کافی است که بیت MSB نتیجه (بیت $ADC9$ در ثبات $ADCH$) را بخواند. اگر این بیت ۱ بود، نتیجه منفی و گرنه مثبت است.

محدوده اندازه‌گیری تفاضلی



* برای برداشتن ADCL و ADCH ابتدا باید ADSC را برداریم بعد ADCH را برداریم (در بیت کم ارزشن مهم خلی نیست)
 * برای دستیابی به نتیجه 8 بیت، اول چپ چین کرده، پس ADCH را برین داریم.

ثبات انتخاب تسهیم کننده ADC: ADMUX

Bit	انتخاب دقت ref. 7 6		5	4	3	2	1	0	ADMUX
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

بیت‌های ۶ الی ۷ یا **REFS1:0**: بیت‌های انتخاب ولتاژ مرجع

- این بیت‌ها منبع ولتاژ مرجع را برای **ADC** تعیین می‌کنند. اگر این بیت‌ها در طول تبدیل تغییر کنند، این تغییر تا پایان کامل شدن تبدیل اثری نخواهد گذاشت (بیت ADIF در ثبات ADCSRA یک شده است).
- گزینه انتخاب منبع ولتاژ مرجع داخلی در حالتی که ولتاژ مرجع خارجی به پایه AREF وصل شده باشد، امکان پذیر نیست.
- چنانچه یک ولتاژ مرجع به پایه AREF متصل باشد، انتخاب‌های ولتاژ مرجع داخلی صورت نمی‌گیرد.

انتخاب ولتاژ مرجع برای مبدل ADC

بازگشت

REFS1	REFS0	انتخاب ولتاژ مرجع
0	0	AREF، ولتاژ مرجع داخلی خاموش
0	1	AVCC با خازن خارجی بر روی پایه AREF
1	0	رزرو شده
1	1	ولتاژ مرجع ۲.۵۶ ولت داخلی با خازن خارجی بر روی پایه AREF

بیت ۵ یا بیت ADLAR: نتیجه تنظیم به چپ ADC

- بیت ADLAR شیوه نمایش نتیجه تبدیل ADC در ثبات داده ADC را تعیین می کند.
- نوشتن مقدار یک در ADLAR موجب چپ چین شدن نتیجه می شود. در غیراین صورت، نتیجه راست چین خواهد بود.
- تغییر دادن بیت ADLAR، صرفنظر از تبدیل در حال انجام، بلافاصله بر روی ثبات های داده ADC تاثیر می گذارد.

بیت‌های ۰ الی ۴ یا بیت‌های MUX4:0: بیت‌های انتخاب کانال آنالوگ و انتخاب بهره

- مقدار این بیت‌ها نشان می‌دهد که چه ترکیبی از ورودی‌های آنالوگ به پایه‌های ADC متصل شده‌اند.
- این بیت‌ها میزان بهره را برای کانال‌های تفاضلی تعیین می‌کنند
- اگر این بیت‌ها در طول یک تبدیل تغییر پیدا کنند، این تغییر تا پایان تبدیل (یک شدن بیت ADIF در ثبات ADCSRA) بی‌اثر خواهد بود.

انتخاب کانال ورودی و انتخاب بهره

بازگشت

MUX 4..0	ورودی غیر تفاضلی	ورودی تفاضلی مثبت	ورودی تفاضلی منفی	بهره
00000	ADC0	<p>N/A</p> <p>تفاضل سیگنال با خورش؛ عمل استفاده این مدار برای سیست ADC استفاده نرشد</p>		
00001	ADC1			
00010	ADC2			
00011	ADC3			
00100	ADC4			
00101	ADC5			
00110	ADC6			
00111	ADC7			
01000	N/A	ADC0	ADC0	10x
01001		ADC1	ADC0	10x
01010		ADC0	ADC0	200x
01011		ADC1	ADC0	200x
01100		ADC2	ADC2	10x
01101		ADC3	ADC2	10x
01110		ADC2	ADC2	200x
01111		ADC3	ADC2	200x
10000		ADC0	ADC1	1x
10001		ADC1	ADC1	1x
10010		ADC2	ADC1	1x
10011		ADC3	ADC1	1x
10100		ADC4	ADC1	1x
10101		ADC5	ADC1	1x
10110		ADC6	ADC1	1x
10111		ADC7	ADC1	1x
11000		ADC0	ADC2	1x
11001		ADC1	ADC2	1x
11010		ADC2	ADC2	1x
11011		ADC3	ADC2	1x
11100		ADC4	ADC2	1x
11101		ADC5	ADC2	1x
11110	1.22 V (V _{BG})	N/A		
11111	0 V (GND)			

ثبات کنترل و وضعیت ADC: ADCSRA

می‌تواند به عنوان زمان (رستور) برای حالت *free running* استفاده شود چون پس از اینکه نتیجه آماده شود می‌تواند

Bit	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ADC Auto Trigger Enable

له اسلاید ۱۸

بیت ۷ یا بیت ADEN: فعال سازی ADC

- با نوشتن یک در این بیت، ADC فعال می شود و با نوشتن صفر در این بیت، ADC خاموش خواهد شد. خاموش کردن ADC در حالی که یک تبدیل در حال انجام باشد، باعث خاتمه یافتن آن تبدیل می شود.

بیت ۶ یا بیت ADSC: بیت شروع تبدیل

- در حالت تک تبدیل، برای شروع هر تبدیل باید مقدار یک در بیت ADSC نوشته می شود.
- در حالت free Running، با نوشتن یک در این بیت، اولین تبدیل انجام خواهد شد.
- اولین تبدیل بعد از یک کردن ADSC به دنبال فعال کردن ADC (یا یک کردن ADSC)، همزمان با فعال کردن ADC، ۲۵ سیکل ساعت به جای ۱۳ سیکل ساعت معمول طول خواهد کشید.
- این تبدیل اول عملیات آماده سازی ADC را انجام می دهد. بیت ADSC تا زمانی که تبدیل در حال انجام است، یک و وقتی که تبدیل کامل شد، صفر خوانده می شود.
- نوشتن صفر در این بیت هیچ تاثیری ندارد.

بیت ۵ یا بیت ADATE: فعالساز تحریک خودکار ADC

- فعال سازی حالت تحریک خودکار با یک کردن این بیت انجام می شود.
- مبدل ADC تبدیل را در لبه بالارونده سیگنال تحریک انتخاب شده شروع خواهد کرد.
- منبع تحریک توسط بیت های انتخاب تحریک ADC انتخاب می شود (بیت های ADTS در ثبات SFIOR).

بیت ۴ یا بیت **ADIF**: پرچم وقفه ADC

- این بیت هنگامی که یک تبدیل به پایان می‌رسد و ثبات‌های داده بروزرسانی می‌شوند، یک می‌شود.
- وقفه کامل شدن تبدیل ADC اگر بیت ADIF و همچنین بیت I در ثبات SREG یک باشند، اجرا خواهد شد.
- بیت ADIF هنگام اجرای روتین وقفه مربوطه توسط سخت افزار صفر خواهد شد. نوشتن یک در این پرچم نیز موجب صفر شدن آن می‌شود.
-
- با انجام یک خواندن-تغییر-نوشتن محتوای ADCSRA، یا با اجرای دستورالعمل‌های SBI و CBI، یک وقفه معطل می‌تواند غیر فعال شود.

بیت‌های ۲۰ یا بیت‌های ADPS2:0: بیت‌های انتخاب پیش مقیاس‌گذار ADC

- این بیت‌ها فاکتور تقسیم بین فرکانس XTAL و ورودی ساعت ADC را تعیین می‌کنند.

فاکتور تقسیم بین فرکانس XTAL و ساعت ورودی ADC

بازگشت

ADPS2	ADPS1	ADPS0	فاکتور تقسیم
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

0 → 1023 : Single ended } مقدار بیت ADC
-512 → 511 : Differential }

ثبات داده ADC شامل ADCH و ADCL

Bit	15	14	13	12	11	10	9	8	
	-	-	-	-	-	-	ADC9	ADC8	ADCH
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Bit	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
	ADC1	ADC0	-	-	-	-	-	-	ADCL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

ثبات داده ADC شامل ADCH و ADCL

- وقتی یک تبدیل ADC تمام می‌شود، نتیجه در دو ثبات ADCL و ADCH ذخیره می‌شود.
- اگر کانال‌های تفاضلی استفاده شده باشند، حاصل به صورت مکمل ۲ نشان داده خواهد شد. هنگامی که ADCL خوانده شود، تا خوانده شده ثبات ADCH، ثبات داده ADC تغییر نمی‌کند.
- اگر نتیجه چپ‌چین باشد و دقت بیش از ۸ بیت نیاز نباشد، کافی است فقط ثبات ADCH را بخوانیم. در غیر این صورت، ابتدا باید حتماً ثبات ADCL و سپس ثبات ADCH خوانده شود.
- بیت ADLAR در ثبات ADMUX و بیت‌های MUXn در ثبات ADMUX شیوه خوانده شدن نتیجه تبدیل از ثبات‌ها را تعیین می‌کنند. اگر بیت ADLAR یک باشد، نتیجه چپ‌چین خواهد بود و اگر ADLAR صفر باشد (که حالت پیش فرض است)، نتیجه راست‌چین است.
- این بیت‌ها حاصل تبدیل را نمایش می‌دهند.

ثبات I/O با کارکرد ویژه - ثبات SFIOR

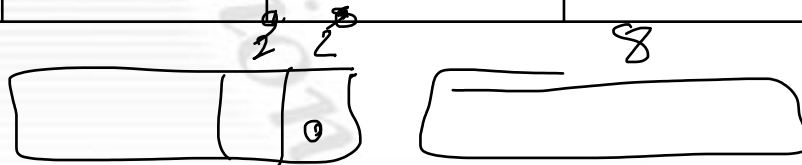
Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	-	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

بیت‌های ۵ الی ۷ یا بیت‌های **ADTS2:0**: منبع تحریک خودکار ADC

- اگر بیت **ADATE** در ثبات **ADCSRA** یک شود، مقادیر بیت‌های **ADTS2:0** منبعی که تبدیل **ADC** را تحریک خواهد کرد را مشخص می‌کنند.
- اگر بیت **ADATE** صفر باشد، مقدار بیت‌های **ADTS2:0** هیچ تاثیری نخواهند داشت. یک تبدیل توسط لبه بالا رونده پرچم وقفه تحریک خواهد شد.
- با سوئیچ کردن از منبع تحریکی که بیت انتخاب آن صفر می‌باشد به منبع تحریک دیگری که بیت انتخاب آن یک است، یک لبه بالا رونده ایجاد می‌شود که اگر **ADEN** در **ADCSRA** یک باشد، یک تبدیل آغاز می‌شود.
- تغییر حالت به **free Running (ADTS[2:0]=0)** هیچ تحریکی ایجاد نخواهد کرد، حتی اگر پرچم وقفه **ADC** یک باشد.

انتخاب منبع تحریک خودکار ADC

ADTS2	ADTS1	ADTS0	Trigger Source
0	0	0	Free Running mode
0	0	1	Analog Comparator
0	1	0	External Interrupt Request 0
0	1	1	Timer/Counter0 Compare Match
1	0	0	Timer/Counter0 Overflow
1	0	1	Timer/Counter1 Compare Match B
1	1	0	Timer/Counter1 Overflow
1	1	1	Timer/Counter1 Capture Event



بازگشت
شروع یک تبدیل

بیت ۴ یا بیت RES: بیت رزرو شده

- این بیت برای استفاده‌های آتی رزرو شده است. برای تضمین سازگاری با دستگاه‌های آینده، این بیت باید هنگامی که چیزی در SFIOR نوشته می‌شود، صفر نوشته شود.