



درگاه‌های ورودی/خروجی

در میکروکنترلر های AVR

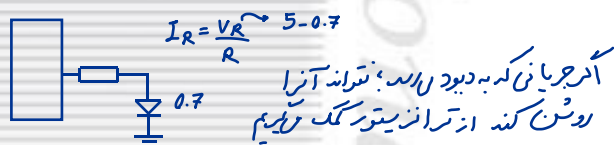
فهرست مطالب

• درگاه‌های ورودی/خروجی

درگاه‌های ورودی/خروجی

- همه بافرهای خروجی قابلیت جریان‌دهی و جریان‌کشی بالایی دارند.

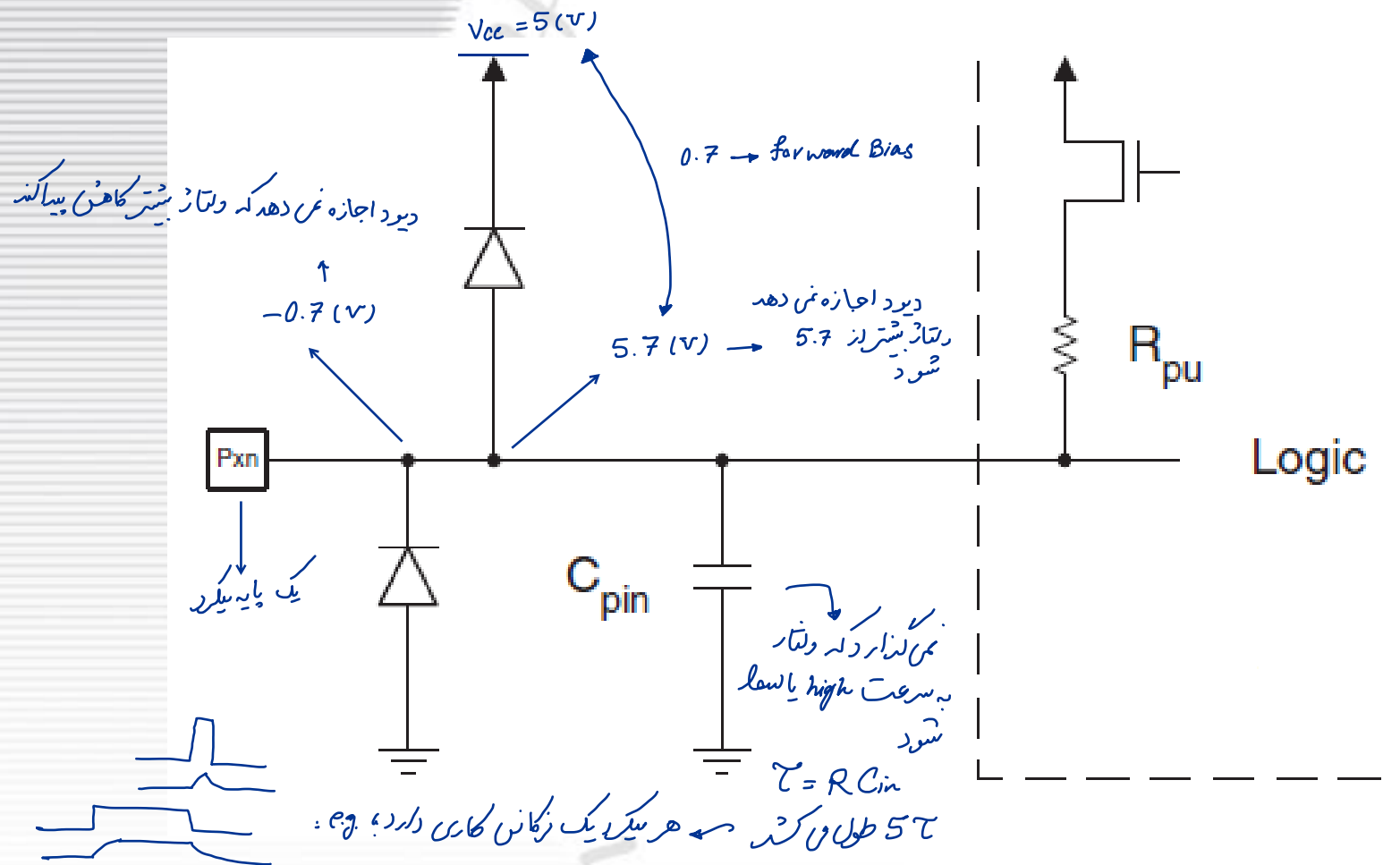
- جریان‌دهی پایه‌ها به اندازه کافی قوی است که بتوانند بطور مستقیم صفحه‌های نمایش LED را راه‌اندازی کنند.



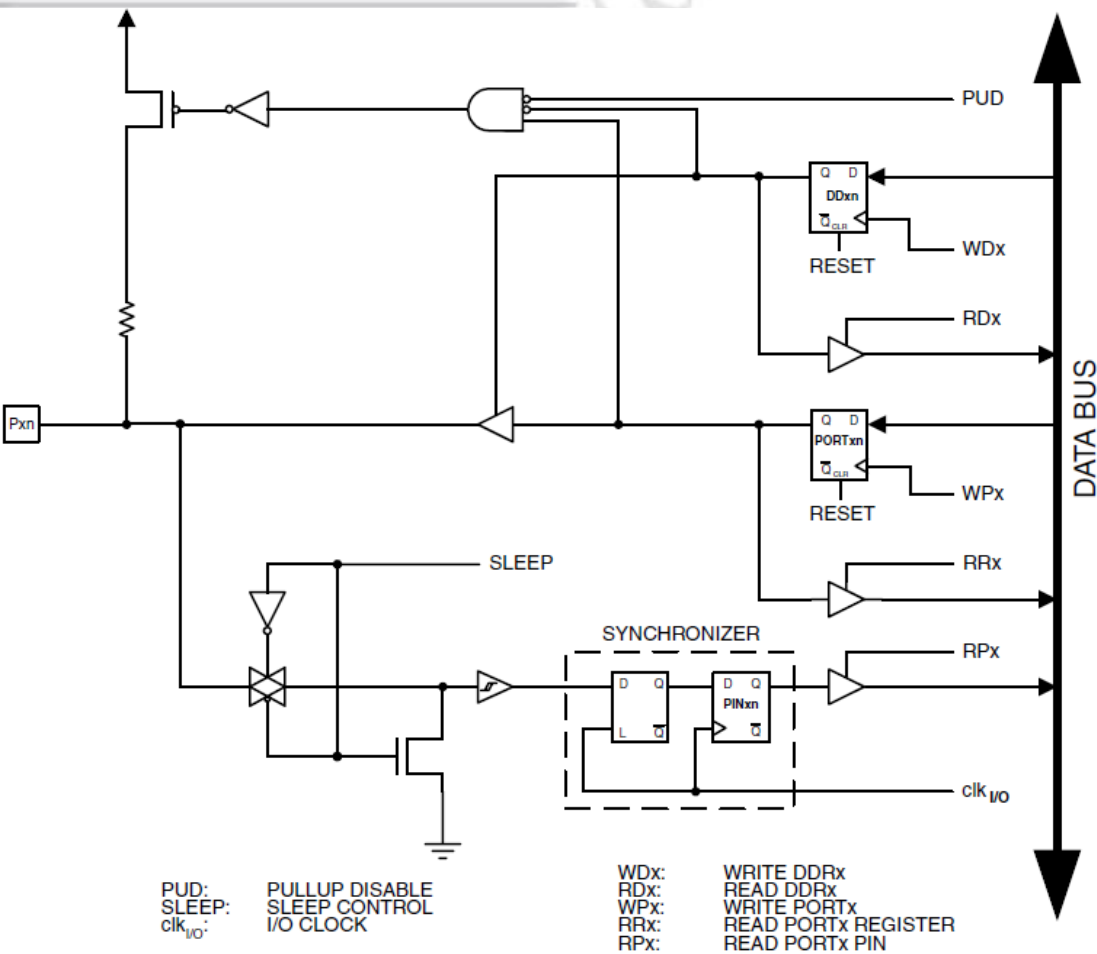
- تمامی پایه‌ها دارای مقاومت‌های بالاکش قابل انتخاب به همراه یک منبع ولتاژ با مقاومت نامتغیر هستند. تمامی پایه‌های ورودی/خروجی دارای دیودهای محافظ متصل به V_{cc} و زمین هستند.

* به تمام پین‌ها کلاک متصل است در بعضی از مدهای خواب کلاک پین را خاموش می‌کند

شمای معادل یک پایه ورودی/خروجی



درگاه‌ها به عنوان ورودی/خروجی رقمی



تمامی درگاه‌ها وجود دارد. WP_x ، WD_x ، RR_x ، RP_x و DR_x برای

درگاه‌ها مشترک می‌باشند. $\text{clk}_{\text{I/O}}$ ، SLEEP، و PUD هم در بین تمامی

پایه های میکروسیس از Reset شدن؛ پایه ها در حالت ورودی-محدود قرار می گیرند ← جهت

پیکربندی یک پایه

- سه مکان آدرس حافظه I/O برای هر درگاه در نظر گرفته شده است:
 - یکی برای ثبات داده (PORTx)،
 - یکی برای ثبات جهت داده (DDRx)،
 - یکی برای پایه‌های ورودی درگاه (PINx).
- برای هر پایه یک درگاه، سه بیت از سه ثبات درگاه در نظر گرفته شده است: DDxn، PORTxn، و PINxn.
- بیت‌های DDxn در ثبات DDRx، بیت‌های PORTxn در ثبات PORTx، و بیت‌های PINxn در ثبات PINx قابل دسترسی هستند.
- بیت DDxn در ثبات DDRx جهت این پایه را تعیین می‌کند؛ در صورتی که در بیت DDxn یک منطقی نوشته شود، پایه Pxn به عنوان پایه خروجی و در صورتی که در این بیت صفر منطقی نوشته شود، پایه مذکور به عنوان پایه ورودی تنظیم می‌شود.

پیکربندی یک پایه

- اگر در بیت PORTxn هنگامی که پایه متناظر آن به عنوان ورودی تنظیم می‌شود، یک منطقی نوشته شود، مقاومت بالاکش فعال خواهد شد.
- برای غیرفعال کردن مقاومت بالاکش می‌بایست صفر منطقی در بیت PORTxn نوشته شود، یا اینکه پایه به عنوان یک پایه خروجی تنظیم شود.
- پایه‌های یک درگاه زمانی که یک بازنشانی اتفاق می‌افتد، حتی اگر سیگنال ساعتی وجود نداشته باشد، بصورت سه حالت در می‌آیند.
- هنگامی که یک پایه در وضعیت خروجی تنظیم شود و در بیت PORTxn یک (صفر) منطقی نوشته شود، پایه درگاه یک (صفر) خواهد شد.

pull-up, pull-down برای پین های ورودی اعمال می شود
 اگر pull-up, pull-down کنیم؛ وضعیت آن Tristate است

تنظیمات پایه درگاهها



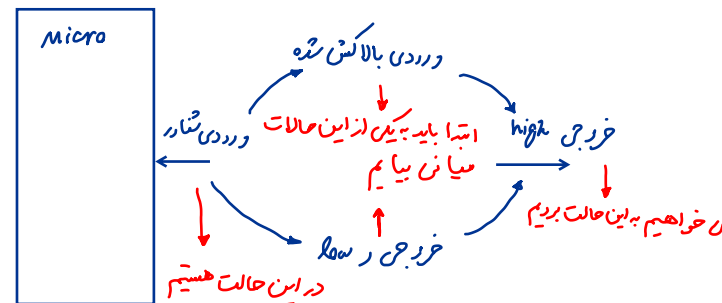
Pull-up Disable

DDxn	PORTxn	<u>PUD</u> (in SFIOR)	I/O	Pull-up	Comment
0	0	X	Input	No	Tri-state (Hi-Z)
0	1	0	Input	Yes	Pxn will source current if ext. pulled low.
0	1	1	Input	No	Tri-state (Hi-Z)
1	0	X	Output	No	Output Low (Sink)
1	1	X	Output	No	Output High (Source)

پیکربندی یک پایه

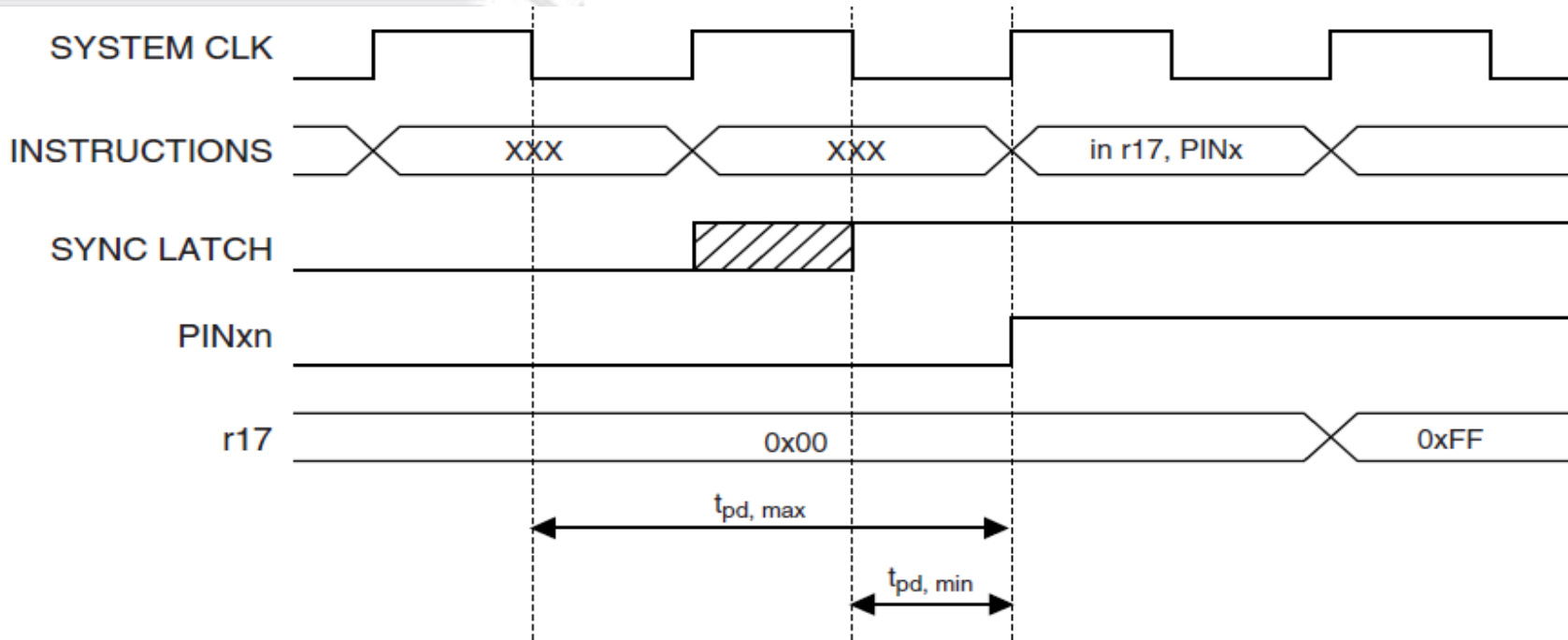
- هنگام سوئیچ کردن بین وضعیت سه‌حالته و خروجی high، کاربر باید حالت بالاکش فعال و یا حالت خروجی در وضعیت low را به عنوان یک حالت میانی استفاده نماید.
- به عبارت دیگر هنگام سوئیچ کردن بین وضعیت سه‌حالته (زمانی که DDxn و PORTxn هر دو 0b00 باشند) و خروجی high (زمانی که DDxn و PORTxn هر دو یک باشند)، کاربر باید حالت بالاکش فعال (زمانی که DDxn صفر و PORTxn یک باشد) و یا حالت خروجی در وضعیت low (زمانی که DDxn یک و PORTxn صفر باشد) را به عنوان یک حالت میانی استفاده نماید.

در یک محیط دارای بالا کش، ملاحظه نمی‌کند. در SETUP تمامی بالاکش‌ها را



- Pull Up Disable (PUD)

خواندن مقدار یک پایه



نمودار فوق، زمان‌بندی همگام‌سازی را هنگام خواندن یک مقدار قرار گرفته از خارج از میکروکنترلر بر روی پایه میکروکنترلر را نشان می‌دهد. *e.g.: IN R17, PIN A*

خواندن مقدار یک پایه

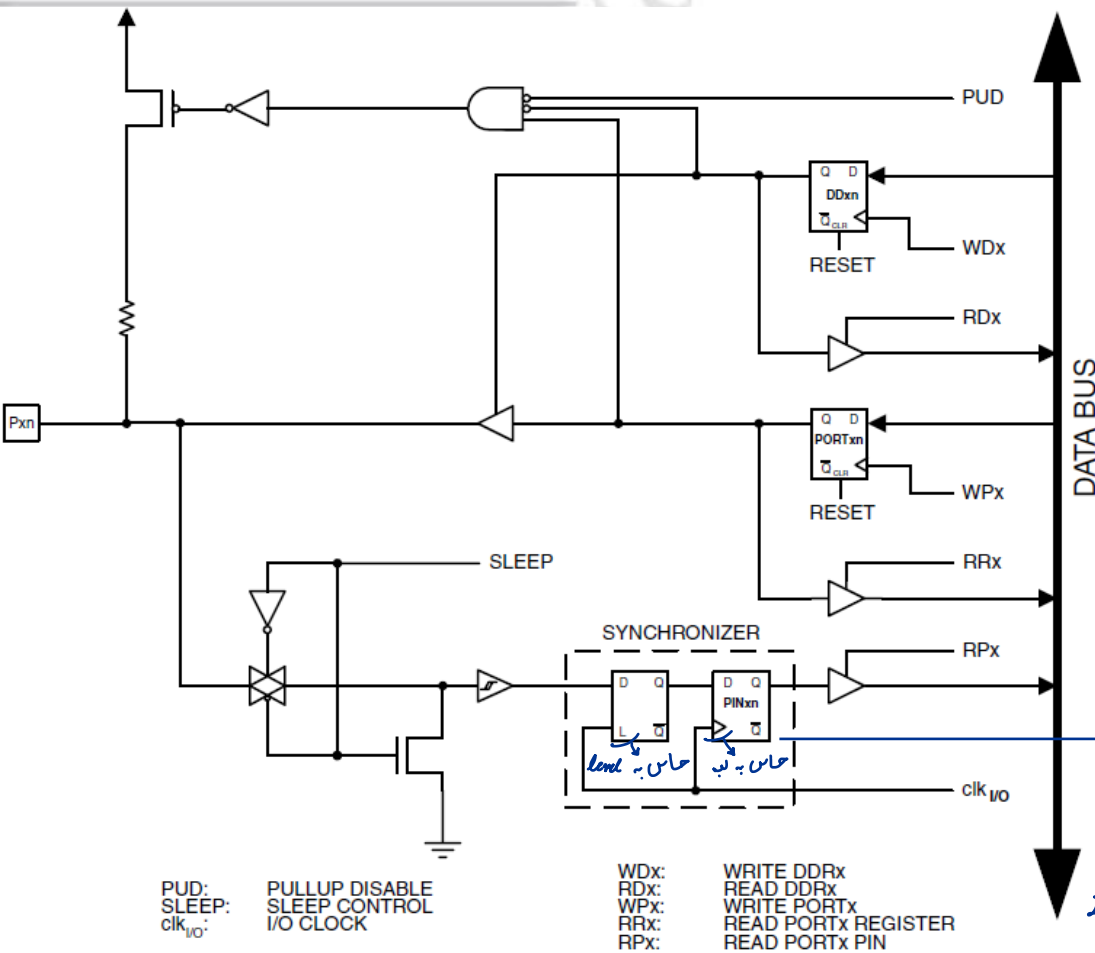
- در شکل اسلاید قبل، لحظات بعد از اولین لبه پائین رونده ساعت سیستم را در نظر بگیرید.

- لچ اول موجود بر مسیر پایه ورودی در درون میکروکنترلر، هنگامی که ساعت در وضعیت پائین قرار دارد بسته می‌شود و هنگامیکه ساعت به وضعیت بالا می‌رود شفاف می‌شود (همانگونه که توسط ناحیه هاشور خورده در سیگنال SYNC LATCH مشاهده می‌شود).

-  سطح منطقی سیگنال به خروجی لچ اول لچ می‌شود و در لبه مثبت پالس ساعت بعدی به ثبات **PINx** منتقل می‌شود.

- در شکل اسلاید قبل فرض بر آن است که سیگنال موجود بر روی پایه ورودی قبل از دومین سطح **high** پالس ساعت از **low** به **high** رفته است. که توسط دو پیکان

درگاه‌ها به عنوان ورودی/خروجی رقمی (یادآوری)

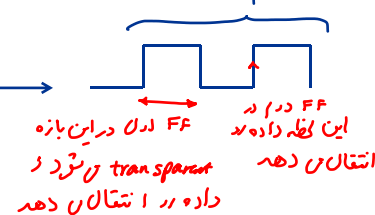


تمامی درگاه‌ها وجود دارد. برای DRx ، RPx ، RRx ، WDx ، WPx

در گاه‌ها مشترک می‌باشند. $clk_{I/O}$ ، $SLEEP$ و PUD هم در بین تمامی

* در این حالت داده از بیرون آمده

هدف: سنگرد سازن داده ورودی با سیکرد



* خواندن از پورت در کلاک زمان ورود $IN R17, PINA$

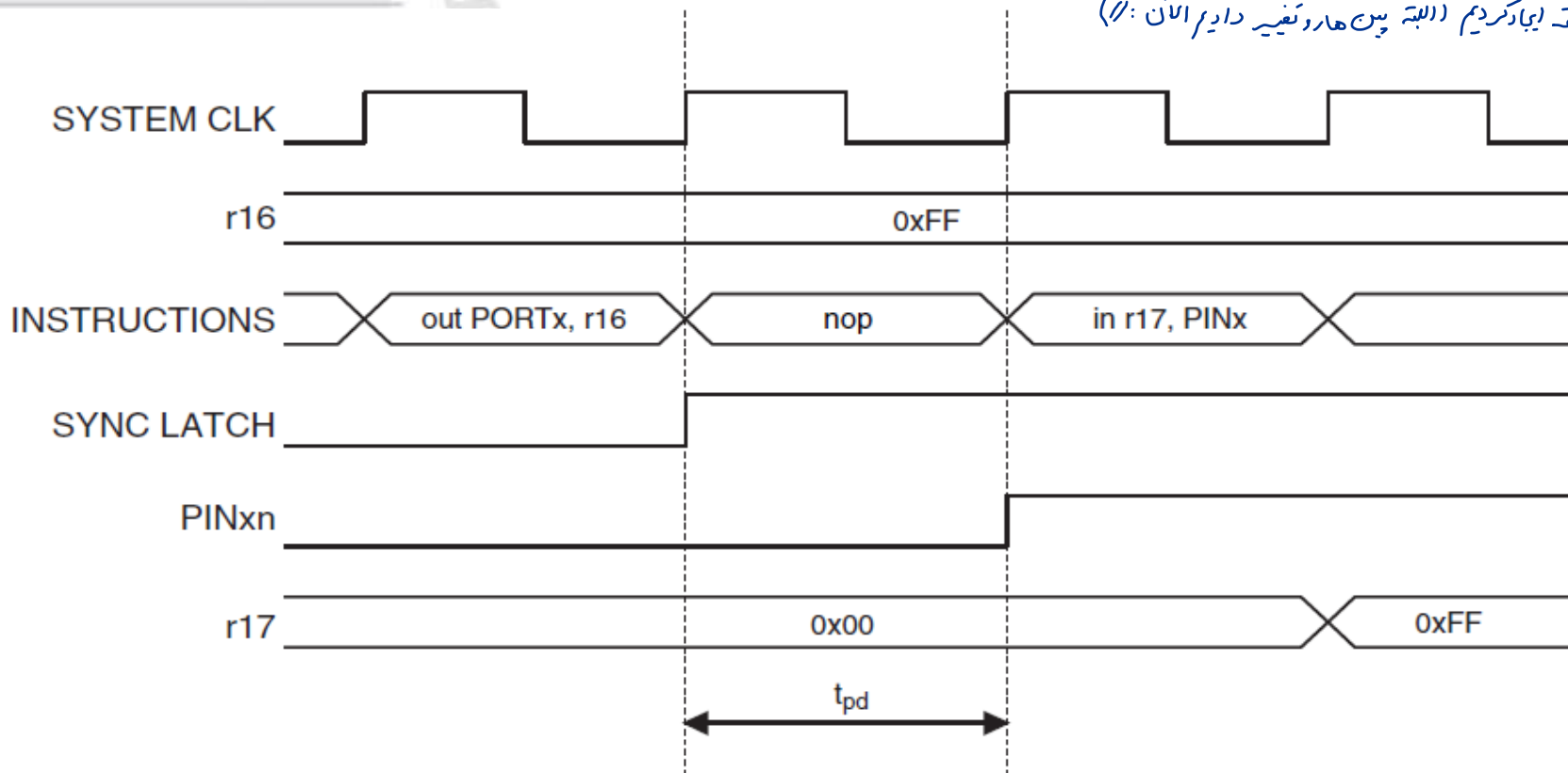
* و ن نوشتن نیاز به این کلاک ندارد $OUT PORTx, r16$

همگام سازی هنگام خواندن مقداری که توسط نرم افزار بر روی پایه قرار گرفته است.

یک کار برد برای تغییر پورت لزد داخل میکرو

یک دستور العمل nop باید اضافه شود تا بتوان مقادیری که اخیرا بر روی پایه ها قرار گرفته است را بازخوانی نمود.

سینه برای وقفه انماختن خودمون از داخل برنامه به یک بیت مقدار بدیم به جل و وقفه بیرونش 0xFF PORTD OUT ؛ الان در PORT مربوط به 0 تری تک تک بین هاش میگردیم
به دقت ایجاد کردیم (البته بین هاش و تغییر داریم الان: //)



خواندن مقدار یک پایه

Assembly Code Example(1)

```
...  
; Define pull-ups and set outputs high  
; Define directions for port pins  
ldi r16,(1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)  
ldi r17,(1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0)  
out PORTB,r16  
out DDRB,r17  
; Insert nop for synchronization  
nop  
; Read port pins  
in r16,PINB  
...
```

C Code Example(1)

```
unsigned char i;  
...  
/* Define pull-ups and set outputs high */  
/* Define directions for port pins */  
PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);  
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);  
/* Insert nop for synchronization */  
_NOP();  
/* Read port pins */  
i = PINB;  
...
```

- کد مقابل نحوه قرار دادن پایه‌های 0 و 1 در گاه B در وضعیت high، پایه‌های ۲ و ۳ در وضعیت low، و تعریف پایه‌های ۴ الی ۷ به صورت ورودی و پایه‌های ۶ و ۷ بصورت بالاکش را نشان می‌دهد.

- مقادیر حاصل روی پایه‌ها مجددا خوانده می‌شوند. یک دستورالعمل nop باید اضافه شود تا بتوان مقادیری که اخیرا بر روی پایه‌ها قرار گرفته است را بازخوانی نمود.

عملکرد ثانویه درگاه‌ها

- اغلب پایه‌های درگاه‌ها علاوه بر عملکرد اولیه خود به عنوان ورودی/خروجی رقمی عمومی، عملکرد ثانویه‌ای نیز دارند.
- پایه‌های درگاه **A** در عملکرد ثانویه خود می‌توانند به عنوان ورودی‌های کانال‌های مبدل آنالوگ به رقمی استفاده شوند.
- پایه‌های درگاه **B** در عملکرد ثانویه خود می‌توانند در موارد زیر استفاده شوند:
 - پایه‌های ارتباط **SPI**
 - بعضی از پایه‌های ارتباط **USART**
 - ورودی وقفه خارجی شماره ۲
 - ورودی‌های مقایسه‌کننده آنالوگ
 - بعضی از پایه‌های مربوط به زمان‌سنج/شمارنده‌های ۰ و ۱

عملکرد ثانویه درگاه ها

- پایه‌های درگاه **C** در عملکرد ثانویه خود می‌توانند در موارد زیر استفاده شوند :
 - بعضی از پایه‌های مربوط به زمان‌سنج/شمارنده ۱ و ۲
 - پایه‌ها **JTAG**
 - پایه‌های ارتباط دو سیمه **TWI** استفاده شوند.
- پایه‌های درگاه **D** در عملکرد ثانویه خود می‌توانند در موارد زیر استفاده شوند:
 - بعضی از پایه‌های مربوط به زمان‌سنج/شمارنده ۱ و ۲
 - پایه‌ها اعمال وقفه‌های خارجی ۰ و ۱
 - بعضی از پایه‌های ارتباط **USART**

ثبات ورودی/خروجی عملکرد ویژه-SFIOR

Bit	7	6	5	4	3	2	1	0	
	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	SFIOR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

بیت ۲-PUD: بیت غیر فعال سازی بالاکش

هنگامی که در این بیت ۱ نوشته شود، بالاکش‌ها (مقاومت‌های بالاکش) در درگاه‌های ورودی/خروجی غیرفعال می‌شوند حتی اگر ثبات‌های DDxn و PORTxn به گونه‌ای تعریف شده باشند که بالاکش‌ها را فعال کنند ($\{DDxn, PORTxn\} = 0b01$).

Special Function I/O Register: SFIOR
PUD: Pull Up Disable

عملکردهای ثانویه پایه‌های درگاه A

Port Pin	Alternate Function
PA7	ADC7 (ADC input channel 7)
PA6	ADC6 (ADC input channel 6)
PA5	ADC5 (ADC input channel 5)
PA4	ADC4 (ADC input channel 4)
PA3	ADC3 (ADC input channel 3)
PA2	ADC2 (ADC input channel 2)
PA1	ADC1 (ADC input channel 1)
PA0	ADC0 (ADC input channel 0)

عملکردهای ثانویه پایه‌های درگاه B

Port Pin	Alternative Functions
PB7	SCK (SPI Bus Serial Clock)
PB6	MISO (SPI Bus Master Input/Slave Output)
PB5	MOSI (SPI Bus Master Output/Slave Input)
PB4	SS (SPI Slave Select Input)
PB3	AIN1 (Analog Comparator Negative Input) OC0 (Timer/Counter0 Output Compare Match Output)
PB2	AIN0 (Analog Comparator Positive Input) INT2 (External Interrupt 2 Input)
PB1	T1 (Timer/Counter1 External Counter Input)
PB0	T0 (Timer/Counter0 External Counter Input) XCK (USART External Clock Input/Output)

SCK- بیت ۷ از درگاه B

- عملکرد ثانویه این پایه خروجی ساعت راهبر و ورودی ساعت پیرو برای کانال **SPI** است.
- هنگامی که SPI به عنوان پیرو فعال شود، این پایه صرفنظر از تنظیمات بیت DDB7، به عنوان ورودی پیکربندی می‌شود.
- هنگامی که SPI به عنوان راهبر فعال شود، جهت داده این پایه توسط DDB7 کنترل می‌شود. هنگامی که این پایه توسط SPI اجباراً ورودی شود، هنوز هم می‌توان عمل بالاکش را توسط بیت PORTB7 کنترل نمود.

MISO - بیت ۶ از درگاه B

- ورودی داده راهبر، پایه خروجی داده پیرو برای کانال **SPI**: هنگامی که SPI به عنوان راهبر فعال است، این پایه صرفنظر از تنظیمات DDB6 به عنوان ورودی پیکربندی می شود.
- هنگامی که SPI به عنوان پیرو فعال است، جهت داده روی این پایه توسط DDB6 پیکربندی می شود.
- هنگامی که SPI به عنوان پیرو فعال شود، جهت داده روی این پایه توسط DDB6 کنترل می شود.
- هنگامی که این پایه توسط SPI اجباراً ورودی شود، هنوز هم می توان عمل بالاکش را توسط بیت PORTB6 کنترل نمود.

MOSI-بیت ۵ از درگاه B

- خروجی داده راهبر، ورودی داده پیرو برای کانال **SPI**: هنگامی که SPI به عنوان پیرو فعال است، این پایه صرفنظر از تنظیمات DDB5 به عنوان ورودی پیکربندی می شود.
- هنگامی که SPI به عنوان راهبر فعال است، جهت داده روی این پایه توسط DDB5 پیکربندی می شود.
- هنگامی که SPI به عنوان راهبر فعال شود، جهت داده روی این پایه توسط DDB5 کنترل می شود. هنگامی که این پایه توسط SPI اجباراً ورودی شود، هنوز هم می توان عمل بالاکش را توسط بیت PORTB5 کنترل نمود.

\overline{SS} : بیت ۴ از درگاه B

- عمکرد ثانویه این پایه عبارت است از ورودی انتخاب پیرو.
- هنگامی که SPI به عنوان یک پیرو فعال شود، این پایه صرفنظر از تنظیمات DDB4، به عنوان ورودی پیکربندی می‌شود.
- هنگامی که SPI به عنوان پیرو فعال شود، هنگامی که این پایه در سطح پائین قرار گیرد، SPI فعال می‌شود.
- هنگامی که SPI به عنوان راهبر فعال شود، جهت داده این پایه توسط بیت DDB4 کنترل می‌شود.
- هنگامی که این پایه توسط SPI اجباراً ورودی شود، هنوز هم می‌توان عمل بالاکش را توسط بیت PORTB4 کنترل نمود.
- SPI Slave Select Input

AIN1/OC0 - بیت ۳ از درگاه B

- این پایه ورودی منفی مقایسه کننده آنالوگ است. برای جلوگیری از عملکرد درگاه رقمی از تداخل با عملکرد مقایسه کننده آنالوگ، این پایه را به عنوان ورودی (در حالی که بالاکش قطع است)، پیکربندی کنید.
- عملکرد ثانویه دیگر این پایه به عنوان خروجی برابری مقایسه برای زمان سنج/شمارنده 0 است. این پایه باید به عنوان یک خروجی تنظیم شود تا عملکرد ثانویه خود را داشته باشد (پایه DDB3 یک شود).
- این پایه همچنین خروجی برای حالت PWM تابع زمان سنج است.

سایر پایه های درگاه B

- **AIN0- بیت ۲ از درگاه B:** این پایه ورودی مثبت مقایسه کننده آنالوگ است. برای جلوگیری از تداخل این عملکرد با عملکرد اصلی این پایه به عنوان درگاه رقمی، این پایه را به عنوان ورودی در حالی که بالاکش قطع است، پیکربندی کنید.
- **INT2- بیت ۲ از درگاه B:** این پایه ورودی وقفه خارجی شماره ۲ است.
- **T1- بیت ۱ از درگاه B:** این پایه ورودی شمارنده زمان سنج/شمارنده ۱ است.
- **T0- بیت ۰ از درگاه B:** این پایه ورودی شمارنده زمان سنج/شمارنده ۰ است.

عملکردهای ثانویه پایه‌های درگاه C

Port Pin	Alternate Function
PC7	TOSC2 (Timer Oscillator Pin 2)
PC6	TOSC1 (Timer Oscillator Pin 1)
PC5	TDI (JTAG Test Data In)
PC4	TDO (JTAG Test Data Out)
PC3	TMS (JTAG Test Mode Select)
PC2	TCK (JTAG Test Clock)
PC1	SDA (Two-wire Serial Bus Data Input/Output Line)
PC0	SCL (Two-wire Serial Bus Clock Line)

عملکردهای ثانویه پایه‌های درگاه C

- **TOSC2 - بیت ۷ از درگاه C:** پایه ۲ نوسان‌ساز زمان‌سنج. هنگامی که بیت AS2 از ثبات ASSR برای فعال‌سازی ساعت‌زنی زمان‌سنج/شمارنده ۲ یک شود، این پایه از درگاه قطع شده و به خروجی معکوس‌شده تقویت‌کننده نوسان‌ساز تبدیل می‌شود.
- در این حالت یک نوسان‌ساز کریستالی به این پایه وصل می‌شود و دیگر نمی‌تواند به عنوان پایه I/O استفاده شود.
- **TOSC1 - بیت ۶ از درگاه C:** پایه ۱ نوسان‌ساز زمان‌سنج. هنگامی که بیت AS2 از ثبات ASSR برای فعال‌سازی ساعت‌زنی زمان‌سنج یک شود، این پایه از درگاه جدا شده و به خروجی معکوس‌شده تقویت‌کننده نوسان‌ساز تبدیل می‌شود.
- در این حالت یک نوسان‌ساز کریستالی به این پایه وصل می‌شود و نمی‌تواند به عنوان پایه I/O استفاده شود.

عملکردهای ثانویه پایه‌های درگاه C

- **TDI - بیت ۵ از درگاه C: ورودی تست داده JTAG:** این پایه ورودی داده سریال است که به ثبات دستورالعمل یا ثبات داده (زنجیره‌های پویش) انتقال داده می‌شود. هنگامی که واسط JTAG فعال شود، این پایه دیگر نمی‌تواند به عنوان پایه I/O استفاده شود.
- **TDO - بیت ۴ از درگاه C: خروجی تست داده JTAG:** این پایه خروجی داده سریال از ثبات دستورالعمل یا ثبات داده (زنجیره‌های پویش) است. هنگامی که واسط JTAG فعال شود، این پایه دیگر نمی‌تواند به عنوان پایه I/O استفاده شود. این پایه سه حالت است مگر اینکه حالات TAP که داده را به خارج انتقال می‌دهند وارد شوند.

عملکردهای ثانویه پایه‌های درگاه C

- **TMS - بیت ۳ از درگاه C:** پایه انتخاب حالت تست **JTAG**: این پایه برای گذار در ماشین حالت کنترل کننده TAP استفاده می‌شود. هنگامی که واسط JTAG فعال شود، این پایه دیگر نمی‌تواند به عنوان پایه I/O استفاده شود.
 - **TCK - بیت ۲ از درگاه C:** پایه تست ساعت **JTAG**: هنگامی که واسط JTAG فعال شود، این پایه دیگر نمی‌تواند به عنوان پایه I/O استفاده شود.
-
- TAP: Test Access Port
 - TMS: Test Mode Select

عملکردهای ثانویه پایه‌های درگاه C

- **SDA - بیت ۱ از درگاه C:** داده واسط سریال ارتباط دوسیمه **TWI** : هنگامی که بیت TWEN در ثبات TWCR یک شود تا واسط دوسیمه را فعال کند، پایه PC1 از درگاه قطع شده و به عنوان پایه I/O برای واسط TWI استفاده می‌شود.
- در این مود، یک فیلتر بر روی پایه ورودی قرار دارد که پالس‌های سوزنی با عرض کوتاه‌تر از ۵۰ نانو ثانیه را از سیگنال ورودی حذف می‌نماید. این پایه توسط یک درایور درین-باز با قابلیت محدودسازی سرعت تغییرات ولتاژ، درایو می‌شود. هنگامی که این پایه توسط واسط TWI استفاده می‌شود، امکان کنترل بالاکش کردن پایه همچنان توسط بیت PORTC1 فراهم است.

عملکردهای ثانویه پایه‌های درگاه C

- **SCL- بیت ۰ از درگاه C:** ساعت واسط سریال ارتباط دوسیمه TWI : هنگامی که بیت TWEN در ثبات TWCR یک شود تا واسط دوسیمه را فعال کند، پایه PC0 از درگاه قطع شده و به عنوان پایه ساعت برای واسط TWI استفاده می‌شود.
- در این مود، یک فیلتر بر روی پایه ورودی قرار دارد که پالس‌های سوزنی با عرض کوتاه‌تر از ۵۰ نانو ثانیه را از سیگنال ورودی حذف می‌نماید. این پایه توسط یک درایور درین-باز با قابلیت محدودسازی سرعت تغییرات ولتاژ، درایو می‌شود. هنگامی که این پایه توسط واسط TWI استفاده می‌شود، امکان کنترل بالاکش کردن پایه همچنان توسط بیت PORTC0 فراهم است.

عملکردهای ثانویه پایه‌های درگاه D

Port Pin	Alternate Function
PD7	OC2 (Timer/Counter2 Output Compare Match Output)
PD6	ICP1 (Timer/Counter1 Input Capture Pin)
PD5	OC1A (Timer/Counter1 Output Compare A Match Output)
PD4	OC1B (Timer/Counter1 Output Compare B Match Output)
PD3	INT1 (External Interrupt 1 Input)
PD2	INT0 (External Interrupt 0 Input)
PD1	TXD (USART Output Pin)
PD0	RXD (USART Input Pin)

عملکردهای ثانویه پایه‌های درگاه D

- **OC2- بیت ۷ از درگاه D:** این پایه به عنوان خروجی برابری مقایسه زمان‌سنج/شمارنده ۲ است. این پایه باید به عنوان یک خروجی تنظیم شود تا عملکرد ثانویه خود را داشته باشد (پایه DDD7 یک شود). این پایه همچنین می‌تواند خروجی حالت PWM زمان‌سنج نیز باشد.
- **ICP1- بیت ۶ از درگاه D:** این پایه به عنوان ورودی capture برای زمان‌سنج/شمارنده ۱ استفاده می‌شود.

عملکردهای ثانویه پایه‌های درگاه D

- **OC1A - بیت ۵ از درگاه D:** این پایه به عنوان یک خروجی خارجی برای Output Compare A زمان‌سنج/شمارنده ۱ استفاده می‌شود. این پایه باید در حالت خروجی قرار گیرد تا عملکرد ثانویه خود را داشته باشد (پایه DDD5 یک شود). این پایه همچنین می‌تواند خروجی حالت PWM زمان‌سنج نیز باشد.
- **OC1B - بیت ۴ از درگاه D:** این پایه یک خروجی خارجی برای Output Compare B زمان‌سنج/شمارنده ۱ است. این پایه باید به عنوان یک خروجی تنظیم شود تا عملکرد ثانویه خود را داشته باشد (پایه DDD4 یک شود). این پایه همچنین می‌تواند خروجی حالت PWM زمان‌سنج نیز باشد.

عملکردهای ثانویه پایه‌های درگاه D

- **INT1** - بیت ۳ از درگاه D: این پایه ورودی وقفه خارجی شماره ۱ است.
- **INT0** - بیت ۲ از درگاه D: این پایه ورودی وقفه خارجی شماره ۰ است.
- **TXD** - بیت ۱ از درگاه D: عملکرد ثانویه این پایه به عنوان پایه ارسال اطلاعات در پروتکل ارتباط سریال **USART** است. هنگامی که USART فعال شود، این پایه صرفنظر از مقدار DDD1، به عنوان خروجی پیکربندی می‌شود.

عملکردهای ثانویه پایه‌های درگاه D

- **RXD** - بیت ۰ از درگاه D: عملکرد ثانویه این پایه به عنوان پایه دریافت اطلاعات در پروتکل ارتباط سریال **USART** است.
- هنگامی که USART فعال شود، این پایه صرفنظر از مقدار DDD0، به عنوان ورودی پیکربندی می‌شود. هنگامی که USART این پایه را اجباراً ورودی کند، عمل بالاکش کردن پایه همچنان توسط بیت PORTD0 قابل کنترل است.

توصیف ثبات‌ها برای درگاه‌های ورودی/خروجی

Bit	7	6	5	4	3	2	1	0	
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات داده درگاه A: PORTA

Bit	7	6	5	4	3	2	1	0	
	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات جهت داده درگاه A: DDRA

Bit	7	6	5	4	3	2	1	0	
	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

ثبات آدرس پایه‌های ورودی درگاه A: PINA

توصیف ثبات‌ها برای درگاه‌های ورودی/خروجی

Bit	7	6	5	4	3	2	1	0	
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات داده درگاه B: PORTB

Bit	7	6	5	4	3	2	1	0	
	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات جهت داده درگاه B: ثبات DDRB

Bit	7	6	5	4	3	2	1	0	
	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

ثبات آدرس پایه‌های ورودی درگاه B: PINB

توصیف ثبات‌ها برای درگاه‌های ورودی/خروجی

Bit	7	6	5	4	3	2	1	0	
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات داده درگاه C: PORTC

Bit	7	6	5	4	3	2	1	0	
	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات جهت داده درگاه C: DDRC

Bit	7	6	5	4	3	2	1	0	
	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

ثبات آدرس پایه‌های ورودی درگاه C: PINC

توصیف ثبات‌ها برای درگاه‌های ورودی/خروجی

Bit	7	6	5	4	3	2	1	0	
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات داده درگاه D: PORTD

Bit	7	6	5	4	3	2	1	0	
	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ثبات جهت داده درگاه D: ثبات DDRD

Bit	7	6	5	4	3	2	1	0	
	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

ثبات آدرس پایه‌های ورودی درگاه D: PIND