

Disseny Digital

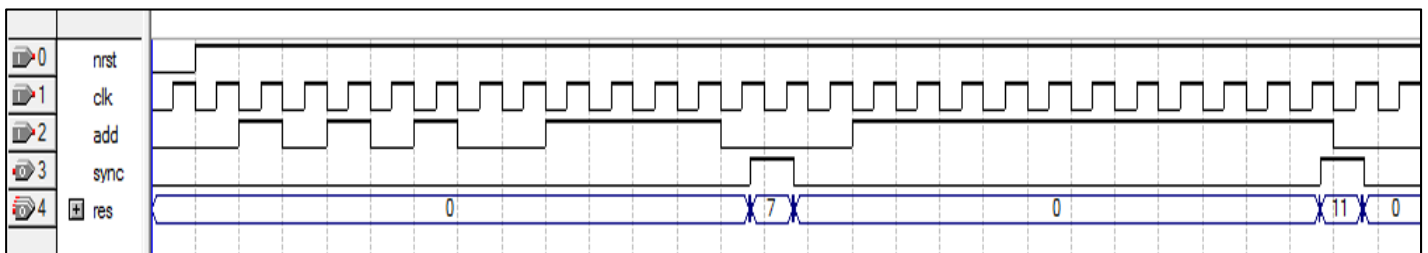
Pràctica 4, Grups 43 i 44, tardor 2024

NOM I COGNOMS:

1 (40%). Considera l'entitat de l'arxiu **t_cnt.vhd**. Crea un projecte, compila-la en el Quartus II i explica quina funció fa, il·lustrant-ho amb una simulació el més completa possible. El període del rellotge **clk** ha de ser 50 ns i la simulació ha de durar almenys 2 µs. A més de les entrades, hi han d'aparèixer almenys els senyals **time_cnt** i **ara**.

2 (40%). Considera ara el sistema seqüencial **tot_bin** següent:

- Entrades: **clk** (rellotge), **nrst** (*reset* asíncron, actiu baix), **add** (senyal síncron).
- Sortides: **sync** (senyal síncron), **res** (bus síncron, de 4 bits).
- Funcionament: Cada 13 períodes de rellotge, **sync** es posa a '1' i **res** mostra, en binari natural, el nº de vegades que **add** = '1' en aquests 13 períodes de rellotge. La resta del temps totes les sortides són zero. Exemple:



Utilitzant Quartus II, descriu en VHDL, compila i mostra el funcionament correcte de l'entitat **tot_bin** mitjançant simulacions. Utilitza un rellotge de 50 ns de període i simula durant almenys 2 µs.

3 (20%). Modifica l'entitat anterior per tal que tregui la sortida **res** en BCD. Anomena la nova entitat **tot_bcd** i mostra el seu funcionament correcte mitjançant simulacions. Utilitza un rellotge de 50 ns de període i simula durant almenys 2 µs.

Materials a lliurar

Crea un arxiu *word* o *pdf* amb el nom **P4_cognom1_cognom2** i puja'l a la tasca d'atenea emplenat amb els ítems següents:

- ☐ Qüestió 1: resposta a la pregunta i captura de la simulació de **t_cnt**.
- ☐ Qüestió 2: codi VHDL de **tot_bin** i captura de la seva simulació.
- ☐ Qüestió 3: codi VHDL de **tot_bcd** i captura de la seva simulació.

Codi donat de **t_cnt.vhd**:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity t_cnt is
    port( clk, nrst : in std_logic; ara : out std_logic );
end t_cnt;

architecture arq of t_cnt is
    signal time_cnt : integer range 0 to 10;
begin
    process (clk,nrst) begin
        if nrst='0' then time_cnt <= 0;
        elsif clk'event and clk='1' then
            if time_cnt = 11 then time_cnt <= 1;
            else time_cnt <= time_cnt+1;
            end if;
        end if;
    end process;
    ara <= '1' when time_cnt=11 else '0';
end arq;
```