

Proposeu una simulació que mostri el correcte funcionament del comparador de números de 4 bits descrit amb el següent codi vhdL (donat).

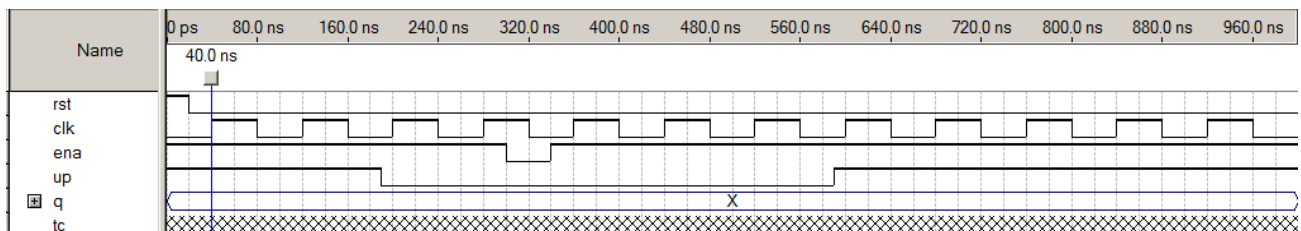
```
library ieee;
use ieee.std_logic_1164.all;

entity comparador_4 is
  port( a, b : in integer range 0 to 15;
        maj, igu, men : out std_logic );
end comparador_4;

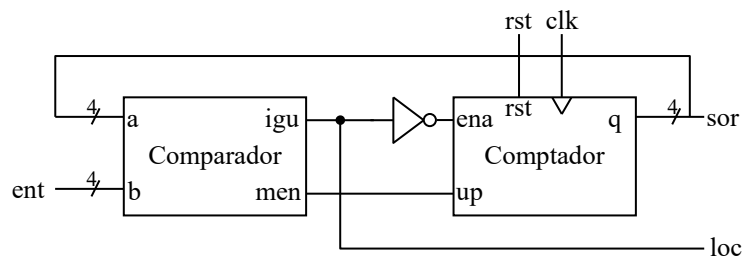
architecture arq of comparador_4 is
begin
  maj <= '1' when (a > b) else '0';
  igu <= '1' when (a = b) else '0';
  men <= '1' when (a < b) else '0';
end arq;
```

Dissenyeu en vhdL un comptador-descomptador de números de 4 bits, amb quatre entrades, rst (senyal de reset asíncron, actiu alt), clk (rellotge, sincronitza per flanc de pujada), ena (permís per comptar) i up (compta si val 1, i descompta si val 0), i dues sortides, q, el vector d'estat del comptador, i tc, (sortida que s'activa quan el comptador està a zero i amb permís per descomptar o a quinze i amb permís per comptar).

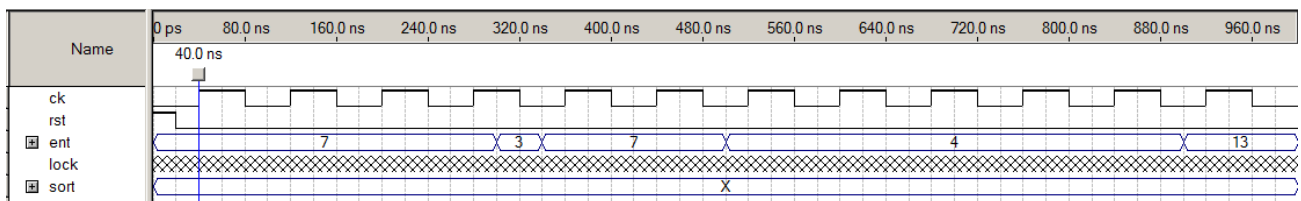
Feu-ne una simulació en que les entrades segueixin l'evolució proposada a la figura:



Finalment combineu en un sol esquemàtic els dos blocs anteriors connectant-los de la següent manera:



Feu la simulació de conjunt excitant les entrades amb el patró descrit a la figura:



Lliureu captures de pantalla de les simulacions i descripcions demanades dins d'un únic document penjant-les abans d'acabar el termini a la tasca oberta a Atenea a tal efecte.