

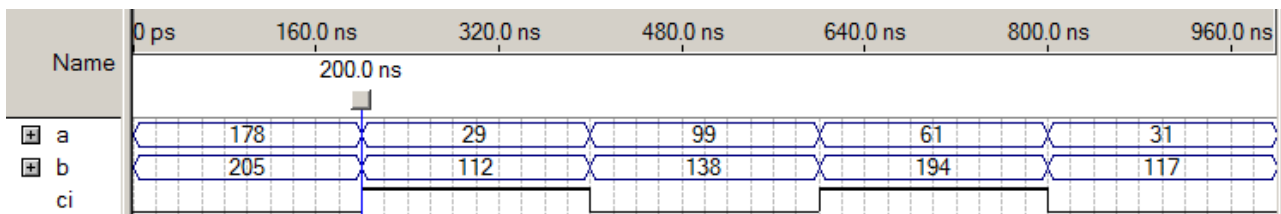
Proposeu una simulació que mostri el correcte funcionament del sumador descrit amb el següent codi VHDL (donat).

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4
5  entity sum8 is port(a, b : in std_logic_vector(7 downto 0);
6                    ci : in std_logic;
7                    s : out std_logic_vector(7 downto 0);
8                    co : out std_logic);
9  end sum8;
10
11 architecture arq of sum8 is
12     signal suma : std_logic_vector(8 downto 0);
13 begin
14     suma <= '0' & a + b + ci;
15     s <= suma(7 downto 0);
16     co <= suma(8);
17 end arq;

```

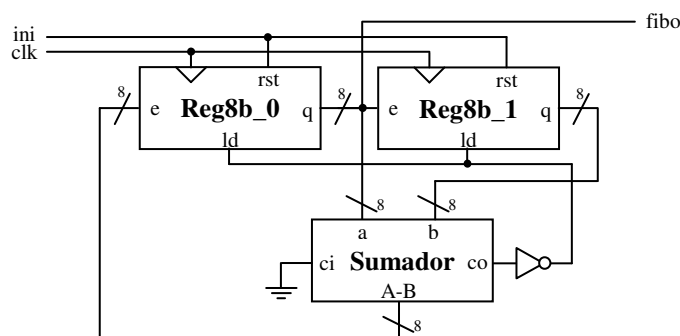
Useu l'evolució de les entrades proposada a la figura:



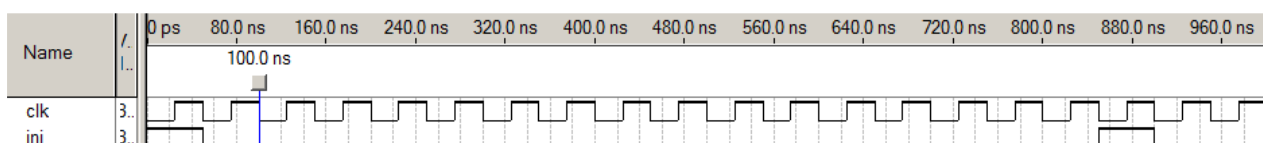
Dissenyeu en VHDL un registre de 8 bits síncron per flanc de pujada de rellotge, amb un senyal de reset (actiu alt) síncron, prioritari sobre un senyal de càrrega, ld. Anomeneu-lo "Reg8b\_0". Proposeu-ne una simulació que permeti veure el correcte funcionament (inclosa la prioritat en els senyals de control).

Proposeu ara el disseny d'una variació del registre anterior, idèntic tret que el senyal de reset síncron forci l'estat "00000001". Anomeneu-lo "Reg8b\_1". Simuleu-lo amb la mateixa excitació que el primer registre.

Finalment combineu en un sol esquemàtic els tres blocs juntament amb un inversor, tal com es mostra a la figura:



Feu la simulació de conjunt excitant l'entrada amb el patró descrit.



Lliureu captures de pantalla de les simulacions i descripcions demanades dins d'un únic document penjant-les abans d'acabar el termini a la tasca oberta a Atenea a tal efecte.