

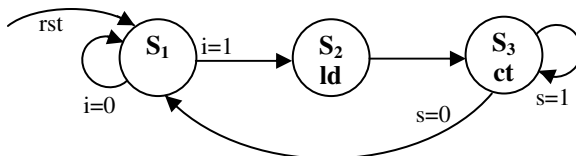
Proposeu una simulació que mostri el funcionament del comptador descrit amb el següent codi VHDL (donat). Cal que es vegi el funcionament dels senyals de control asíncrons i síncrons, i la seva prioritat.

```

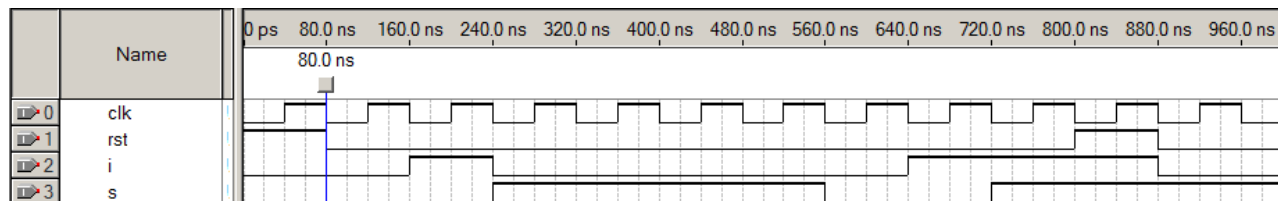
1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4
5  entity Cmpnt_4_LD is
6  port ( rst,clk,ld,ce : in std_logic;
7        d : in std_logic_vector(3 downto 0);
8        q : out std_logic_vector(3 downto 0) );
9  end Cmpnt_4_LD;
10
11 architecture a of Cmpnt_4_LD is
12 signal qq : std_logic_vector(3 downto 0);
13 begin
14 process(clk,rst) begin
15     if rst='1' then qq <= x"0";
16     elsif clk'event and clk='1' then
17         if ld='1' then qq <= d;
18         elsif (ce='1') then qq <= qq+1;
19         end if;
20     end if;
21 end process;
22 q <= qq;
23 end a;

```

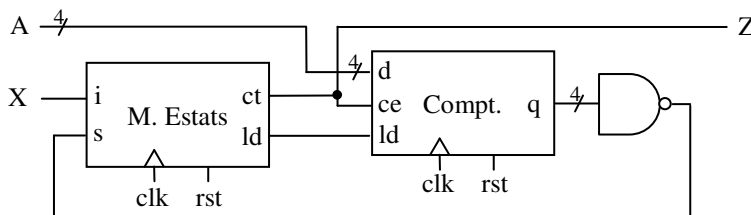
Dissenyau en VHDL una màquina d'estats amb el diagrama d'estats donat, síncrona per flanc de pujada.



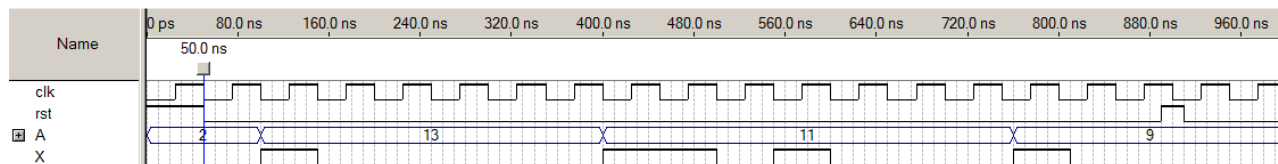
Feu-ne una simulació en que les entrades segueixin l'evolució proposada a la figura:



Finalment combineu en un sol esquemàtic els dos blocs anteriors juntament amb una porta lògica, connectats com mostra la figura:



Feu la simulació de conjunt excitant l'entrada amb el patró descrit:



Lliureu captures de pantalla de les simulacions i descripcions demanades dins d'un únic document penjant-les abans d'acabar el termini a la tasca oberta a Atenea a tal efecte.