

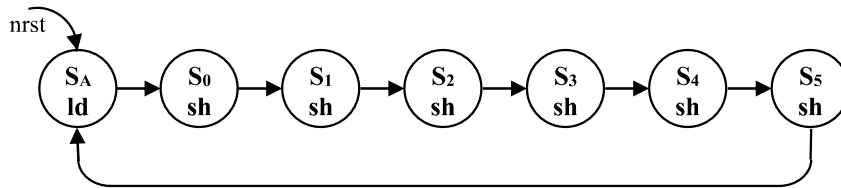
a) Proposeu una simulació que mostri el correcte funcionament del registre de desplaçament descrit amb el següent codi vhdL (donat). Cal que es vegin clares les entrades asíncrones i la prioritat entre entrades de control.

```
library ieee;
use ieee.std_logic_1164.all;

entity regdesp_6 is
  port( e : in std_logic_vector(5 downto 0);
        nrst, clk, ld, sh, es : in std_logic;
        q : out std_logic_vector(5 downto 0));
end regdesp_6;

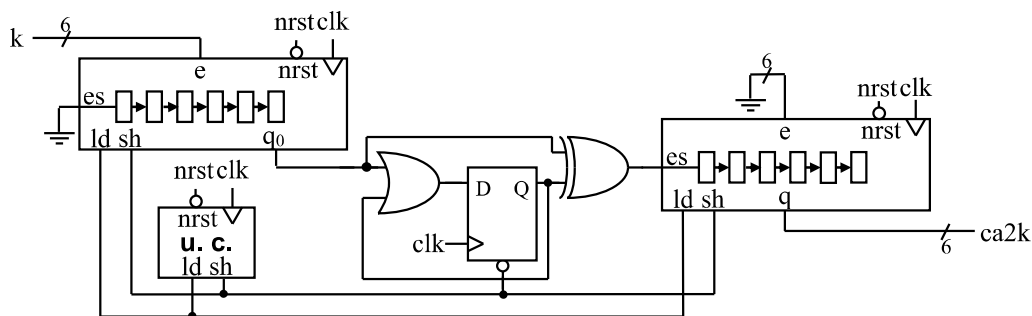
architecture arq of regdesp_6 is
  signal qq : std_logic_vector(5 downto 0);
begin
  process(clk, nrst)
  begin
    if nrst='0' then qq <= "000000";
    elsif (clk'event and clk='1') then
      if ld = '1' then qq <= e; elsif
        sh = '1' then qq <= es & qq(5 downto 1);
      end if;
    end if;
  end process;
  q <= qq;
end arq;
```

b) Dissenyau en vhdL una màquina d'estats sincronitzada per flanc de pujada de rellotge, sense entrades síncrones, amb dues sortides, ld i sh, i amb el següent diagrama d'estats:

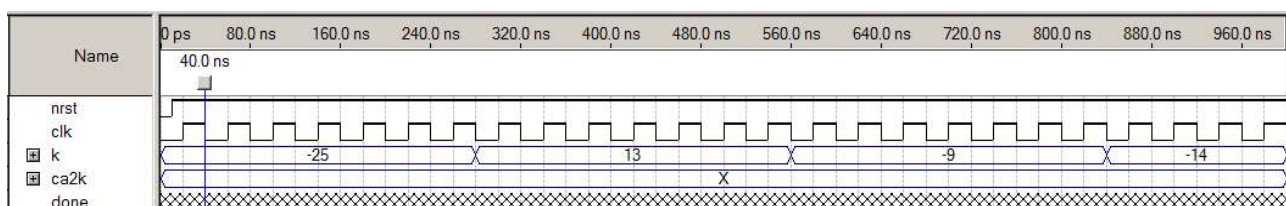


c) Feu-ne una simulació de, com a mínim, una seqüència completa.

d) Finalment combineu en un sol esquemàtic dos registres de desplaçament com el donat, la unitat de control dissenyada i un biestable i portes lògiques addicionals, tal com mostra la figura, per fer un calculador de complement a 2:



e) Feu la simulació de conjunt excitant les entrades amb el patró descrit:



Lliureu captures de pantalla de les simulacions i descripcions demanades dins d'un únic document penjant-les abans d'acabar el termini a la tasca oberta a Atenea a tal efecte.