

تمرین سری دهم درس معماری کامپیوتر طراحی کامپیوتر پایه زمستان ۱۴۰۴



کامپیوتر پایه (قالب دستورالعمل)

- دستور هایی که داریم به صورت زیر است:
 - MOV – UMUL – ADD – SUB – LDR – STR – PUSH – POP
 - ۸ دستور متفاوت وجود دارد پس نیاز به ۳ بیت برای opcode نیاز داریم.
 - برای دستور هایی مثل UMUL – ADD – SUB – LDR – STR نیاز به ۱ بیت برای مشخص کردن نوع دستورالعمل هم داریم.
 - برای اینکه بهترین استفاده رو از طراحی قالب دستورالعمل ببریم لازم است تعداد ثبات های عام منظوره را طوری مشخص بکنیم که فضای خالی کمتری در قالب دستورالعمل باقی بماند.
 - فرض کنیم تعداد ثبات های عام منظوره x است پس ما نیاز به $\log_2 x$ فضای آدرس دهی داریم. اگر به جدول دستورالعمل ها نگاه بکنیم طولانی ترین دستورالعمل $\text{UMUL} \langle Ra, Rd, Rn, \text{immediate 8-bit} \rangle$ است.
- $$3 + 1 + 3 * \log_2 x + 8 = 32 \Rightarrow \log_2 x = \left\lceil \frac{20}{3} \right\rceil \Rightarrow x = 64 \text{ register}$$

| Opcode | Addressing mode | Empty | Register Address | Register Address | Register Address | immediate |
|--------|-----------------|-------|------------------|------------------|------------------|-----------|
| 3 bit | 1 bit | 2 bit | 6 bit | 6 bit | 6 bit | 8 bit |

کامپیوتر پایه (قالب دستورالعمل)

• MOV

| Opcode | Empty | Register Address | immediate |
|--------|--------|------------------|-----------|
| 000 | 15 bit | 6 bit | 8 bit |

• UMUL <Immediate>

| Opcode | Addressing mode | Empty | Register Address | Register Address | Register Address | immediate |
|--------|-----------------|-------|------------------|------------------|------------------|-----------|
| 001 | 0 | 2 bit | 6 bit | 6 bit | 6 bit | 8 bit |

• UMUL <Register>

| Opcode | Addressing mode | Empty | Register Address | Register Address | Register Address | Register Address |
|--------|-----------------|-------|------------------|------------------|------------------|------------------|
| 001 | 1 | 4 bit | 6 bit | 6 bit | 6 bit | 6 bit |



کامپیوتر پایه (قالب دستورالعمل)

• ADD <Immediate>

| Opcode | Addressing mode | Empty | Register Address | Register Address | immediate |
|--------|-----------------|-------|------------------|------------------|-----------|
| 010 | 0 | 8 bit | 6 bit | 6 bit | 8 bit |

• ADD <Register>

| Opcode | Addressing mode | Empty | Register Address | Register Address | Register Address |
|--------|-----------------|--------|------------------|------------------|------------------|
| 010 | 1 | 10 bit | 6 bit | 6 bit | 6 bit |

• SUB <Immediate>

| Opcode | Addressing mode | Empty | Register Address | Register Address | immediate |
|--------|-----------------|-------|------------------|------------------|-----------|
| 011 | 0 | 8 bit | 6 bit | 6 bit | 8 bit |

• SUB <Register>

| Opcode | Addressing mode | Empty | Register Address | Register Address | Register Address |
|--------|-----------------|--------|------------------|------------------|------------------|
| 011 | 1 | 10 bit | 6 bit | 6 bit | 6 bit |

• LDR <Register>

| Opcode | Addressing mode | Empty | Register Address | Register Address |
|--------|-----------------|--------|------------------|------------------|
| 100 | 0 | 16 bit | 6 bit | 6 bit |

• LDR <Memory Address>

| Opcode | Addressing mode | Empty | Register Address | Memory Address |
|--------|-----------------|--------|------------------|----------------|
| 100 | 1 | 10 bit | 6 bit | 12 bit |

• STR <Register>

| Opcode | Addressing mode | Empty | Register Address | Register Address |
|--------|-----------------|--------|------------------|------------------|
| 101 | 0 | 16 bit | 6 bit | 6 bit |

• STR <Memory Address>

| Opcode | Addressing mode | Empty | Register Address | Memory Address |
|--------|-----------------|--------|------------------|----------------|
| 101 | 1 | 10 bit | 6 bit | 12 bit |



• PUSH

| Opcode | Empty | Register Address |
|--------|--------|------------------|
| 110 | 22 bit | 6 bit |

• POP

| Opcode | Empty | Register Address |
|--------|--------|------------------|
| 111 | 22 bit | 6 bit |

کامپیوتر پایه (ریز عملیات)

• Interaction Fetch

- $T_0: AR \leftarrow PC$
- $T_1: IR \leftarrow M[AR], PC \leftarrow PC + 1$

• Interaction Decode

- $T_2: \text{Decode } IR[31:29] \text{ into } D_0, D_1, D_2, \dots, D_7, A = IR[28]$

• MOV

- $T_3, D_0: RFAR \leftarrow IR[13:8]$
- $T_4, D_0: RF[RFAR] \leftarrow IR[7:0], SC \leftarrow 0$

• PUSH

- $T_3, D_6: RFAR \leftarrow IR[5:0]$
- $T_4, D_6: AR \leftarrow SP$
- $T_5, D_6: M[AR] \leftarrow RF[RFAR], SP \leftarrow SP - 1, SC \leftarrow 0$

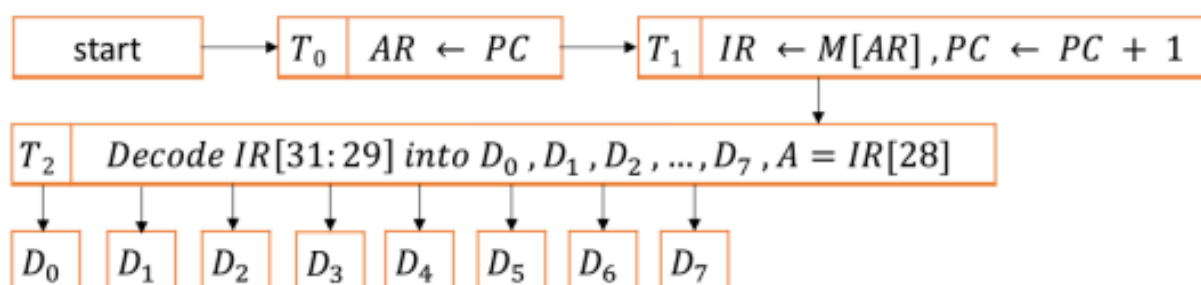
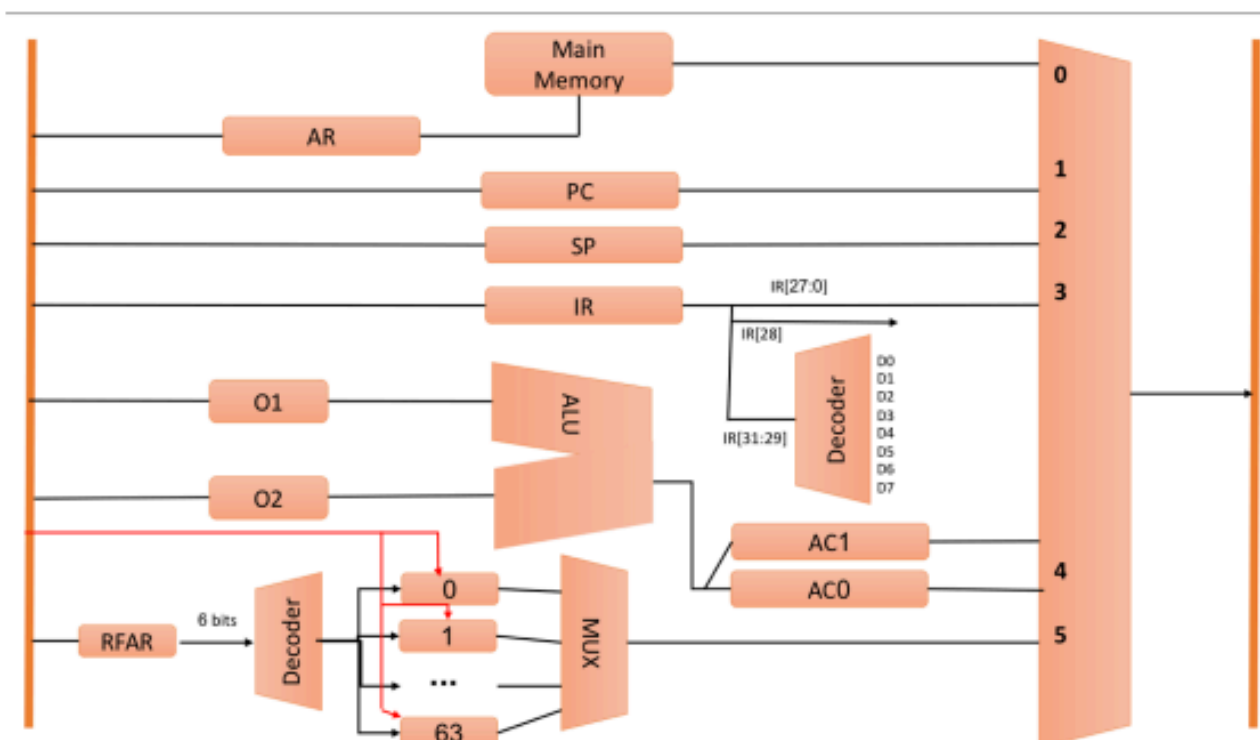
• POP

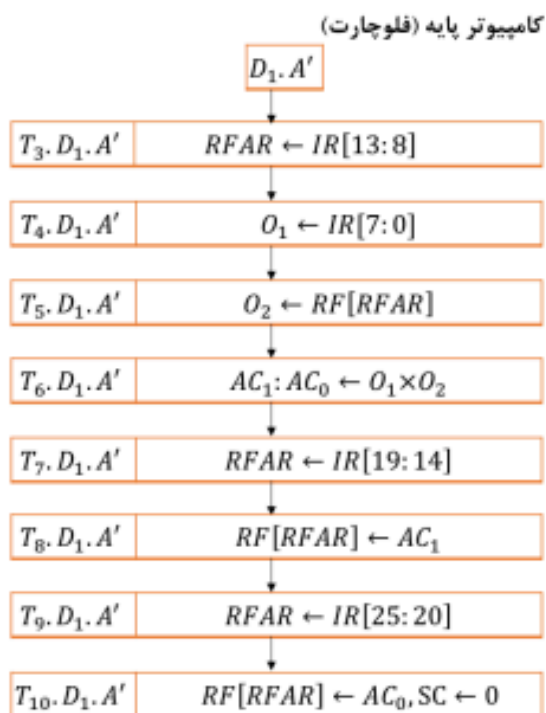
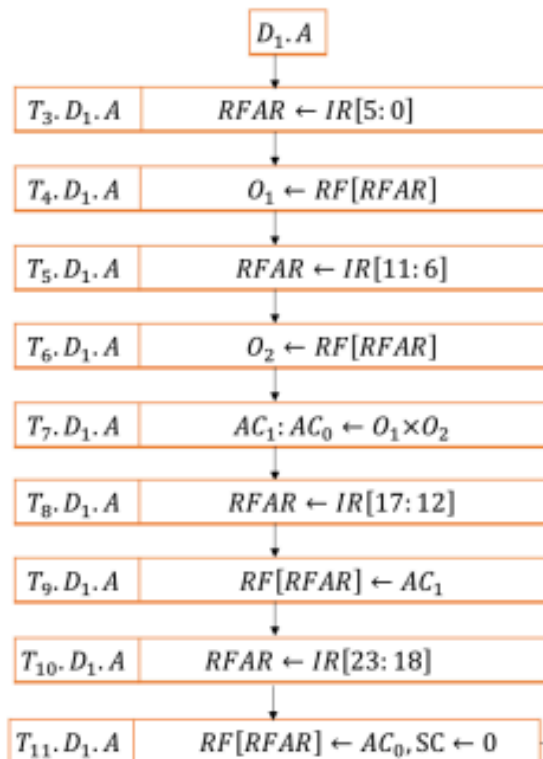
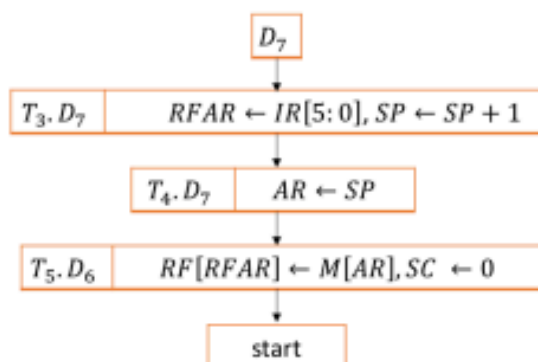
- $T_3, D_7: RFAR \leftarrow IR[5:0], SP \leftarrow SP + 1$
- $T_4, D_7: AR \leftarrow SP$
- $T_5, D_7: RF[RFAR] \leftarrow M[AR], SC \leftarrow 0$

تمرین سری دهم درس معماری کامپیوتر
طراحی کامپیوتر پایه
زمستان ۱۴۰۴

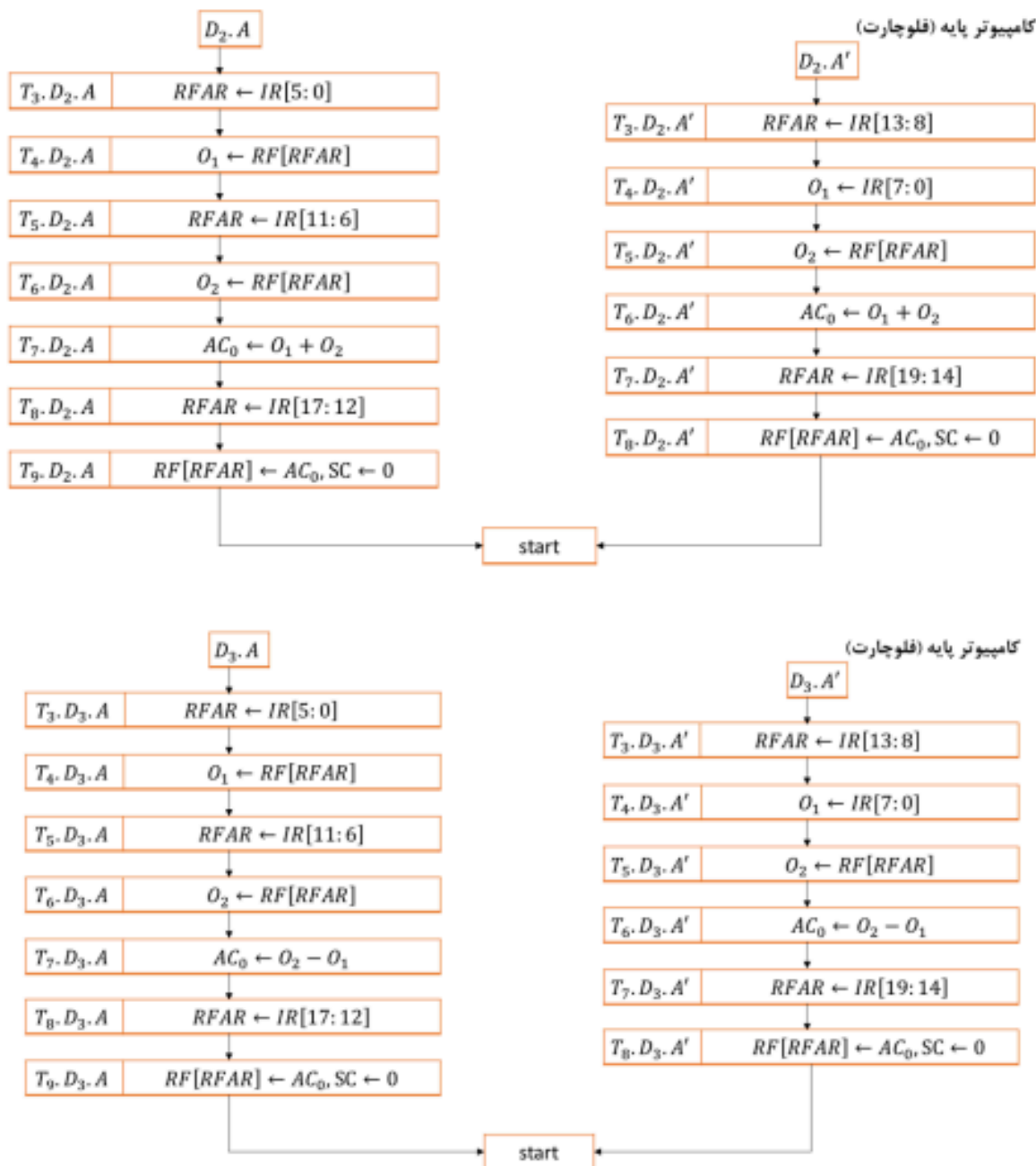


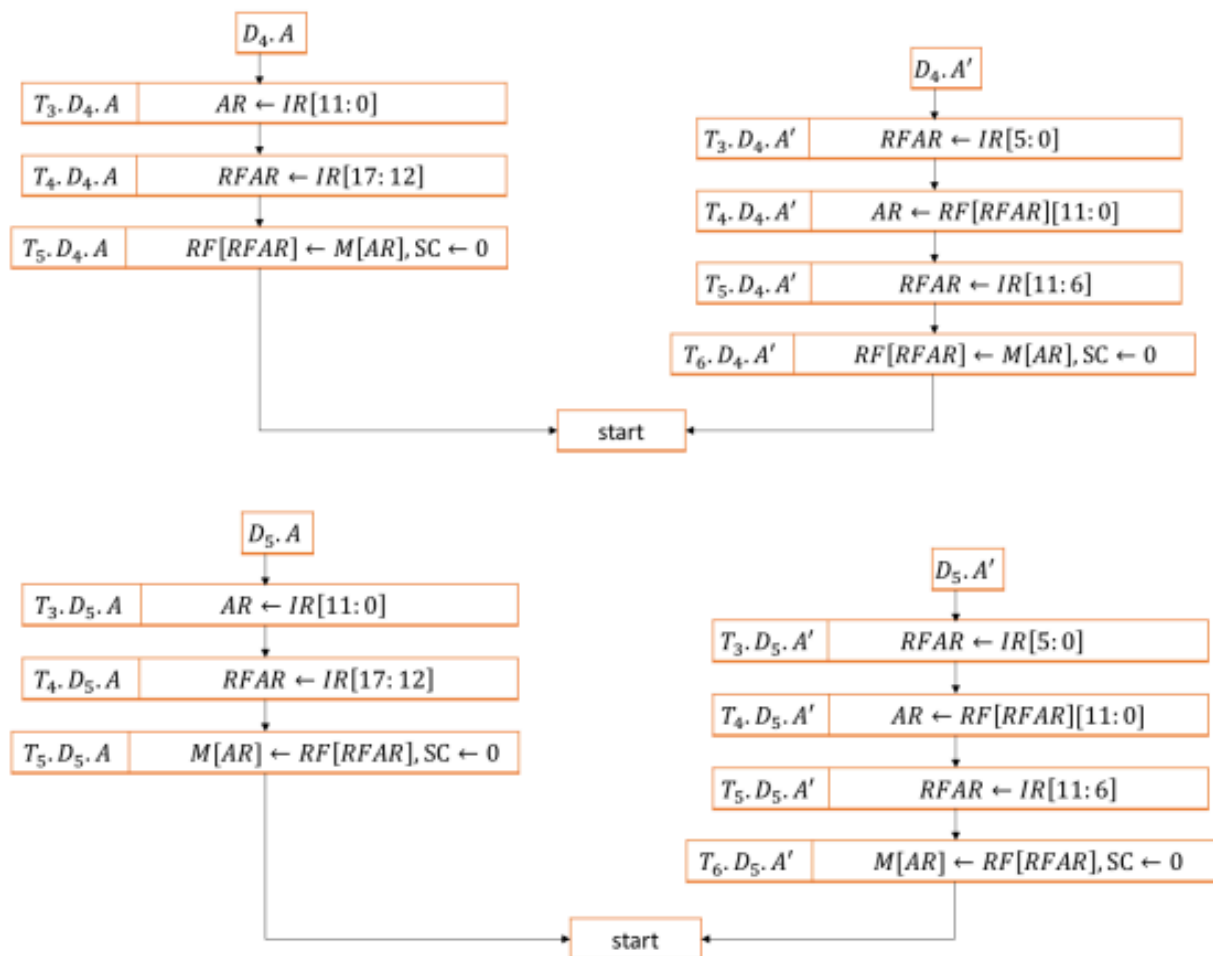
- UMUL <Immediate>
 - $T_3, D_1, A': RFAR \leftarrow IR[13: 8]$
 - $T_4, D_1, A': O_1 \leftarrow IR[7: 0]$
 - $T_5, D_1, A': O_2 \leftarrow RF[RFAR]$
 - $T_6, D_1, A': AC_1: AC_0 \leftarrow O_1 \times O_2$
 - $T_7, D_1, A': RFAR \leftarrow IR[19: 14]$
 - $T_8, D_1, A': RF[RFAR] \leftarrow AC_1$
 - $T_9, D_1, A': RFAR \leftarrow IR[25: 20]$
 - $T_{10}, D_1, A': RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- UMUL <Register>
 - $T_3, D_1, A: RFAR \leftarrow IR[5: 0]$
 - $T_4, D_1, A: O_1 \leftarrow RF[RFAR]$
 - $T_5, D_1, A: RFAR \leftarrow IR[11: 6]$
 - $T_6, D_1, A: O_2 \leftarrow RF[RFAR]$
 - $T_7, D_1, A: AC_1: AC_0 \leftarrow O_1 \times O_2$
 - $T_8, D_1, A: RFAR \leftarrow IR[17: 12]$
 - $T_9, D_1, A: RF[RFAR] \leftarrow AC_1$
 - $T_{10}, D_1, A: RFAR \leftarrow IR[23: 18]$
 - $T_{11}, D_1, A: RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- ADD <Immediate>
 - $T_3, D_2, A': RFAR \leftarrow IR[13: 8]$
 - $T_4, D_2, A': O_1 \leftarrow IR[7: 0]$
 - $T_5, D_2, A': O_2 \leftarrow RF[RFAR]$
 - $T_6, D_2, A': AC_0 \leftarrow O_1 + O_2$
 - $T_7, D_2, A': RFAR \leftarrow IR[19: 14]$
 - $T_8, D_2, A': RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- ADD <Register>
 - $T_3, D_2, A: RFAR \leftarrow IR[5: 0]$
 - $T_4, D_2, A: O_1 \leftarrow RF[RFAR]$
 - $T_5, D_2, A: RFAR \leftarrow IR[11: 6]$
 - $T_6, D_2, A: O_2 \leftarrow RF[RFAR]$
 - $T_7, D_2, A: AC_0 \leftarrow O_1 + O_2$
 - $T_8, D_2, A: RFAR \leftarrow IR[17: 12]$
 - $T_9, D_2, A: RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- SUB <Immediate>
 - $T_3, D_3, A': RFAR \leftarrow IR[13: 8]$
 - $T_4, D_3, A': O_1 \leftarrow IR[7: 0]$
 - $T_5, D_3, A': O_2 \leftarrow RF[RFAR]$
 - $T_6, D_3, A': AC_0 \leftarrow O_2 - O_1$
 - $T_7, D_3, A': RFAR \leftarrow IR[19: 14]$
 - $T_8, D_3, A': RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- SUB <Register>
 - $T_3, D_3, A: RFAR \leftarrow IR[5: 0]$
 - $T_4, D_3, A: O_1 \leftarrow RF[RFAR]$
 - $T_5, D_3, A: RFAR \leftarrow IR[11: 6]$
 - $T_6, D_3, A: O_2 \leftarrow RF[RFAR]$
 - $T_7, D_3, A: AC_0 \leftarrow O_2 - O_1$
 - $T_8, D_3, A: RFAR \leftarrow IR[17: 12]$
 - $T_9, D_3, A: RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$
- LDR <Register>
 - $T_3, D_4, A': RFAR \leftarrow IR[5: 0]$
 - $T_4, D_4, A': AR \leftarrow RF[RFAR][11: 0]$
 - $T_5, D_4, A': RFAR \leftarrow IR[11: 6]$
 - $T_6, D_4, A': RF[RFAR] \leftarrow M[AR], SC \leftarrow 0$
- LDR <Immediate>
 - $T_3, D_4, A: AR \leftarrow IR[11: 0]$
 - $T_4, D_4, A: RFAR \leftarrow IR[17: 12]$
 - $T_5, D_4, A: RF[RFAR] \leftarrow M[AR], SC \leftarrow 0$
- STR <Register>
 - $T_3, D_5, A': RFAR \leftarrow IR[5: 0]$
 - $T_4, D_5, A': AR \leftarrow RF[RFAR][11: 0]$
 - $T_5, D_5, A': RFAR \leftarrow IR[11: 6]$
 - $T_6, D_5, A': M[AR] \leftarrow RF[RFAR], SC \leftarrow 0$
- STR <Immediate>
 - $T_3, D_5, A: AR \leftarrow IR[11: 0]$
 - $T_4, D_5, A: RFAR \leftarrow IR[17: 12]$
 - $T_5, D_5, A: M[AR] \leftarrow RF[RFAR], SC \leftarrow 0$





تمرین سری دهم درس معماری کامپیوتر
طراحی کامپیوتر پایه
زمستان ۱۴۰۴







• بلند ترین دستورالعمل: UMUL <Register>

• UMUL <Register>

- $T_3.D_1.A: RFAR \leftarrow IR[5:0]$
- $T_4.D_1.A: O_1 \leftarrow RF[RFAR]$
- $T_5.D_1.A: RFAR \leftarrow IR[11:6]$
- $T_6.D_1.A: O_2 \leftarrow RF[RFAR]$
- $T_7.D_1.A: AC_1: AC_0 \leftarrow O_1 \times O_2$
- $T_8.D_1.A: RFAR \leftarrow IR[17:12]$
- $T_9.D_1.A: RF[RFAR] \leftarrow AC_1$
- $T_{10}.D_1.A: RFAR \leftarrow IR[23:18]$
- $T_{11}.D_1.A: RF[RFAR] \leftarrow AC_0, SC \leftarrow 0$

| X0 | X1 | X2 | X3 | X4 | X5 | X6 | X7 | S2 | S1 | S0 | Select Register |
|----|----|----|----|----|----|----|----|----|----|----|-----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | None |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | Memory |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | PC |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | SP |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | IR |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | AC ₀ |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | AC ₁ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | RF |

| Y0 | Y1 | Y2 | Y3 | S1 | S0 | Command |
|----|----|----|----|----|----|---------|
| 0 | 0 | 0 | 0 | 0 | 0 | None |
| 1 | 0 | 0 | 0 | 0 | 1 | UMUL |
| 0 | 1 | 0 | 0 | 1 | 0 | ADD |
| 0 | 0 | 1 | 0 | 1 | 1 | SUB |



- $X_0 = T_1 + T_5.D_7 + T_6.D_4.A' + T_5.D_4.A$
- $X_1 = T_0$
- $X_2 = T_4.D_6 + T_4.D_7$
- $X_3 = T_3.D_0 + T_3.D_1 + T_3.D_6 + T_3.D_7 + T_3.D_1.A' + T_4.D_1.A' + T_7.D_1.A' + T_9.D_1.A' + T_3.D_1.A + T_5.D_1.A + T_8.D_1.A + T_{10}.D_1.A + T_3.D_2.A' + T_4.D_2.A' + T_7.D_2.A' + T_3.D_2.A + T_5.D_2.A + T_8.D_2.A + T_3.D_3.A' + T_4.D_3.A' + T_7.D_3.A' + T_3.D_3.A + T_5.D_3.A + T_8.D_3.A + T_3.D_4.A' + T_5.D_4.A' + T_3.D_4.A + T_4.D_4.A + T_3.D_5.A' + T_5.D_5.A' + T_3.D_5.A + T_4.D_5.A$
- $X_4 = T_{10}.D_1.A' + T_{11}.D_1.A + T_8.D_2.A' + T_9.D_2.A + T_8.D_3.A' + T_9.D_3.A$
- $X_5 = T_8.D_1.A' + T_9.D_1.A$
- $X_6 = T_5.D_6 + T_5.D_1.A' + T_4.D_1.A + T_6.D_1.A + T_5.D_2.A' + T_4.D_2.A + T_6.D_2.A + T_5.D_3.A' + T_4.D_3.A + T_6.D_3.A + T_4.D_4.A' + T_4.D_5.A' + T_6.D_5.A' + T_5.D_5.A$
- $X_7 = 0$
- $Y_0 = T_6.D_1.A' + T_7.D_1.A$
- $Y_1 = T_6.D_2.A' + T_7.D_2.A$
- $Y_2 = T_6.D_3.A' + T_7.D_3.A$
- $Y_3 = 0$



- $SC_{Clear} = T_4.D_0 + T_5.D_6 + T_5.D_7 + T_{10}.D_1.A' + T_{11}.D_1.A + T_8.D_2.A' + T_9.D_2.A + T_8.D_3.A' + T_9.D_3.A + T_6.D_4.A' + T_5.D_4.A + T_6.D_5.A' + T_5.D_6.A$
- $AR_{Load} = T_0 + T_4.D_6 + T_4.D_7 + T_4.D_4.A' + T_3.D_4.A + T_4.D_5.A' + T_3.D_5.A$
- $PC_{Increment} = T_1$
- $SP_{Increment} = T_3.D_7$
- $SP_{Decrement} = T_5.D_6$
- $IR_{Load} = T_1$
- $O_{1Load} = T_4.D_1.A' + T_4.D_1.A + T_4.D_2.A' + T_4.D_2.A + T_4.D_3.A' + T_4.D_3.A$
- $O_{2Load} = T_5.D_1.A' + T_6.D_1.A + T_5.D_2.A' + T_6.D_2.A + T_5.D_3.A' + T_6.D_3.A$
- $RFAR_{Load} = T_3.D_0 + T_3.D_6 + T_3.D_7 + T_3.D_1.A' + T_7.D_1.A' + T_9.D_1.A' + T_3.D_1.A + T_5.D_1.A + T_8.D_1.A + T_{10}.D_1.A + T_3.D_2.A' + T_7.D_2.A' + T_3.D_2.A + T_5.D_2.A + T_8.D_2.A + T_3.D_3.A' + T_7.D_3.A' + T_3.D_3.A + T_5.D_3.A + T_8.D_3.A + T_3.D_4.A' + T_5.D_4.A' + T_4.D_4.A + T_3.D_5.A' + T_5.D_5.A' + T_4.D_5.A$
- $RF\ Decoder\ Enable = T_4.D_0 + T_5.D_7 + T_8.D_1.A' + T_{10}.D_1.A' + T_9.D_1.A + T_{11}.D_1.A + T_8.D_2.A' + T_9.D_2.A + T_8.D_3.A' + T_9.D_3.A + T_6.D_4.A' + T_5.D_4.A + T_6.D_5.A' + T_5.D_5.A$
- $RF\ Decoder\ Enable = T_5.D_6 + T_5.D_1.A' + T_4.D_1.A + T_6.D_1.A + T_5.D_2.A' + T_4.D_2.A + T_6.D_2.A + T_5.D_3.A' + T_4.D_3.A + T_6.D_3.A + T_4.D_4.A' + T_4.D_5.A' + T_5.D_5.A$
- *Main Memory*
- $Read = T_1 + T_5.D_7 + T_6.D_4.A' + T_5.D_4.A$
- $Write = T_5.D_6 + T_6.D_5.A' + T_5.D_5.A$

تمرین سری دهم درس معماری کامپیوتر
طراحی کامپیوتر پایه
زمستان ۱۴۰۴

