

مدرس: حمیدرضا زرندی محل یا دفتر کار: طبقه چهارم زمان آرایه درس: یکشنبه، سه شنبه سایر اطلاعات (مانند Email و Tel.Homepage): http://www.aut.ac.ir/h_zarandi Tel: 645 42702 Email: h_zarandi@aut.ac.ir Course Homepage: http://courses.aut.ac.ir/fileserver/common/zarandi/Computer Architecture (BS)	هدف از درس: هدف از آرایه این درس آشنایی با ساختار و سازمان کامپیوتر، واحدهای حافظه، پردازنده و دستگاه‌های IO است. در این درس دانشجویان با ساختار داخلی پردازنده، با زبان توصیف سخت‌افزار، زبان انتقال ثبات (RTL)، طراحی واحد حسابی/منطقی، الگوریتم‌های جمع، تفریق، ضرب و تقسیم، نمایش اعشاری ممیز ثابت و شناور، الگوریتم فون-نیومن، طراحی مسیر داده، طراحی واحد کنترل سی‌م‌بندی شده، خط لوله، دستگاه‌های IO، سلسله مراتب حافظه، حافظه‌های ایستا و پویا آشنا خواهند شد. پیشنهاد: درس مدار منطقی
منابع اصلی: 1. D. Patterson, J. Hennessy, Computer Organization and Design: The Hardware/Software Interface , Morgan Kaufmann Publishers, Inc., 6th edition, 2020. 2. M. Mano, Computer System Architecture , Revised 3rd Edition, Prentice-Hall, 2017. 3. M. Mano, C.R. Kime, Logic and Computer Design Fundamentals , 5th Edition, Prentice-Hall, 2015. 4. W. S. Stallings, Computer Organization and Architecture , 11th Edition, Prentice-Hall, 2019. 5. V. C. Hamacher, Z. G. Vrasenic, and S. G. Zaky, Computer Organization , McGraw-Hill, 5th edition, 2002.	
نحوه ارزیابی: میان ترم (و کویز): ۳۵٪ پایان ترم (و کویز): ۴۵٪ تمرینات: ۱۵٪ پروژه و تحقیق: ۵٪ حضور و نظم: ۵٪ (قانون حذف ۳/۱۶ اجرا می‌شود) سایر: ۱۰٪+ جهت پروژه دیگر که نسبتاً سخت تر خواهد بود.	

برنامه درس / آزمایشگاه (حداقل در ۱۰ بند)

امکانات مورد نیاز/منابع/توضیح ات/تمرینات	تعداد جلسات	موضوع	ردیف
	۲	تعاریف معماری کامپیوتر، یادآوری اجزای سازنده مدار منطقی و تاریخچه کامپیوتر	۱
	۲	آشنایی با سلسله مراتب حافظه، محاسبه تأخیر دسترسی، حافظه‌های ایستا و پویا و ساختار داخلی آنها و حافظه‌های ROM, EPROM, E2PROM	۲
	۳	حافظه‌های نهان، مکانیزم‌های جایدهی، جایگزینی، کارایی	۳
	۲	طراحی واحد حسابی و منطقی، جمع‌کننده‌ها، تفریق‌کننده‌ها و محاسبه تأخیر و مساحت	۴
	۲	طراحی واحد ضرب‌کننده (ضرب‌کننده ترتیبی، آرایه‌ای، بوث) و تقسیم‌کننده	۵
	۲	نمایش اعداد اعشاری ممیز ثابت و شناور و الگوریتم‌های جمع و تفریق، ضرب و تقسیم آنها	۶
	۱	آشنایی با زبان توصیف سخت افزار و RTL	۷
	۱	کنترل انواع گذرگاه و مسیریابی، طراحی قالب دستورالعمل، ریز عملیات و ارتباطات مبتنی بر گذرگاه	۸
	۲	معماری RISC و CISC و شیوه‌های آدرس‌دهی الگوریتم فون-نیومن و طراحی مسیر داده	۹
	۲	طراحی واحد کنترل سی‌م‌بندی شده	۱۰
	۱	خط لوله، محاسبه میزان افزایش سرعت و مشکلات و راه حل‌های آن	۱۱
	۲	کارایی در حافظه نهان و کامپیوتر، محاسبه آن، قانون آمدا	۱۲

۱۳	شیوه‌های دسترسی به دستگاه‌های IO، انواع وقفه و پیاده‌سازی وقفه در پردازنده	۱
۱۴	دسترسی مستقیم به حافظه (DMA) و انواع انتقال ناهمگام	۱
۱۵	اشاره به روند توسعه کامپیوتر، Multi-Processors, Multi-Computers, Multi-Cores	۱
۱۶	پردازش موازی، پردازش گرافیکی و GPU	۱
ضمایم (در صورت وجود): الف) لیست کامل منابع ب) لیست تمرینات ج) لیست و توصیف پروژه‌ها، تحقیق و ارائه درس		

الف) لیست کامل منابع: (به ترتیب اولویت)

1. D. Patterson, J. Hennessy, **Computer Organization and Design: The Hardware/Software Interface**, Morgan Kaufmann Publishers, Inc., 6th edition, 2020.
2. M. Mano, **Computer System Architecture**, Revised 3rd Edition, Prentice-Hall, 2017.
3. M. Mano, C.R. Kime, **Logic and Computer Design Fundamentals**, 5th Edition, Prentice-Hall, 2015.
4. W. S. Stallings, **Computer Organization and Architecture**, 11th Edition, Prentice-Hall, 2019.
5. V. C. Hamacher, Z. G. Vrasenich, and S. G. Zaky, **Computer Organization**, McGraw-Hill, 5th edition, 2002.
6. B. Parhami, **Computer Arithmetic-Algorithms and Hardware Designs**, Oxford Univ. Press, 2010.
7. J. Bhasker, **Verilog HDL Primier**, 2003.
8. G. Moore paper, 1965.

* بخش عمده ای از مراجع به صورت الکترونیکی بر روی سرور fileserver قابل دسترسی می‌باشد.

ب) لیست تمرینات

۱. تعاریف Write time, Read time, Cycle time, Access time و مشخص کردن تفاوت آنها
۲. شبیه سازی انواع حافظه نهان
۳. نمونه برداری از آدرسهای درخواستی حافظه، تحلیل با استفاده از شبیه ساز و محاسبات آماری و نتیجه گیری
۴. حافظه مجازی و حافظه برگ برگ شده
۵. پیاده سازی مدار جمع کننده و تفریق کننده در proteus
۶. پیاده سازی مدار ضرب کننده و تقسیم کننده در proteus
۷. پیاده سازی مدارهای جمع، تفریق، ضرب و تقسیم ممیز شناور در proteus
۸. پیاده سازی واحد کنترل پردازنده به روش سیم بندی شده در proteus
۹. محاسبه تقریبی MIPS و کارایی سیستم و بررسی قانون آمدال
۱۰. خط لوله، محاسبه میزان افزایش سرعت
۱۱. سیستم های چند پردازنده ای، پردازش موازی و GPU

ج) لیست و توصیف پروژه های درس

۱. طراحی و پیاده سازی کامل مدار یک حافظه نهان در proteus
۲. طراحی و پیاده سازی کامل واحد محاسبات منطقی ALU در proteus
۳. طراحی و پیاده سازی یک سیستم کامپیوتری کامل و بارگذاری و اجرای یک برنامه نمونه بر روی آن در proteus
۴. ارتقای سیستم کامپیوتری طراحی شده در مرحله قبل برای پشتیبانی در خط لوله، وقفه و دستگاههای ورودی/خروجی