



## درس مدارهای منطقی

تکلیف کامپیوتری اول: آشنایی با زبان توصیف سخت افزار SystemVerilog و نرم افزار شبیه ساز

### Modelsim

دانشکده فنی دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

دکتر بیژن علیزاده

نیم سال اول سال تحصیلی ۱۴۰۳-۰۴

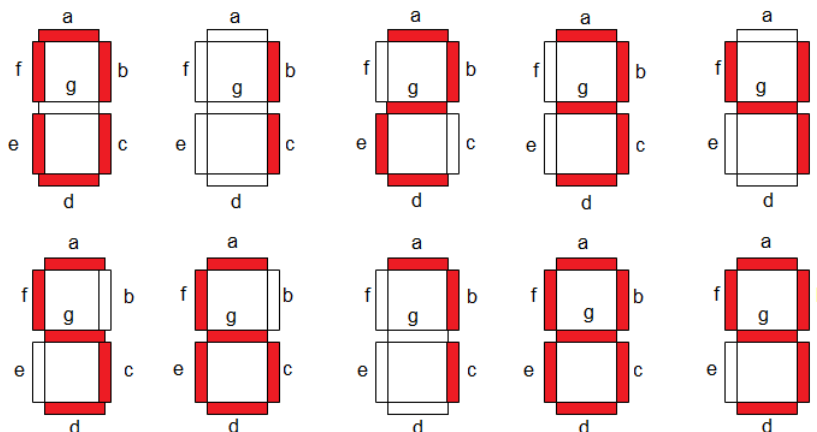
دستیاران آموزشی: مهرباب محمدحسینی، امیرحسین یآوری خو

mehrab.mhosseini@ut.ac.ir

amirhoseinyavari13@gmail.com

### سوال ۱: طراحی ماژول Seven Segment Decoder

یکی از راه های رایج برای نمایش اعداد Decimal در مدارهای دیجیتال استفاده از نمایشگر هفت قسمتی<sup>۱</sup> است که در بخش های مختلفی از صنعت مثل ساعت های دیجیتالی، چراغ راهنما، آسانسور و... کاربرد دارد. هدف از این سوال، طراحی و شبیه سازی این ماژول با استفاده از زبان توصیف سخت افزار SystemVerilog می باشد. این ماژول در ورودی یک عدد ۴ بیتی دریافت کرده و در خروجی ۷ بیت مختلف a تا g را نمایش می دهد. در شکل ۱ نحوه خروجی آن به ازای اعداد صفر تا ۹ مشخص شده است. به عنوان مثال برای نمایش عدد ۳ روی نمایشگر باید خروجی های a، b، c، d و g یک شوند. در این ماژول به دلیل استفاده از تنها یک 7-Segment فقط اعداد صفر تا ۹ را می توان نمایش داد. به همین دلیل در این آزمایش مقادیر ۱۰ تا ۱۵ را don't care در نظر می گیریم.



شکل ۱: نحوه نمایش اعداد صفر تا ۹ با نمایشگر هفت قسمتی

<sup>1</sup> Seven segment display

الف) در این مدار w، x، y و z را به عنوان ورودی در نظر گرفته و برای هر کدام از ۷ خروجی، با استفاده از جدول کارنو عبارت منطقی توصیف‌کننده‌ی آن را به فرم SOP بنویسید. توجه شود که w، x، y و z بعنوان یک عدد ۴ بیتی دیده می‌شود، به طوریکه w پرارزش‌ترین بیت (MSB) و z کم ارزش‌ترین بیت (LSB) می‌باشند. سپس با استفاده از گیت‌های NOT، AND و OR شماتیک مدار در سطح گیت را ترسیم کنید. جدول کارنو و شماتیک نهایی مدار به ازای هر خروجی در گزارش آورده شود. (۲۰ درصد نمره)

ب) طراحی این ماژول را با زبان SystemVerilog به صورت Structural انجام دهید (تاخیر گیت‌های NOT، AND و OR را به ترتیب برابر ۱، ۲ و ۳ نانو ثانیه در نظر بگیرید). دقت کنید که فرم ماژول مانند شکل ۲ باشد. یعنی خروجی را به صورت یک بردار ۷ بیتی gfedcba در نظر بگیرید به طوری که خروجی a تا g به ترتیب LSB تا MSB را شامل شوند. همچنین عدد ورودی چهاربیتی را به صورت wxyz در نظر بگیرید و w تا z به ترتیب MSB تا LSB را شامل شوند. (۳۰ درصد نمره)

```
module sevenSegmentDecoder(input w,x,y,z, output[6:0] out);  
    /* Write your code here */  
endmodule
```

شکل ۲: ساختار ماژول خواسته‌شده

ج) حال می‌خواهیم درستی‌سنجی (Verification) ماژولی که در قسمت ب نوشته شد را انجام دهیم. برای این کار، با استفاده از شبیه‌ساز Modelsim و نوشتن testbench، با نمایش شکل موج‌های ورودی و خروجی، صحت عملکرد ماژول را برای تمام مقادیر ورودی نشان دهید. برای ۳ ورودی مختلف، خروجی مدار را بازبینی و تحلیل کنید. ذکر مقدار دقیق تأخیرها و محاسبات آنها به ازای هر خروجی تولید شده در گزارش اجباری است. (۳۰ درصد نمره)

د) مدار بدست آمده در قسمت الف را به صورت Behavioral با زبان SystemVerilog طراحی کنید. سپس با همان testbench نوشته شده در قسمت ج، عملکرد این ماژول را نیز بررسی کرده و نتایج را با شکل موج‌های قسمت ج مقایسه کنید. بدین منظور، با استفاده از کلیدواژه assign به ازای هر کدام از خروجی‌ها، رفتار ورودی را توصیف کنید. (۲۰ درصد نمره)

## نکات تحویل:

۱. در صورت وجود مشکل یا ابهام به ایمیل دستیاران آموزشی مراجعه کنید.
۲. متن گزارش به صورت تایپ شده باشد ولی رسم گیت‌ها و جدول کارنو می‌تواند دستی باشد. دو پوشه مجزا برای کدها و گزارش در نظر گرفته شود. از مراحل مختلف شبیه‌سازی و صحت‌سنجی تصاویر کافی قرار دهید.
۳. گزارش و فایل‌های مربوط به تمرین را در یک فولدر zip کنید و با نام DLD\_CA#1\_StudentNumber تحویل دهید.
۴. در صورت مشاهده هرگونه شباهت در کدها نمره صفر لحاظ می‌گردد.

با آرزوی بهترین‌ها برای شما