

组合逻辑基础

多级门电路

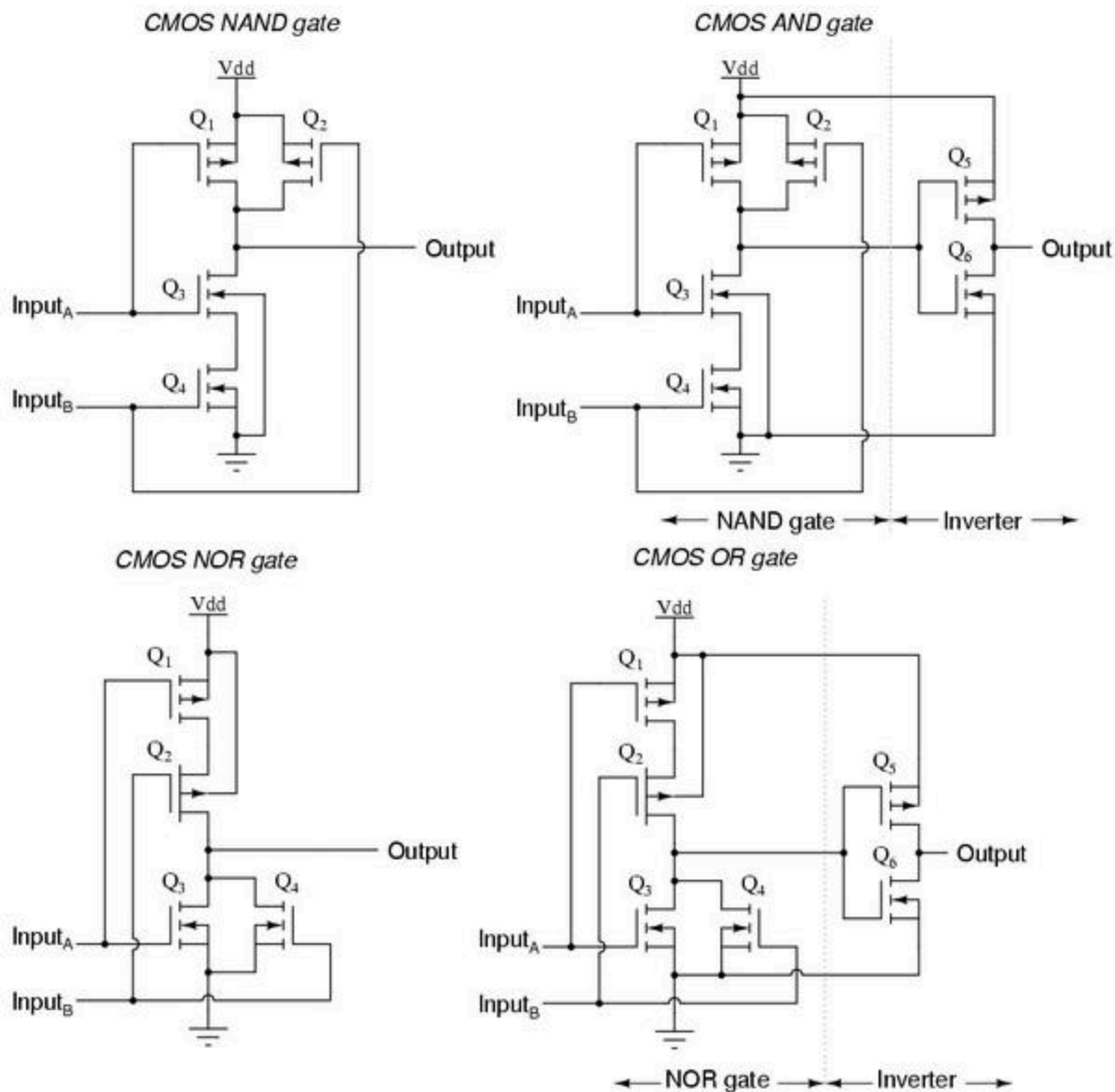
多级门电路指的是由逻辑门一层一层相连而形成的电路。具体地，其中一些逻辑门的输出引脚接在了另外一些逻辑门的输入引脚上。

多级门电路的「级」数指的是输入和输出之间相隔逻辑门层数的最大值，其中不包括非门。

两级门电路

两级门电路是最简单的门电路。任何一种组合逻辑最终都可以用两级门电路来实现（理论依据：前文章中提到的「最大项」和「最小项」）。

由于与非门和或非门相比其他逻辑门电路更加简单、性能更好、价格更低，因此这里特别介绍如何使用这两种逻辑门实现两级门电路。

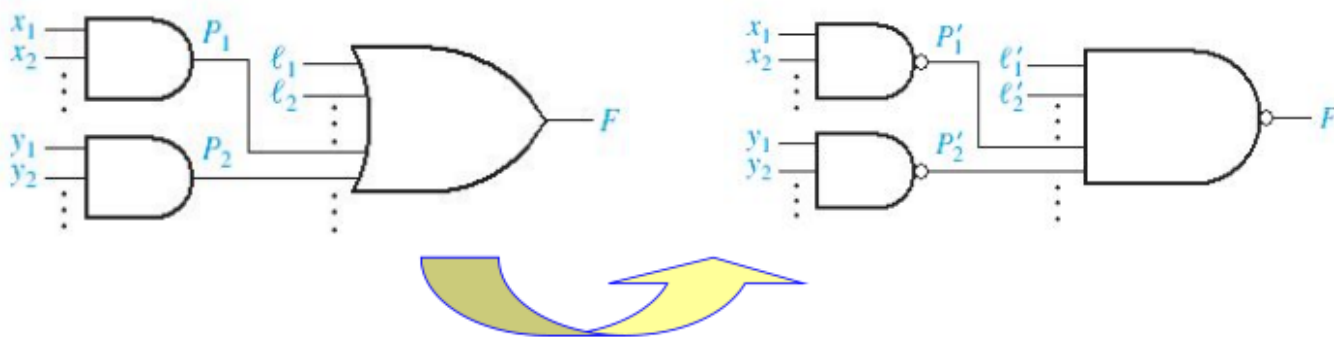


CMOS 与门、与非门、或门和或非门。观察上面的晶体管级电路不难发现，与门、或门其实就是与非门和或非门再接一个非门。

与非门电路

给出一个已经化简的「积之和」电路（或者说，最小项），下面的方法可以将它转换成全与非门电路。

- 把所有逻辑门全部换成与非门。
- 翻转最后一个逻辑门（输出处的逻辑门）的所有单独的输入。



另外，我们也可以通过两次取反再化简的方法来得到全与非门电路。例如，有 $F = A'B + AB'$ ，取反得到 $F' = (A'B + AB')' = (A'B)'(AB')'$ ，再取反就有 $F = (F')' = \overline{\overline{A'B} \cdot \overline{AB'}}$ 。

或非门电路

给出一个已经化简的「和之积」电路（或者说，最大项），下面的方法可以将它转换成全或非门电路。

- 把所有逻辑门全部换成或非门。
- 翻转最后一个逻辑门（输出处的逻辑门）的所有单独的输入。

另外，我们也可以通过两次取对偶的方法来得到全或非门电路。

多输出电路

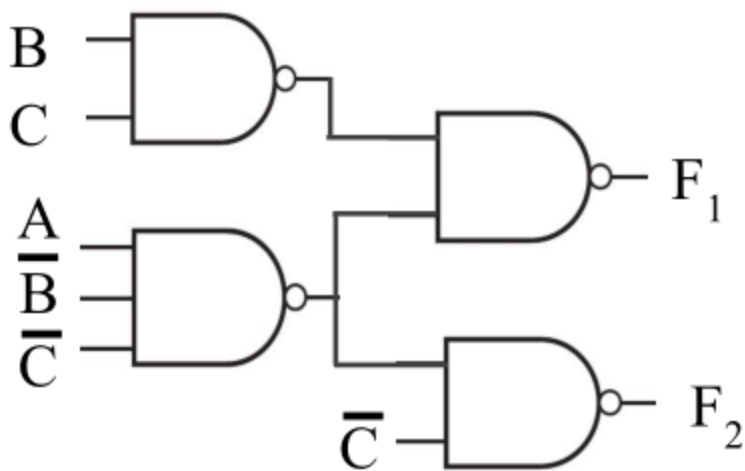
多输出电路有至少两个输出端。对于这样的电路设计，我们不应该追求每一个输出端电路的最简，而应该考虑逻辑门的复用，实现整体的最简。利用卡诺图可以寻找出实现整体最简的共享项。

例如，对于 $F_1 = C + AB'$, $F_2 = BC + AB'C'$ ，我们画出两者的卡诺图：

		F_1			
		BC			
A	BC	00	01	11	10
	0	0	1	1	0
1	1	1	1	1	0

		F_2			
		BC			
A	BC	00	01	11	10
	0	0	0	1	0
1	1	1	0	1	0

发现二者可以共享 $AB'C'$ 这一项。这样整体的电路如下



险象与消除

所谓险象是由于实际的逻辑门元件存在延迟，即，输出信号会比输入信号晚一些产生造成的。

下表中，对于输出逻辑门来说，它的两个输入引脚的信号**并不是**完全同时到达逻辑门的——由于非门翻转需要时间，下方引脚的信号略迟于上方引脚。这导致原本恒成立的 $A + A' = 1$ 和 $AA' = 0$ 中间存在一个「空窗期」，造成了电路中的毛刺。

存在竞争的电路	险象

上表中展示的两种险象被叫做静态冒险，前者由 $A + A'$ 这种形式产生，即原本应该恒为 1 的电路中有一个产生 0 的毛刺，称为静态 1 冒险；后者由 $A \cdot A'$ 这种形式产生，即原本应该恒为 0 的电路中有一个产生 1 的毛刺，称为静态 0 冒险。

通过卡诺图可以快速地找出逻辑电路中是否存在冒险。首先画出卡诺图以及逻辑电路对应的蕴含项，然后找出其中是否存在相切的蕴含项。例如，对于 $F = A'C + B'C$ ：

AB		00	01	11	10
C	0		1	1	
	1	1	1		

这说明当 $A = 0, B = 1$ 时, 存在 $C + C'$ 这样的险象, 即静态 1 冒险。

消除险象只需要添加一个蕴含项包住这条相切的边。对于上面的例子, 添加这样的新蕴含项:

AB		00	01	11	10
C	0		1	1	
	1	1	1		

也就是添加 $A'B$ 项, 就可以消除险象了。