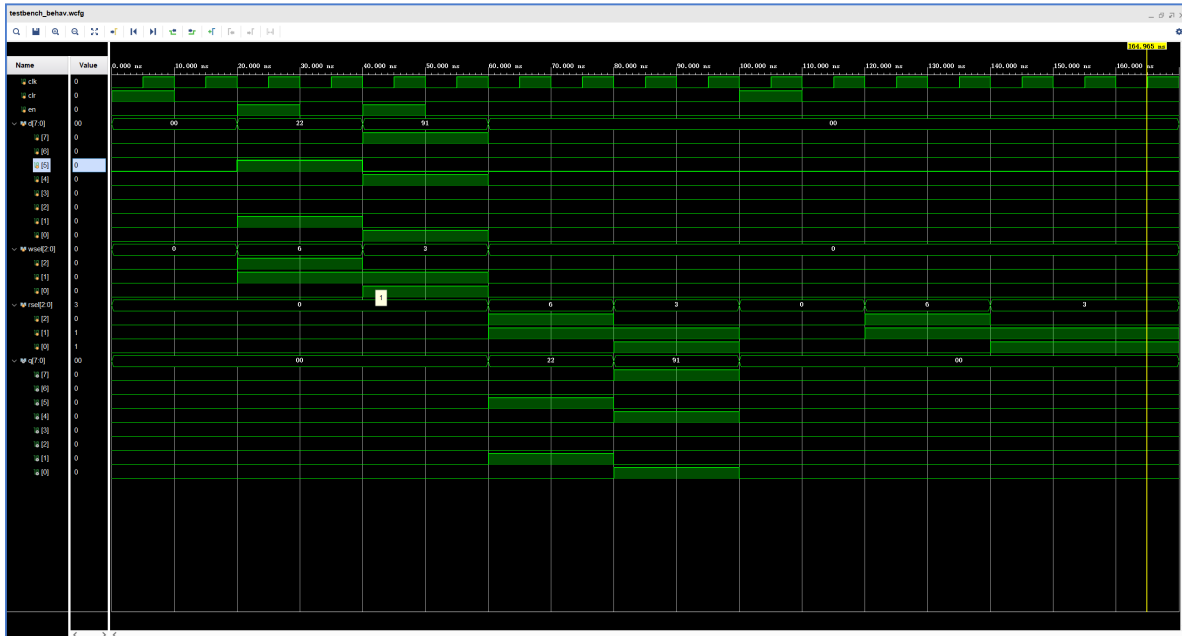


数逻实验一报告

信息学部计算机与电子通信7班 2023311704 王昕远 t2 612

大二秋实验一：寄存器

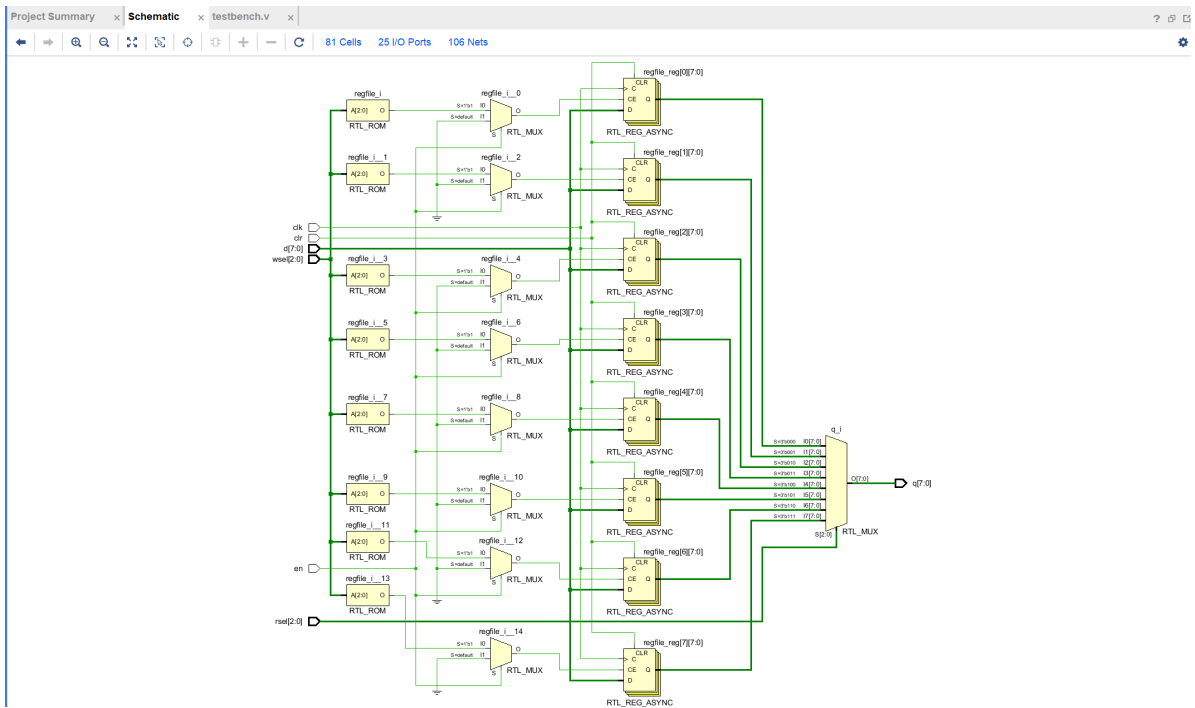
1 寄存器



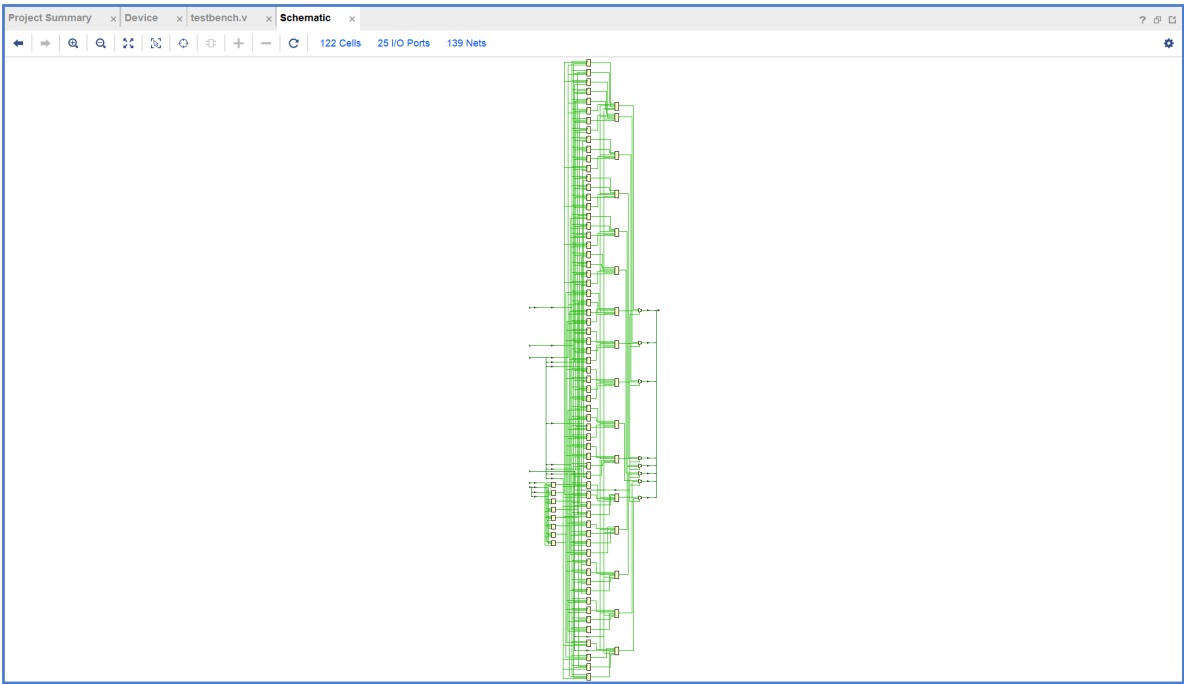
信号说明：复位信号 clr 、使能 en 、数据 d 为输入， q 为输出

从波形可以看出：

- (1) 寄存器初始复位：0-10ns， clr 为1处于复位态，输出 q 一直为0。
- (2) 寄存器110写入：20ns-30ns， clr 为0， en 为1，输入 d 变为00100010，在时钟上升沿到来的时候存储；
- (3) 寄存器011写入：40ns-50ns， clr 为0， en 为1，输入 d 变为10010001，在时钟上升沿到来的时候存储；
- (4) 寄存器110读取：60ns-80ns， clr 为0， d 变为0，输出 q 读出寄存器中存储的值00100010；
- (5) 寄存器011读取：80ns-100ns， clr 为0， d 变为0，输出 q 读出寄存器中存储的值10010001；
- (6) 寄存器异步清零：100ns-110ns， clr 为1，寄存器储存的数据在复位 clr 变为1的同时立刻变为0，异步清零。
- (7) 寄存器110读取：120ns-140ns， clr 为0，输出 q 读出寄存器中存储的值00000000；
- (8) 寄存器011读取：140ns-160ns， clr 为0，输出 q 读出寄存器中存储的值00000000；

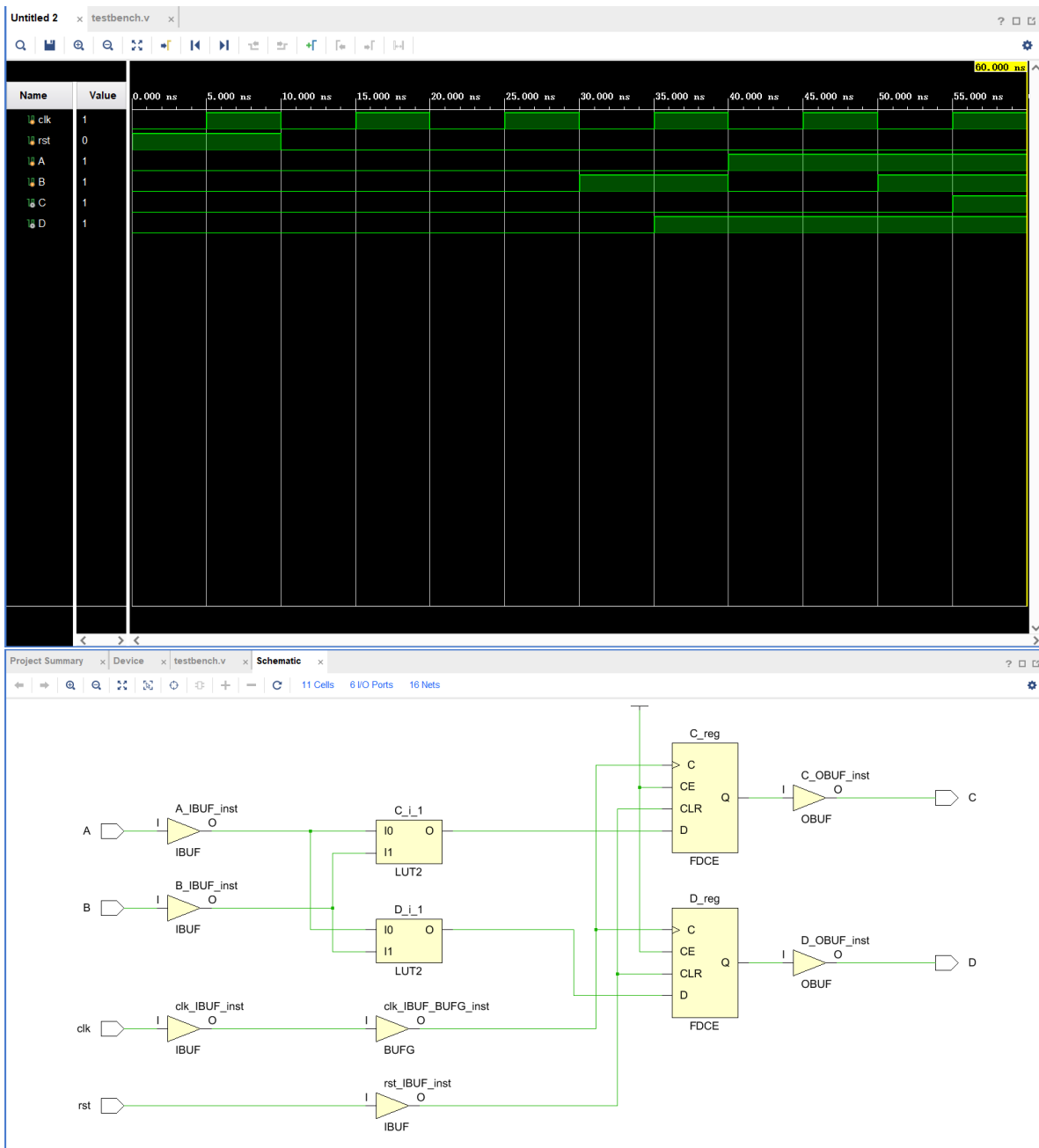


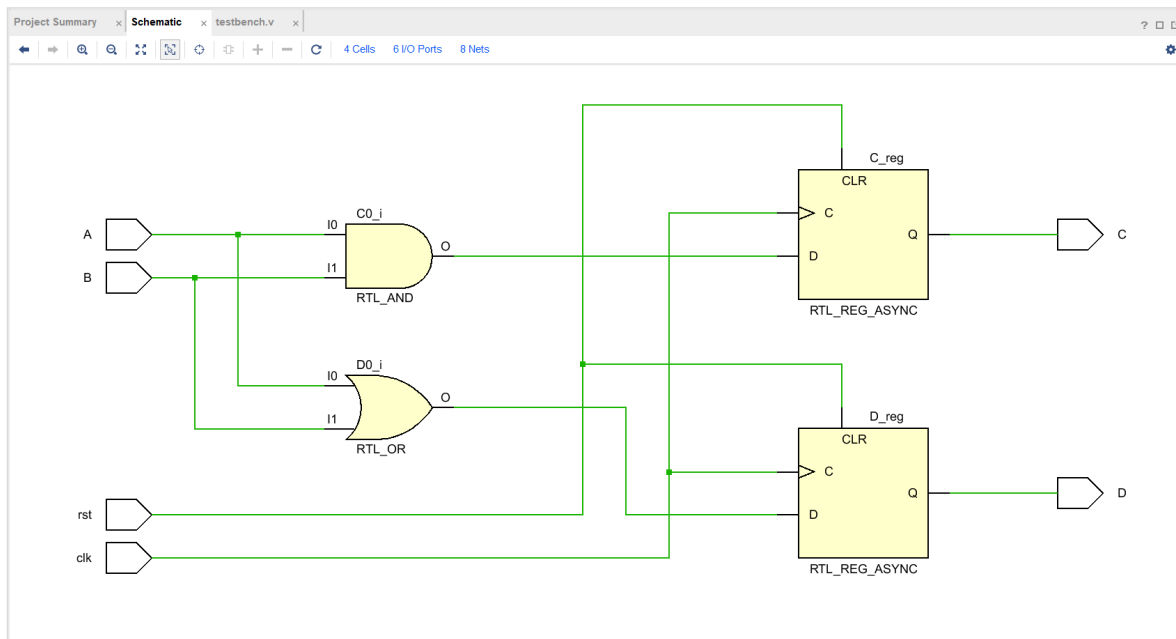
RTL Analysis



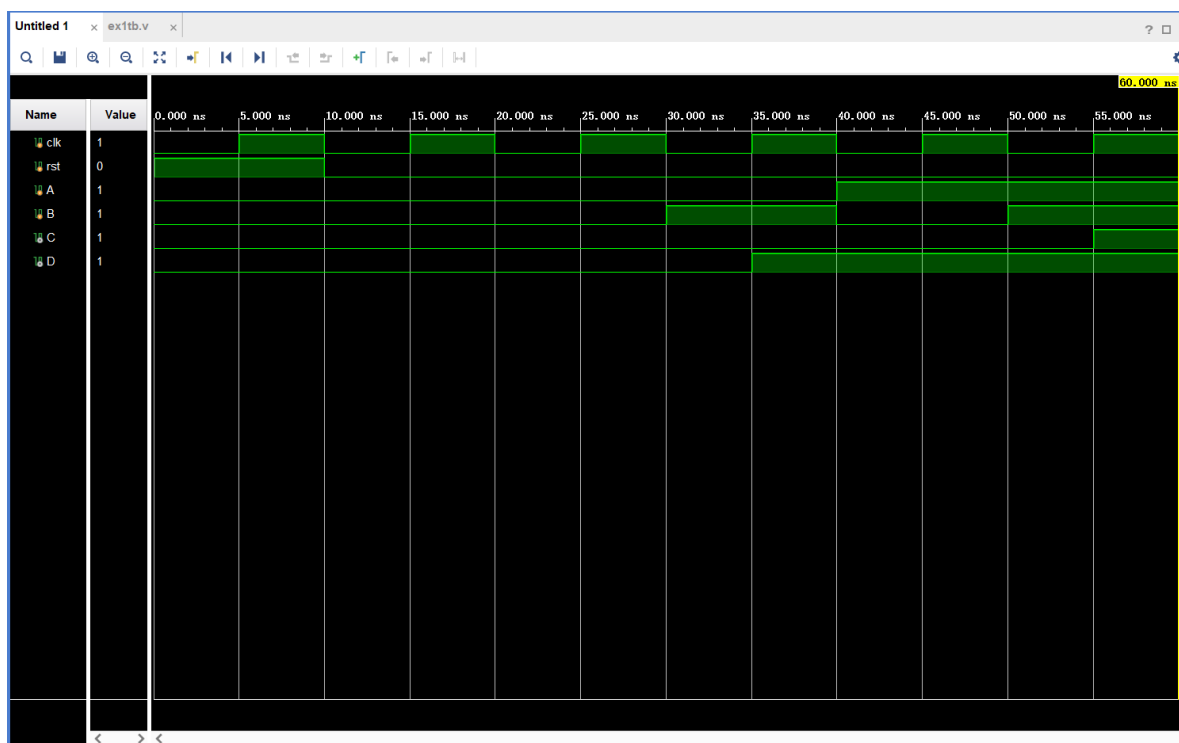
Synthesis schematic

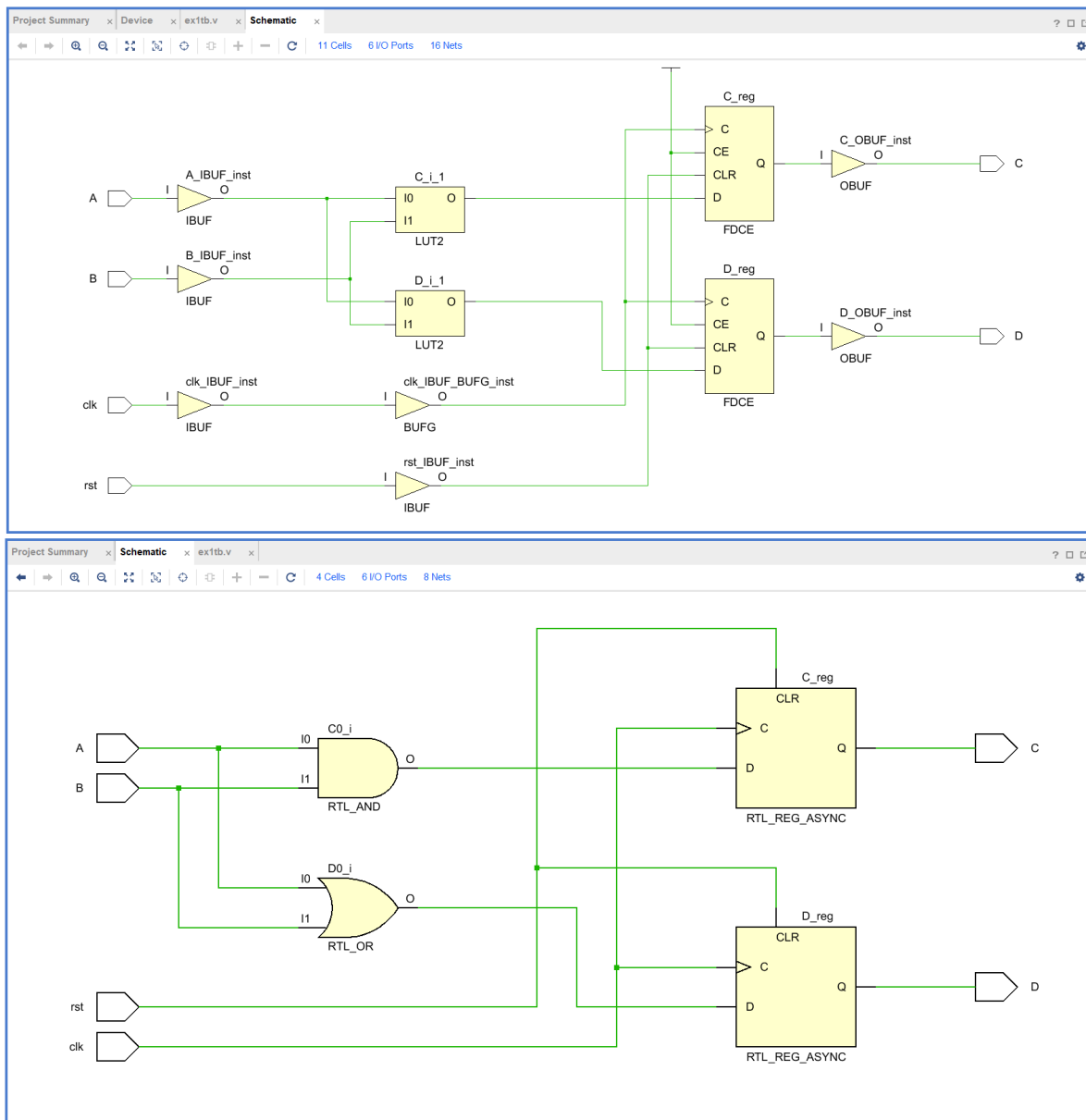
2 阻塞





3 无阻塞





4 分析

阻塞赋值适合在组合逻辑中使用，因为它按照顺序执行，然后理解与调试。

非阻塞赋值适合在时序逻辑中使用，因为它更符合硬件中的硬件更新行为，避免产生不期望的时序问题。在该实验中的三张图并未体现出差异。