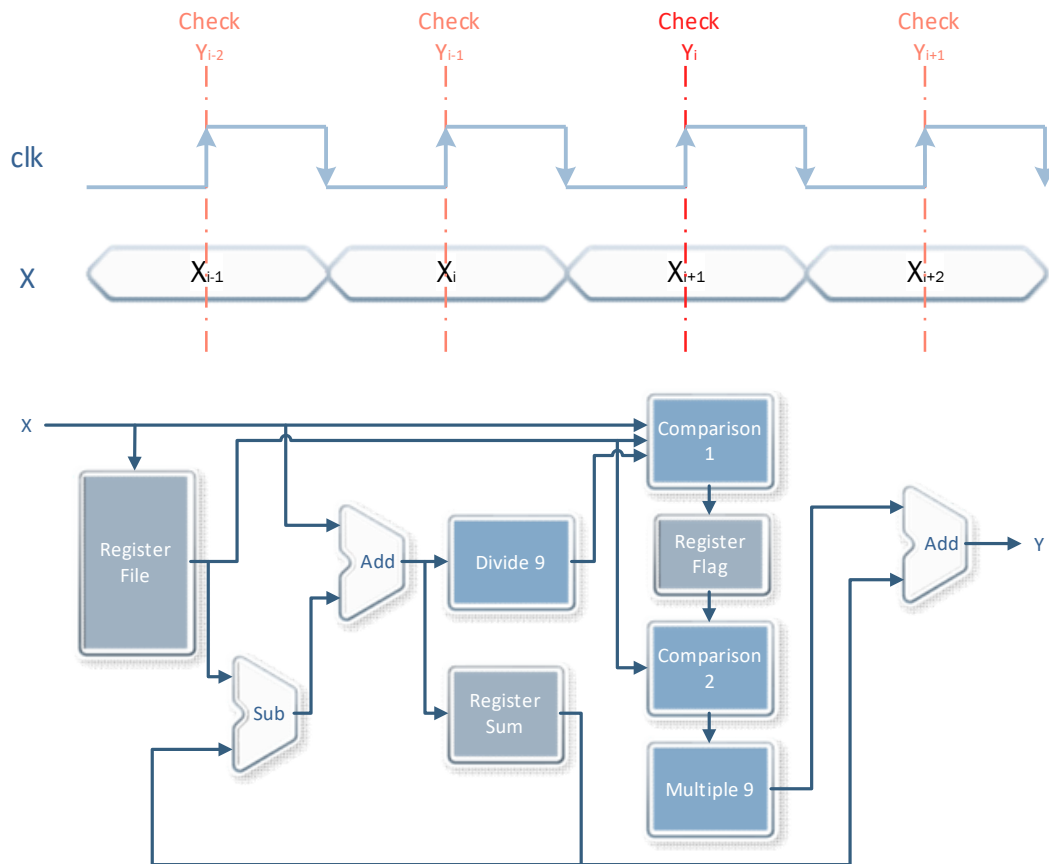


2017 Digital IC Design Homework 3: Approximate Average

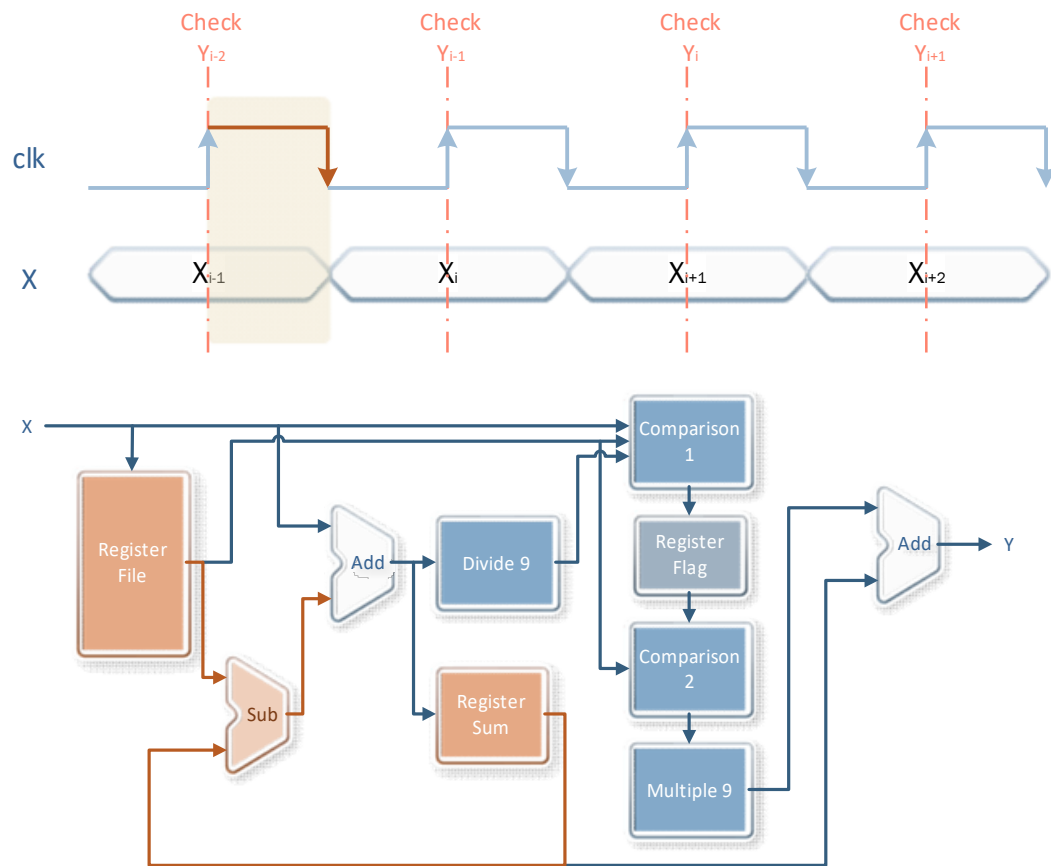
NAME	沈育同				
Student ID	P76061386				
Simulation Result					
Functional simulation	Pass	Gate-level simulation	Pass	Gate-level simulation time	75350 (ns)
<pre># ----- # ----- # ----- # All data have been generated successfully! # -----PASS----- # ----- # ----- # ** Note: \$finish : /home/yutongshen/HW3/testfixture.v(122) # Time: 40080 ns Iteration: 2 Instance: /test</pre>			<pre># ----- # ----- # ----- # All data have been generated successfully! # -----PASS----- # ----- # ----- # ** Note: \$finish : /home/yutongshen/HW3/testfixture.v(122) # Time: 75350400 ps Iteration: 2 Instance: /test</pre>		
Synthesis Result					
Total logic elements			314		
Total memory bit			0		
Embedded multiplier 9-bit element			0		
<div><div>Flow Summary</div><div><div>Flow Status</div><div>Successful - Fri Nov 24 01:04:38 2017</div></div><div><div>Quartus II Version</div><div>10.0 Build 262 08/18/2010 SP 1 SJ Full Version</div></div><div><div>Revision Name</div><div>CS</div></div><div><div>Top-level Entity Name</div><div>CS</div></div><div><div>Family</div><div>Cyclone II</div></div><div><div>Device</div><div>EP2C70F896C8</div></div><div><div>Timing Models</div><div>Final</div></div><div><div>Met timing requirements</div><div>Yes</div></div><div><div>Total logic elements</div><div>314 / 68,416 (< 1 %)</div></div><div><div>Total combinational functions</div><div>314 / 68,416 (< 1 %)</div></div><div><div>Dedicated logic registers</div><div>93 / 68,416 (< 1 %)</div></div><div><div>Total registers</div><div>93</div></div><div><div>Total pins</div><div>20 / 622 (3 %)</div></div><div><div>Total virtual pins</div><div>0</div></div><div><div>Total memory bits</div><div>0 / 1,152,000 (0 %)</div></div><div><div>Embedded Multiplier 9-bit elements</div><div>0 / 300 (0 %)</div></div><div><div>Total PLLs</div><div>0 / 4 (0 %)</div></div></div>					

Description of your design



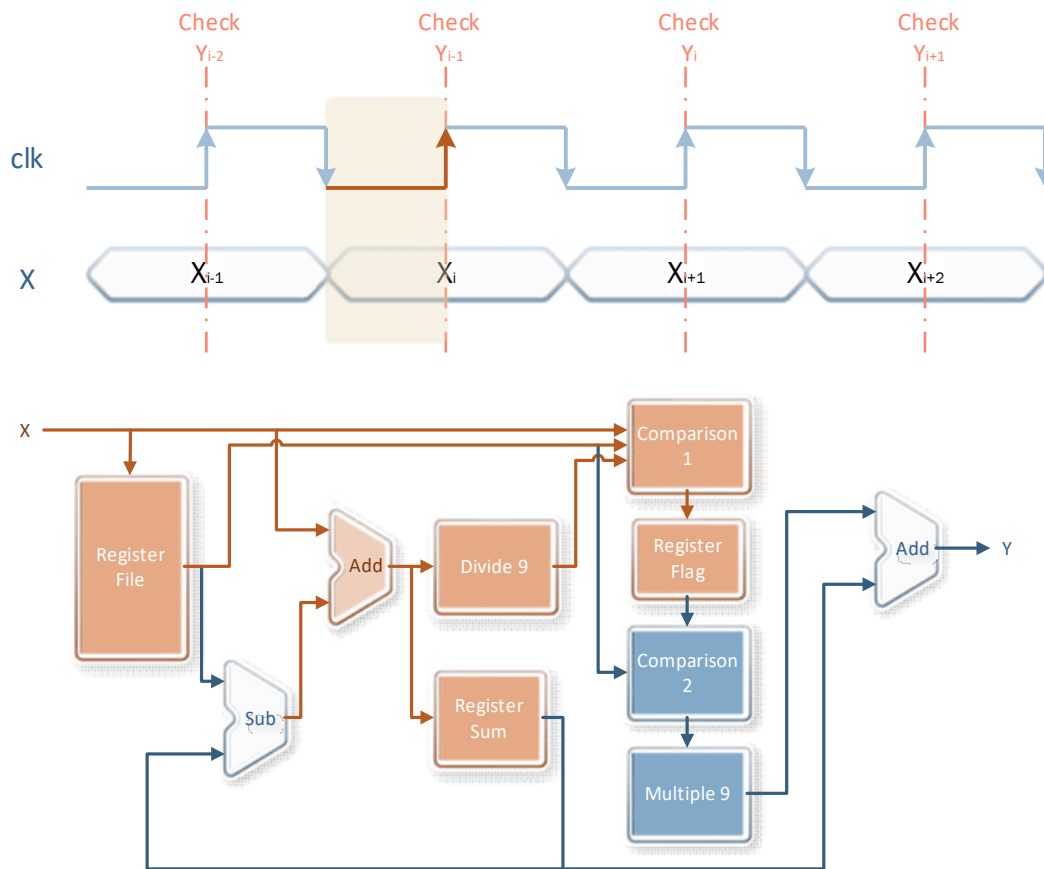
本電路如上圖所示，Register File、Register Sum、Register Flag 皆為正緣觸發之暫存器(Flip-Flop)，其餘區塊皆為組合電路，為計算出 Y_i 並壓縮工作週期，本電路在檢查完 Y_{i-2} 後便開始 Y_i 的運算，然而在檢查完 Y_{i-2} 後的時間點 Register File 內存放著 $X_{i-9} \sim X_{i-1}$ 等 9 筆資料、Register Sum 內存放著 $X_{i-9} \sim X_{i-1}$ 總和值 Sum_{i-1} ，其步驟如下：

step 1.



本階段將 Register Sum 中 Sum_{i-1} 值讀出並與 Register File 中 X_{i-1} 相減，接著等待著下一階段 X_i 值進入。(參照橘色路徑)

step 2.



- X_i 值在 Register File 外等待 clk 正緣觸發準備寫入 Register File。
- Step 1.之 Sum_{i-1} 與 X_{i-9} 相減後，再與 X_i 相加即為 $X_{i-8} \sim X_i$ 總和值 Sum_i ，並在 Register Sum 外等待 clk 正緣觸發準備寫入 Register Sum。
- $X_{i-7} \sim X_i$ 總和值 Sum_i 經過一個除法電路^[註 1]運算出 $X_{i-8} \sim X_i$ 之平均值 X_{avg_i} 。
- Comparison 1 電路將 $X_{i-8} \sim X_i$ 分別與 X_{avg_i} 作比較，建立對應的 9 個 Flag，紀錄各別比較結果，即大於 X_{avg_i} 者 Flag 設為 1，其餘設為 0，並在 Register Flag 外等待 clk 正緣觸發準備寫入 Register Flag。

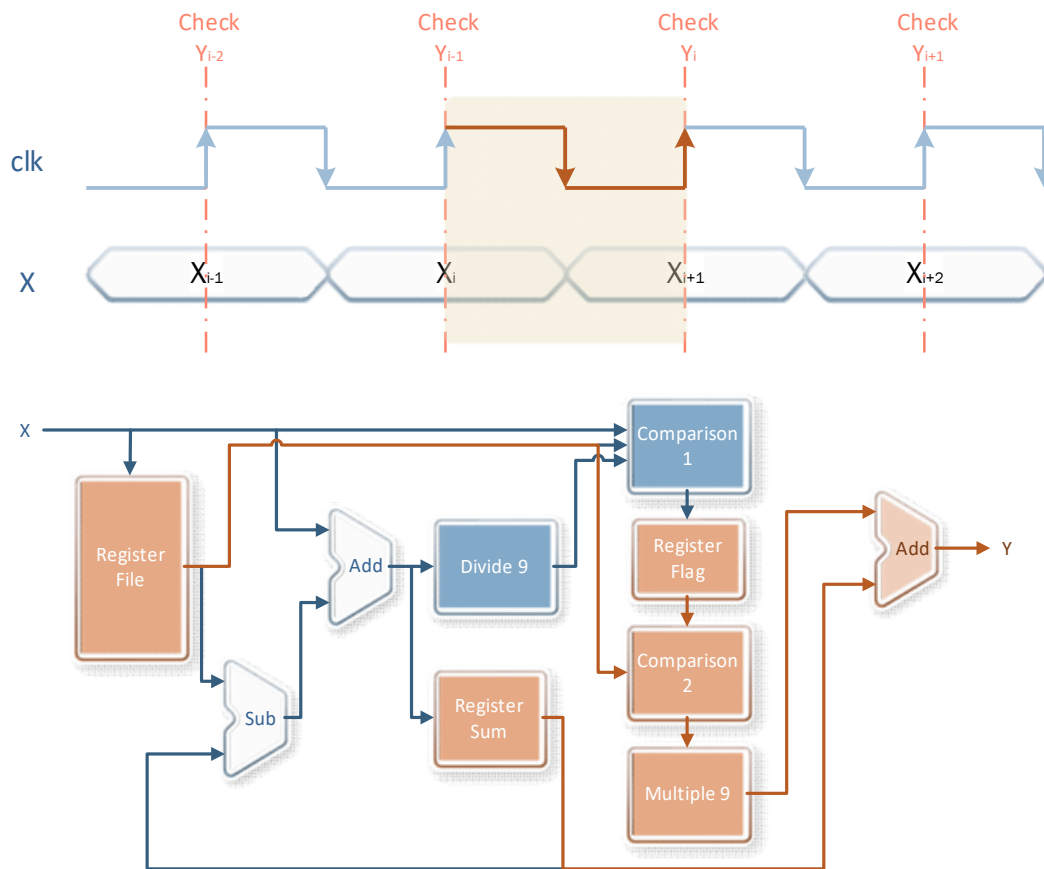
註 1：本除法電路是由 3 個加法器完成，原本取平均值需除以 9，也就是乘以 $1/9$ ，然而 $1/9$ 即為 $(0.\bar{1})_{10}$ 亦或

$(0.000111)_2$ ，為加速電路運算，本電路改為乘以 $(0.000111000111000111001)_2$ ，雖然比原本的

$(0.000111)_2$ 多了 2^{-22} 以內，但不足以影響 8 bits 數字(X_{avg_i})的進位，接著以 Booth Algorithm 的思路完成 Sum_i

與 $(0.000111000111000111001)_2$ 的乘法運算。

step 3.



- 讀取 Register Flag 及 $X_{i-8} \sim X_i$ 進入 Comparison 2 電路內，比較出 $X_{i-8} \sim X_i$ 中小於等於 $X_{avg\ i}$ 且較大的數字 $X_{appr\ i}$ 。
- 將 $X_{appr\ i}$ 乘以 9 後^[註 2]，與 Sum_i 相加，最後相加的結果取第 3 個 bit 以左的數字（除以 8）即為 Y_i

註 2：9 為 $(1001)_2$ 故將 $X_{appr\ i}$ 左移 3，再加 $X_{appr\ i}$ 後，即為 $X_{appr\ i}$ 乘以 9。

$$\begin{aligned}
 \text{Scoring} &= (\text{Total logic elements} + \text{total memory bit} + 9 * \text{embedded multiplier 9-bit element}) \times (\text{gate-level simulation time in ns}) \\
 &= (314 + 0 + 9 * 0) * 75350 = \underline{23659900}
 \end{aligned}$$