2017 Digital IC Design Homework 3: Approximate Average

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| NAME | | 沈育同 | | | | | | |
| Student ID | | P76061386 | | | | | | |
| **Simulation Result** | | | | | | | | |
| Functional simulation | Pass | | Gate-level simulation | Pass | | | Gate-level simulation time | 75350 (ns) |
|  | | | | | |  | | |
| **Synthesis Result** | | | | | | | | |
| Total logic elements | | | | | 314 | | | |
| Total memory bit | | | | | 0 | | | |
| Embedded multiplier 9-bit element | | | | | 0 | | | |
|  | | | | | | | | |
| **Description of your design** | | | | | | | | |
| 本電路如上圖所示，Register File、Register Sum、Register Flag皆為正緣觸發之暫存器(Flip-Flop)，其餘區塊皆為組合電路，為計算出Yi並壓縮工作週期，本電路在檢查完Yi-2後便開始Yi的運算，然而在檢查完Yi-2後的時間點Register File內存放著Xi-9 ~ Xi-1等9筆資料、Register Sum內存放著Xi-9 ~ Xi-1總和值Sum i-1，其步驟如下：  step 1.    本階段將Register Sum中Sum i-1值讀出並與Register File中Xi-9相減，接著等待著下一階段Xi值進入。（參照**橘色**路徑）  step 2.     1. Xi值在Register File外等待clk正緣觸發準備寫入Register File。 2. Step 1.之Sum i-1與Xi-9相減後，再與Xi相加即為Xi-8 ~ Xi總和值Sum i，並在Register Sum外等待clk正緣觸發準備寫入Register Sum。 3. Xi-7 ~ Xi總和值Sum i經過一個除法電路[註1]運算出Xi-8 ~ Xi之平均值Xavg i。 4. Comparison 1電路將Xi-8 ~ Xi分別與Xavg i作比較，建立對應的9個Flag，紀錄各別比較結果，即大於Xavg i者Flag設為1，其餘設為0，並在Register Flag外等待clk正緣觸發準備寫入Register Flag。   註1：本除法電路是由3個加法器完成，原本取平均值需除以9，也就是乘以1/9，然而1/9即為亦或，為加速電路運算，本電路改為乘以，雖然比原本的多了2-22以內，但不足以影響8 bits數字(Xavg i)的進位，接著以Booth Algorithm的思路完成Sum i與的乘法運算。  step 3.     1. 讀取Register Flag及Xi-8 ~ Xi進入Comparison 2電路內，比較出Xi-8 ~ Xi中小於等於Xavg i且較大的數字Xappr i。 2. 將Xappr i乘以9後[註2]，與Sum i相加，最後相加的結果取第3個bit以左的數字（除以8）即為Yi   註2：9為故將Xappr i左移3，再加Xappr i後，即為Xappr i乘以9。 | | | | | | | | |

*Scoring = (Total logic elements + total memory bit + 9\*embedded multiplier 9-bit element) (gate-level simulation time in ns)*

= (314 + 0 + 9 \* 0) \* 75350 = 23659900