2017 Digital IC Design

Homework 4: Edge-Based Line Average interpolation

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| NAME | | 沈育同 | | | | | | | |
| Student ID | | P76061386 | | | | | | | |
| **Simulation Result** | | | | | | | | | |
| Test pattern 1 | Functional simulation | | Pass | Gate-level simulation | | | Pass | Gate-level simulation time | 2433.740 ns |
| Test pattern 2 | Functional simulation | | Pass | Gate-level simulation | | | Pass | Gate-level simulation time | 2433.740 ns |
|  | | | | | |  | | | |
| **Synthesis Result** | | | | | | | | | |
| Total logic elements | | | | | 341 | | | | |
| Total memory bit | | | | | 0 | | | | |
| Embedded multiplier 9-bit element | | | | | 0 | | | | |
|  | | | | | | | | | |
| **Description of your design** | | | | | | | | | |
| **FSM設定：**  本電路使用兩種狀態，初始化為狀態0，故只需1bit儲存current state。    **Register File存取資料模式：**  本電路使用的Register File共19個，儲存in\_data分為兩種模式：  模式1為將in\_data放置到data[18]，然後把所有data往前位移。    模式2為將data[3]放置到data[18]，然後把data[4]~data[18]往前位移。    **FSM運作：**  狀態0時，Register File採用模式1推進資料，out\_data不斷的輸出data[18]資料。  狀態1分為兩部分：  前16 cycle，Register File採用模式1推進資料，計算out\_data方式為下圖。    故本電路採用下圖電路切割pipeline，其中data[3]與data[2]之間的MUX是為解決Register File推進資料模式改變後的第1個cycle造成資料位置差異而設立。    後16 cycle，Register File採用模式2推進資料，out\_data不斷的輸出data[16](因配合pipeline設計，in\_data與out\_data存在2 cycle delay，故需取data[16])資料。 | | | | | | | | | |

*Scoring = (Total logic elements + total memory bit + 9\*embedded multiplier 9-bit element) (longest gate-level simulation time in ns)*

**= (341 + 0 + 9 \* 0) \* 2,433.74 = 829,905**