

2017 Digital IC Design

Homework 6: Frequency Analysis System

NAME	沈育同		
Student ID	P76061386		
Simulation Result			
Testfixture 1			
Functional RANK	A		
Gate-level RANK	A		
Gate-level simulation time	16323.090 ns		
Testfixture 2			
Functional RANK	A		
Gate-level RANK	A		
Gate-level simulation time	16323.090 ns		
<pre># ----- # # Congratulations! All data have been generated successfully! # # -----PASS----- # # ** Note: \$finish : /home/yutongshen/HW6/testfixture1.v(240) # Time: 16323090 ps Iteration: 0 Instance: /testfixture1 # 1 # Break in Module testfixture1 at /home/yutongshen/HW6/testfixture1.v line 240</pre>		<pre># ----- # # Congratulations! All data have been generated successfully! # # -----PASS----- # # ** Note: \$finish : /home/yutongshen/HW6/testfixture1.v(240) # Time: 16323090 ps Iteration: 0 Instance: /testfixture1 # 1 # Break in Module testfixture1 at /home/yutongshen/HW6/testfixture1.v line 240</pre>	
<pre># ----- # # Congratulations! All data have been generated successfully! # # -----PASS----- # # ** Note: \$finish : /home/yutongshen/HW6/testfixture2.v(240) # Time: 16323090 ps Iteration: 0 Instance: /testfixture2 # 1 # Break in Module testfixture2 at /home/yutongshen/HW6/testfixture2.v line 240</pre>		<pre># ----- # # Congratulations! All data have been generated successfully! # # -----PASS----- # # ** Note: \$finish : /home/yutongshen/HW6/testfixture2.v(240) # Time: 16323090 ps Iteration: 0 Instance: /testfixture2 # 1 # Break in Module testfixture2 at /home/yutongshen/HW6/testfixture2.v line 240</pre>	
Synthesis Result			
Total logic elements	3643		
Total memory bit	0		
Embedded multiplier 9-bit element	12		
<div>Flow Summary</div> <div><div>Flow Status</div><div>Successful - Sat Jan 13 14:44:10 2018</div><div>Quartus II Version</div><div>10.0 Build 262 08/18/2010 SP 1 SJ Full Version</div><div>Revision Name</div><div>FAS</div><div>Top-level Entity Name</div><div>FAS</div><div>Family</div><div>Cyclone II</div><div>Device</div><div>EP2C70F896C8</div><div>Timing Models</div><div>Final</div><div>Met timing requirements</div><div>Yes</div><div><div>Total logic elements</div><div>3,643 / 68,416 (5 %)</div><div><div>Total combinational functions</div><div>3,499 / 68,416 (5 %)</div><div>Dedicated logic registers</div><div>2,258 / 68,416 (3 %)</div></div><div>Total registers</div><div>2258</div><div>Total pins</div><div>554 / 622 (89 %)</div><div>Total virtual pins</div><div>0</div><div>Total memory bits</div><div>0 / 1,152,000 (0 %)</div><div>Embedded Multiplier 9-bit elements</div><div>12 / 300 (4 %)</div><div>Total PLLs</div><div>0 / 4 (0 %)</div></div></div>			

Description of your design

本電路分為 FIR、FFT、Analysis 等 3 塊子模組作介紹：

FIR:

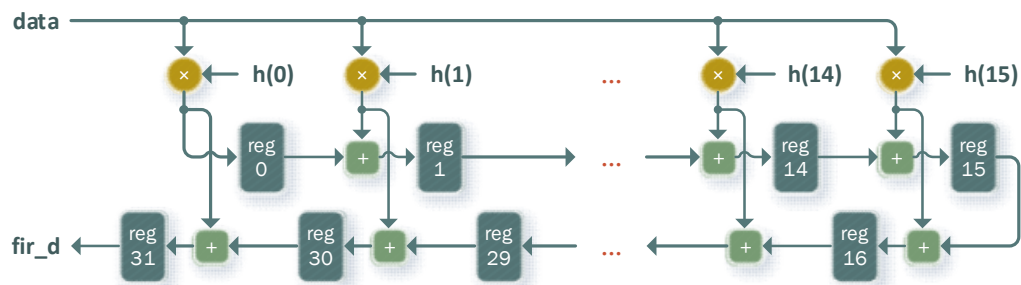


Fig 1 FIR 架構圖

由於 FIR 的參數具有對稱性 $h(0) = h(31)$, $h(1) = h(30)$...，故採用 Fig 1 架構將原本須使用 32 個乘法器減半成 16 個乘法器，其運作原理為第 1 筆輸入資料 $data[0]$ 與 $h[0]$ 相乘後放入 reg 0，下一個週期第 2 筆資料 $data[1]$ 與 $h[1]$ 相乘後並與 reg 0 進行累加放入 reg1，一直到第 17 個週期 $data[16]$ 與 $h[15]$ 相乘後並與 reg15 進行累加放入 reg16，最後第 32 個週期 $data[31]$ 與 $h[0]$ 相乘後並與 reg30 進行累加放入 reg31，此時 reg31 即為第 1 筆 fir_d ，接著之後的 fir_d 會順應此 pipeline 架構不斷產出。

FFT:



Fig 2 FFT 架構圖

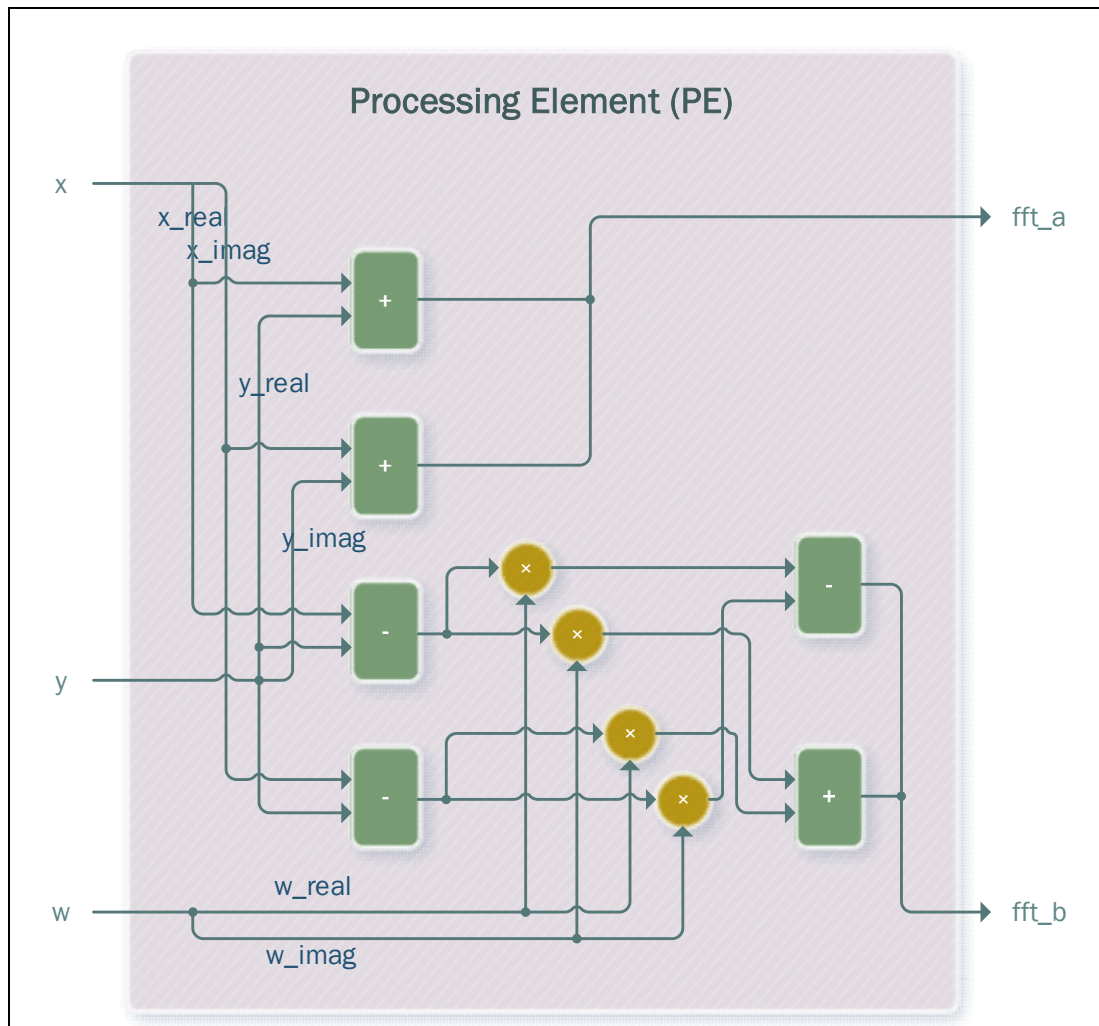


Fig 3 PE 架構圖

由於原本的 FFT 有 4 階段的交叉運算，故本電路賦予每 1 階段皆配有 1 個 PE 運算單元來處理單一個交叉運算，Fig 2 中的 5 條 Register File 每個週期皆往上位移，每個 PE 以 Pipeline 形式，在適當的位置取出資料，並計算出下個階段的資料放置於適當的位置，此外由於 w_0 與 w_4 為 1 及 $-j$ ，可以使用加法器輕易的算出 Fig 3 的 fft_b ，因此 PE3 與 PE4 以更簡單的方式來取得 fft_b 便可省下將近一半的乘法器。

Analysis:

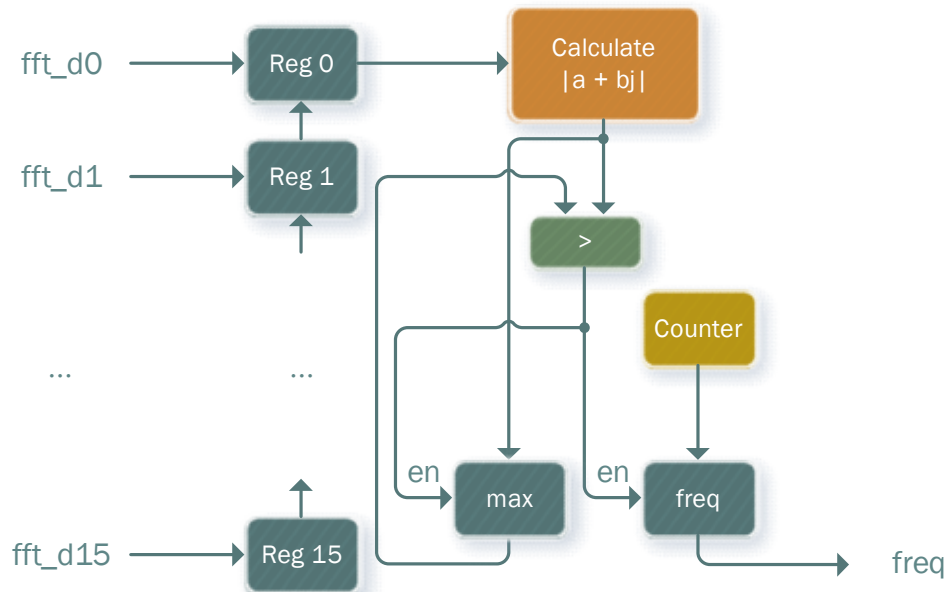


Fig 4 Analysis 架構圖

如 Fig 4，當接收到 $\text{fft_valid} = 1$ 時，會將 fft_d0 至 fft_d15 存入 Reg 0 至 Reg 15，max 設為 0，Counter 設為 0，接著每次週期 Reg 0 至 Reg 15 會往上位移，透過計算電路算出 $a*a+b*b$ 並與 max 比較大小，如 max 較小則 $a*a+b*b$ 存入 max，同時 Counter 存入 freq。

$$\begin{aligned} \text{Scoring} &= (\text{Total logic elements} + \text{total memory bit} + 9 * \text{embedded multiplier 9-bit element}) \times (\text{longest gate-level simulation time in ns}) \\ &= (3643 + 0 + 9 * 12) * 16323.090 = 61227910.59 \end{aligned}$$