

- ① مستند سازی
- ② مدل سازی ← عملکرد در زمان اجرا / توصیف الگوریتم با دستورهای زمانی / کمک فهم صورت مسئله / جلوگیری از سرائی اشکال به طوم
- ③ تستر ← باید بازیر مجموعه قابل تستر استنباط کنیم. ← Portable code

- ④ درستی نسبی ← فراهم کردن محیط لازم برای verify کردن کد. ① طرح مورد آزمون DUT

عناصر اصلی ←
 ② تولید احوال برادرهای درونی
 ③ مشاهده و تحلیل خروجی ها

① تصادف

② corner case - استعاره بگویندانه

③ ATPG - الگوریتم تولید خودکار برادرهای آزمون
 Automatic test pattern generator

مثال: اگر قرار است DUT ضرب انجام دهد

حالت overflow هم در نظر گرفته شود

architecture TBENCH of ENT-BENCH is

procedure WAVE_GEN (signal X: out integer, signal Y: out integer)

variable I integer := 0

begin

for VX in 0 to 63 loop

for VY in 0 to 63 loop

begin

X ≤ VX after I * 10 ns;

Y ≤ VY after I * 10 ns;

I := I + 1;

end loop;

end procedure WAVE_GEN;

begin:

WAVE_GEN (X, Y);

L1: L_MODULE port map (X, Y, L)

L_BEHAVE ≤ (X**2 + Y**2) ** 0.5;

ERROR_SIG ≤ L_BEHAVE xor L

end architecture TBENCH;

begin

MODULE -1: FA1 port map (C0, A, B, S0, C1)

FA2

3

4

configuration

begin: < for module: HA use entity work: HALF-ADDER(RTL)

Binding Rules → selects entity with the same name as component.
→ last compiled Architecture

Configuration → Specification
→ Declaration

Architecture / ساختار ← concurrent ← 2 ← VHDL
Function, Process, procedure ← sequential ← 1

1 module instantiation

2 Assignment

3 process

4 if/for generate

5 when/else

6 with-select-when

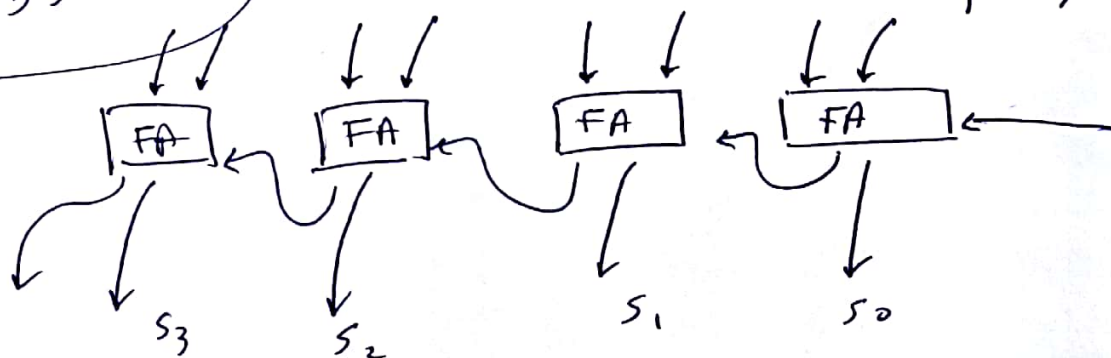
7 راغزانی ع } ?

8 راغزانی د } ?

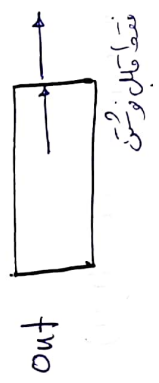
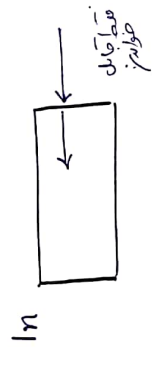
if-then-else
for loop
while
case-when
signal assignment

for generate →

(توصیف طرح های منظم)

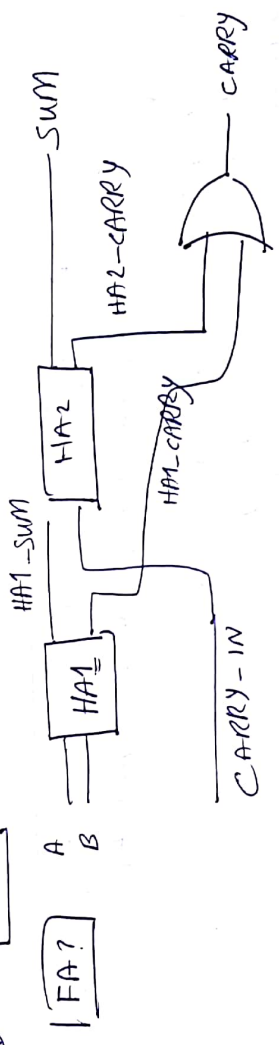


Entity Port modes :



نمونه: خط درایور بودن می تواند به عنوان BUS معنی یابد.

توصیف ساختاری را صرفاً توصیف نمی کند.



اتصال گره ها { Positional Association
Named Association