



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین ششم



دانشگاه صنعتی امیرکبیر

تحويل در روز دوشنبه مورخ ۱۳۹۶/۱۰/۱۱ ساعت ۲۳:۵۵ در سایت درس

سوال‌های اختیاری (نمره‌ای به حل این سوال‌ها تعلق نمی‌گیرد و تنها به منظور تمرین بیشتر قرار

داده شده‌اند)

۱. به سوالات زیر پاسخ دهید.

- انواع طراحی سیستم‌های دیجیتال بزرگ را نام ببرید و هر کدام را به اختصار توضیح دهید. همچنین ذکر کنید استفاده از هر یک چه مزایا و معایبی دارد.
- با استفاده از معماری فون‌نیومن برای اجرای ۱۰ دستورالعمل پشت سر هم بدون شاخه، در معماری‌ای با ۴ مرحله خط لوله (pipeline) در حالت ایده‌آل چند چرخه ساعت لازم خواهد بود؟
- جریان طراحی توأمان را شرح دهید. این گونه طراحی چه مزیتی دارد؟
- چه معیارهایی در انتخاب یک مورد مد نظر قرار می‌گیرند؟
- چرا نیاز است که جریان طراحی سخت‌افزار و جریان طراحی نرم‌افزار با هم در ارتباط باشند؟
- چه تفاوتی میان یک پردازنده‌ی نرم و سخت وجود دارد؟ در مورد مزایا و معایب هر یک بحث کنید.
- در یک تراشه منظور از GPIO چیست؟
- چه زمان‌هایی در فرایند سنتز فلیپ فلاپ و لچ تولید می‌شود؟
- تقسیم، توان و ضرب از نظر قابلیت سنتز در چه صورتی مجاز و در چه صورتی غیرمجازند؟

۲. تراشه‌های مبتنی بر SRAM، EEPROM و آنتی‌فیوز را با یکدیگر مقایسه کنید و توضیح دهید هر کدام در چه شرایطی کاربرد دارند؟ سپس مشخص کنید ایرادهای زیر مربوط به کدام نوع است؟

- ولتاژ برنامه‌ریزی بالا
- توان مصرفی بالا
- نیاز به انتقال bitstream به FPGA
- عدم امکان برنامه‌ریزی مجدد
- جریان برنامه‌ریزی بالا

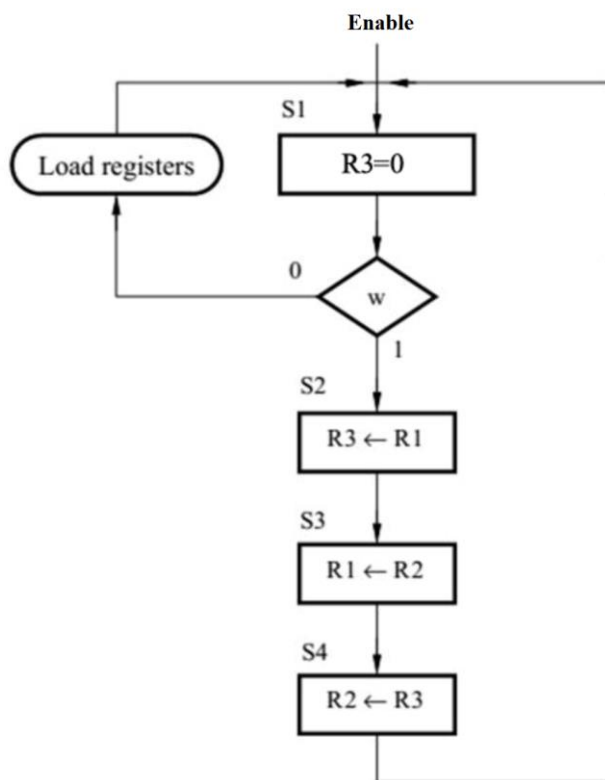


تحويل در روز دوشنبه مورخ ۱۳۹۶/۱۰/۱۱ ساعت ۲۳:۵۵ در سایت درس

سوالات اصلی (حل این سوالات اجباری است و به آن‌ها نمره تعلق می‌گیرد)

تمامی مراحل توصیف، شبیه‌سازی و سنتز را توسط ابزار Vivado انجام بدهید.

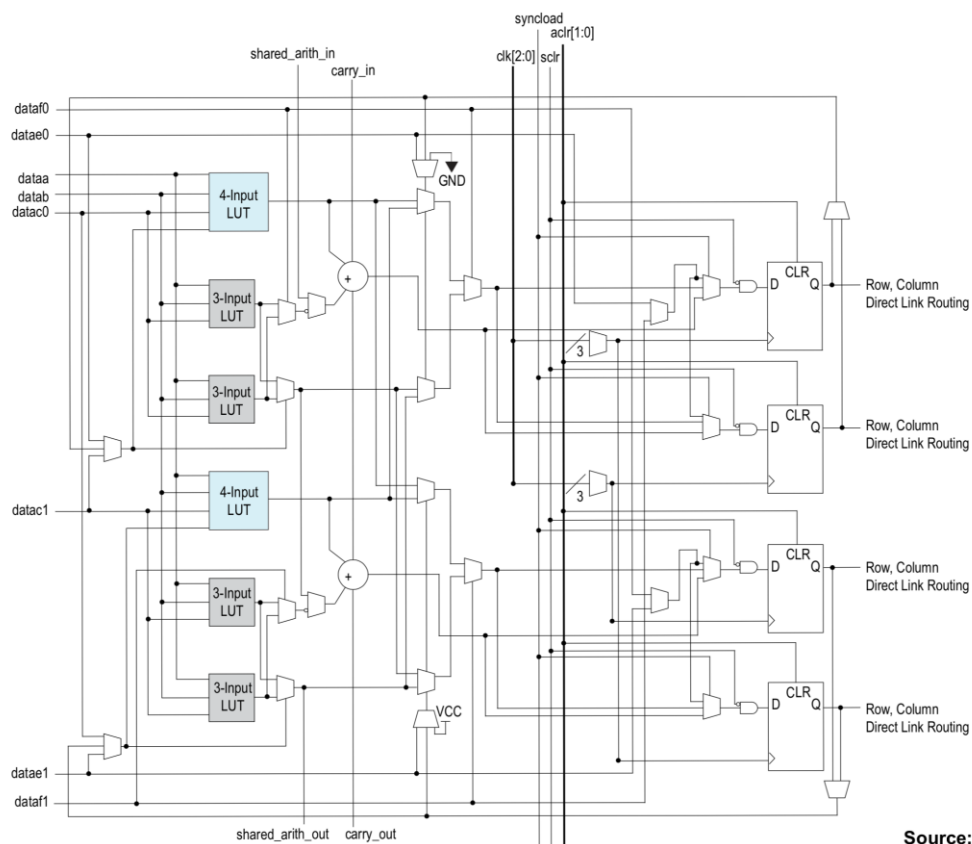
۳. نمودار ASM زیر را در نظر بگیرید. ماشین حالت معادل با آن را رسم کنید و سپس آن را با استفاده از حافظه پیاده‌سازی کنید. مدار خود را ابتدا سنتز کرده و سپس با دادن یک برنامه آزمون صحت عملکرد مدار خود را بررسی کنید. ورودی‌های سیستم دو سیگنال ۳۲ بیتی هستند که مقادیر اولیه R1 و R2 را مشخص می‌کنند و همچنین دو ورودی تک‌بیتی Enable و w نیز وجود دارد. اگر مقدار w صفر باشد رجیسترهای R1 و R2 از ورودی مقدار می‌گیرند و در غیر این صورت مشابه نمودار زیر مقدار آنها تعویض می‌شود. سیستم در صورتی کار می‌کند که سیگنال Enable مقدارش یک باشد. در غیر این صورت سیستم کاری انجام نمی‌دهد. پورت‌های R1 و R2 را inout تعریف کنید.





تحويل در روز دوشنبه مورخ ۱۳۹۶/۱۰/۱۱ ساعت ۲۳:۵۵ در سایت درس

۷. یک مدار شیفت رجیستر ۸ بیتی را با تعداد کافی از CLBهای مانند شکل زیر پیاده‌سازی کنید. سپس این CLBها را در شکل دوم این سوال جانمایی و مسیریابی کنید و همچنین محل ورودی و خروجی‌های مدار را مشخص کنید.



Source: Stratix V Handbook, 2013



تحويل در روز دوشنبه مورخ ۱۳۹۶/۱۰/۱۱ ساعت ۲۳:۵۵ در سایت درس

