

7 در کد آستانه از گذر Transparent latch ای به شرد کردار
نحوی تفسیر دهید که از این مورد چگونه می کند.

process (sel, sel_2, sel_3, a, b)

begin

if sel = '1' then

f ← a;

if sel_2 = '1' then

g ← not a;

else

g ← not b;

if sel_3 = '1' then

g ← a xor b;

end if;

end if;

else

if sel_2 = '1' then

g ← a and b;

else

if sel_3 = '1' then

g ← a nand b;

endif;

end if;

f ← b;

endif;

end process;

توضیح: مشکل transparent latch

زمانی رخ می دهد که بیت بیان شرطی به ازای

تمام condition ها به شرط

و سینال های دخل در آن شرط

Assignment صورت گرفته باشد.

توضیح: سینال sel به درستی بررسی

شده است پس از تولید لچ مضمون می ماند

سینال sel_2 نیز از تولید لچ

لچ مضمون است چون در شرط 0

1 در هر دو ستاره توصیف برای آن

کار آمده است.

بخصوص به این که برای سینال sel_3 در هر

دوختی توصیف شرط '0' بررسی نشده است.

پس در هر دو ستاره برای هتال کردن آن و اعمال

مقدار فعلی به 0 در صورت '1' بودن سینال sel_3 - لچ تولید می شود

از عملیات قتل می روی و صورت گرفته پس از optimize

کلیت بود نقطه لچ برای حفظ مقدار فعلی و ایجاب می شود. ولی در این حالت

2 لچ تولید می شود



جهت جلوگیری از ایجاد لچ در این دو قسمه، شرط '0' بودن را نیز مطابق توصیف زیر برای sel-3 بررسی میکنیم.

```
process (sel, sel-1, sel-2, sel-3, a, b)  
begin
```

```
  ⋮
```

```
  //
```

```
    if sel-2 = '1' then
```

```
       $g \leftarrow \text{not } a;$ 
```

```
    else
```

```
      if sel-3 = '1' then
```

```
         $g \leftarrow a \text{ xor } b;$ 
```

```
      else
```

```
         $g \leftarrow \text{not } b;$ 
```

```
      endif;
```

```
    endif;
```

```
  ⋮
```

```
  //
```

```
    if sel-2 = '1' then
```

```
       $g \leftarrow a \text{ and } b;$ 
```

```
    else
```

```
      if sel-3 = '1' then
```

```
         $g \leftarrow a \text{ nand } b;$ 
```

```
      endif;
```

```
      else
```

```
         $g \leftarrow a \text{ and } b;$ 
```

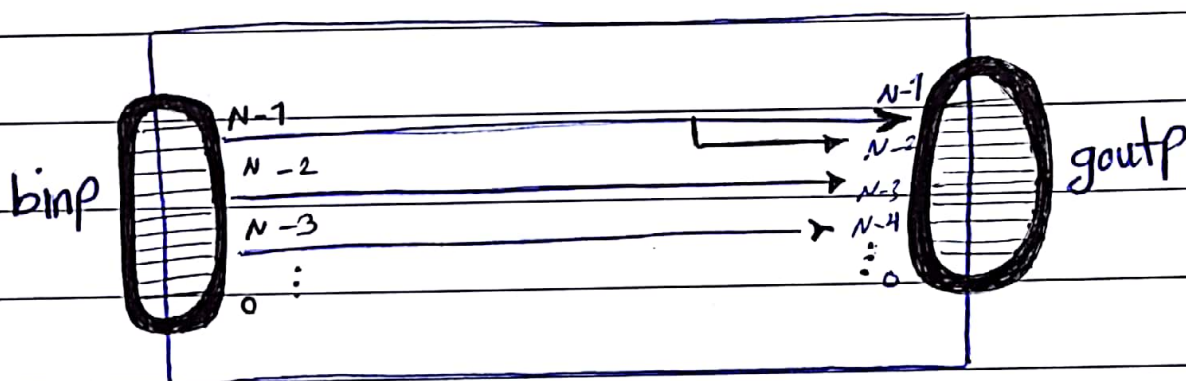
```
      endif;
```

```
    endif;
```

8 مدارهای حاصل از ستر و پسیناز در کردن از نقطه کدهای زیر چیست؟
آنها را رسم کنید.

a. process (binp)
begin
 $goutp(N-1) \leftarrow binp(N-1)$ after 10 ns;
 for i in N-2 downto 0 loop;
 $goutp(i) \leftarrow binp(i+1) \text{ xor } binp(i)$
 after 10 ns;
 end loop;
end process;

حل:



توضیح: loop های به ظاهر sequential همیشه در زمان ستر و
ساده سازی کنه افزاره، عملاً موارد داخل حلقه به طور همزمان انجام
می گیرند.

" TransGate Interpretation " سکون اصلاً
این process ناکاردار.

b. port (A, B, C: in std_logic;
Q1, Q2: out std_logic);

signal V, R: std_logic

begin

process (V, C)

begin

if (V = '1') then

Q2 \leftarrow C;

end if;

end process;

R \leftarrow B xor C;

process (A)

begin

if (rising_edge(A)) then

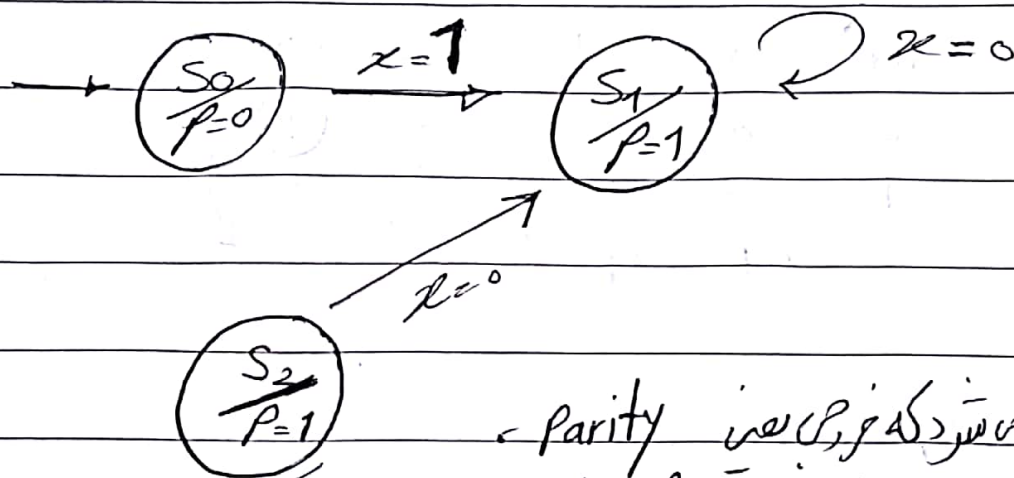
Q1 \leftarrow C;

V \leftarrow R;

end if;

end process;

C. state Diagram این FSM به صورت زیر است :



ملاحظه شود که خروجی یعنی Parity فقط تابع از state است و وابسته به این نیست که این FSM یک MOORE FSM به شکل است.

برای STATE TABLE :

CURRENT	INP	NEXT	Parity
$S_1 S_0$		$N_1 N_0$	
0 0	0	0 0	0
0 0	1	0 1	0
0 1	0	0 1	1
0 1	1	0 1	1
1 0	0	1 0	1
1 0	1	0 1	1
1 1	0	0 0	d
1 1	1	0 0	d

حال با استفاده از این جدول می توان k-map برای خروجی Parity

N_0 ، N_1 وابسته آورد.

ادامه ...

N1 K-map

INP \ S ₁ S ₀	00	01	11	10
0	0	0	0	1
1	0	0	0	0

$N_1 = S_1 S_0' INP'$

N0 K-map

INP \ S ₁ S ₀	00	01	11	10
0	0	0	1	0
1	1	1	1	1

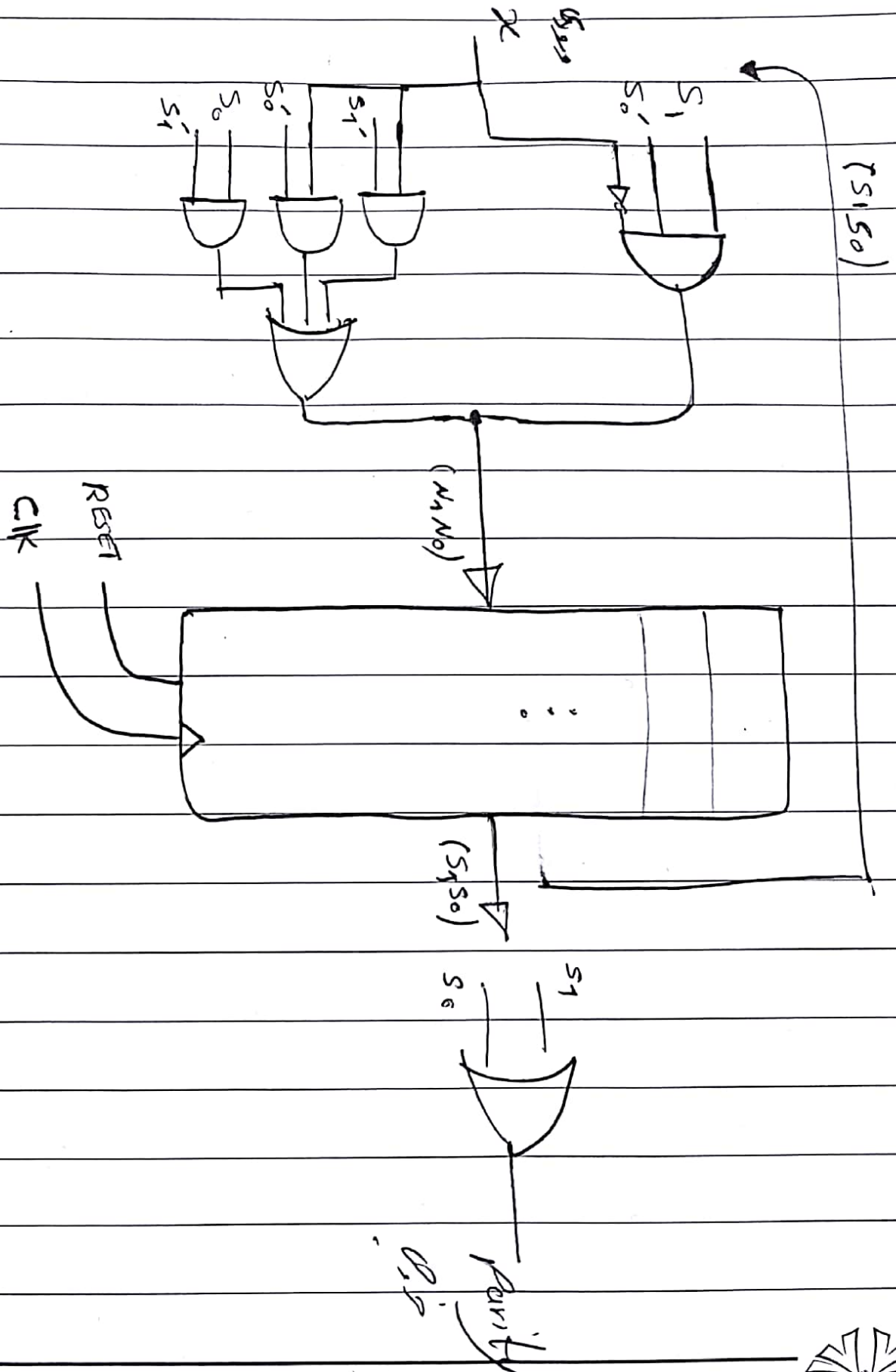
$N_0 = S_1' S_0 + S_1' INP + S_0' INP$

parity K-map

INP \ S ₁ S ₀	00	01	11	10
0	0	1	d	1
1	1	1	d	1

$parity = S_0 + S_1$

حال با در اختیار داشتن مدارهای ترکیبی می‌توان مدارهای این سؤال را رسم کرد



9 دایسین حالت این سیستم بین صورت است:

