



دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

تحویل در روز دوشنبه مورخ ۱۳۹۶/۰۹/۲۰ ساعت ۲۳:۵۵ در سایت درس

سوالهای اختیاری (نمرهای به حل این سوالها تعلق نمیگیرد و تنها به منظور تمرین بیشتر قرار داده شدهاند)

- ۱. طراحی پودمانی به چه معناست؟ مزایای آن چیست؟
- ۲. چالشهای استفاده از Pاها چیست؟ مزایای استفاده از IPها را نام ببرید.
- ۳. چرا استفاده از IP ها می تواند مشکلات امنیتی برای سیستم ایجاد کند؟
 - ۴. سطوح تجرید را نام برده و توضیح بدهید.
 - ۵. انواع IPها را نام ببرید. مزایا و معایب هرکدام را توضیح دهید.
- ۶. مثال ماشین حالت فروش شکلات مطرح شده در درس را با استفاده از ماشین حالت مدودف پیاده کنید.

سوالات اصلی (حل این سوالات اجباری است و به آنها نمره تعلق می گیرد)

تمامی مراحل توصیف، شبیه سازی و سنتز را توسط ابزار Vivado انجام بدهید.

۷. در کدام قسمت از کد زیر transparent latch ایجاد می شود؟ کد را به نحوی تغییر دهید که از این مورد جلوگیری کند.

```
process (sel, sel_2, sel_3, a, b)
begin
if sel = '1' then
    f <= a;
    if sel_2 = '1' then
        g <= not a;
    else
        g <= not b;
    if sel_3 = '1' then
        g <= a xor b;
    end if;
end if;
else</pre>
```





دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیر کبیر

تحویل در روز دوشنبه مورخ ۱۳۹۶/۰۹/۲۰ ساعت ۵۵:۲۳ در سایت درس

```
if sel_2 = '1' then
 g \le a and b;
 else
  if sel_3 = '1' then
     g <= a nand b;
  end if;
 end if;
 f \le b;
end if;
end process;
         ۸. مدارهای حاصل از سنتز و بهینهسازی هرکدام از قطعه کدهای زیر چیست؟ آنها را رسم کنید.
a.
process(binp)
begin
       goutp(N-1) \le binp(N-1) after 10ns;
       for i in N-2 downto 0 loop
               goutp(i) <= binp(i+1) xor binp(i) after 10ns;
       end loop;
end process;
b.
 Port (A, B, C : in std_logic;
     Q1, Q2 : out std_logic );
signal V, R: std_logic;
begin
process (V, C)
begin
  if (V = '1') then
     Q2 <= C;
  end if:
end process;
R \leq B \text{ xor } C;
process (A)
begin
  if( rising_edge(A)) then
     Q1 <= C;
     V \leq R;
```





دانشكده مهندسي كامپيوتر

انشگاه صنعتی امیرکبیر

تحویل در روز دوشنبه مورخ ۱۳۹۶/۰۹/۲۰ ساعت ۵۵:۲۳ در سایت درس

```
end if:
end process;
c.
type state_type is (S0, S1, S2);
signal state, next_state : state_type;
begin
SYNC_PROC: process (clk)
begin
if rising_edge(clk) then
  if (reset = '1') then
     state \leq S0;
   else
     state <= next_state;</pre>
  end if;
end if:
end process;
OUTPUT_DECODE: process (state)
begin
  case (state) is
     when S0 =>
       parity <= '0';
     when S1 =>
       parity <= '1';
     when S2 =>
       parity <= '1';
     when others =>
       parity <= '0';
    end case;
end process;
NEXT_STATE_DECODE : process (state, x)
begin
  next_state <= S0;</pre>
  case (state) is
     when S0 =>
       if (x = '1') then
          next_state <= S1;</pre>
       end if:
     when S1 =>
```





دانشکده مهندسی کامپیوتر

دانشگاه صنعتی امیرکبیر

تحویل در روز دوشنبه مورخ ۱۳۹۶/۰۹/۲۰ ساعت ۵۵:۲۳ در سایت درس

```
if (x = '0') then \\ next_state <= S1; \\ end if; \\ when S2 => \\ if (x = '0') then \\ next_state <= S1; \\ end if; \\ when others => \\ next_state <= S0; \\ end case; \\ end process; \\
```

۹. یک سیستم درب برقی پارکینگ را در نظر بگیرید. این سیستم دارای دو حسگر a و d است. در صورتی که هرکدام از حسگرها مانعی را تشخیص بدهند (انسان یا اشیا) تا زمانی که مانع وجود دارد سیگنال '1' تولید می کنند. پس از آن سیگنال آنها '0' می شود. پس از صفر شدن این سیگنال، سیستم به مدت ۳۰ ثانیه صبر می کند اگر در این مدت حسگرها مجددا مانعی حس نکنند، فرمان بسته شدن درب صادر می شود، در غیر این صورت درب باز می ماند. این سیستم همچنین یک شمارنده دارد که تعداد ماشینهای درون پارکینگ را نگه می دارد. در صورتی که ابتدا حسگر a ماشین را حس کند و سپس b شمارنده کاهش می یابد. همچنین افزایش می یابد و در صورتی که ابتدا b ماشینی را حس کند و سپس a شمارنده کاهش می یابد. همچنین هنگامی که وسیله ای بخواهد وارد یا خارج بشود، از طریق یک سیگنال این موضوع را به سیستم اطلاع می دهد (فرکانس سیگنال ساعت سیستم را ۱۰ مگاهر تز فرض کنید).

- الف) ماشین حالت این سیستم را رسم کنید.
 - ب) این سیستم را شبیهسازی کنید.
 - ج) صحت عملکرد سیستم را بررسی کنید.