

Ali Gholami

9531504

HW3

FPGA

1. یک شمارنده به پیمانی m (در هر مرحله m ، واحد شمارنده افزایش می‌یابد).

کتاب دارای لینک Reset هنگام طراحی و بسط‌سازی کنید. (در سطح RTL)

مقدار m را بصورت Generic و برابر با یک عدد دلخواه بین 2 تا 7

فرض کنید از سبب بسط‌سازی عکس + کد مربوطه (Process خاص) if + clk

* برای مثال: با $m=4$: 0, 4, 8, 12, 16, ...
رای شماری

2. خروجی قطعه کدهای زیر را بدست آورده و تحلیل کنید. (مقادیر اولیه گیت‌ها)

که مقدار ندارند برابر با فرض شود.

Signal x, w: std_logic;

Signal y, z: std_logic;

Process (x, y)

begin

z <= '0';

y <= '0';

if (x > w) then

y <= x;

else

x <= '1';

z <= y or x;

end if;

x <= '0';

y <= '1';

end process;

⊗ خروجی تحلیل کبش الف)

در ابتدا تمام سیگنال‌های

تعریف شده مقدار 'u'

را دارند. یعنی:

$x = 'u'$

$y = 'u'$

$w = 'u'$

$z = 'u'$

سپس از ورود به process

Assignment: سیگنال‌های نمی‌تواند

وقتی process به حالت تعلیق برود:

if ($'u' > 'u'$) \rightarrow false

else

\rightarrow

$x \leftarrow '1'$

$z \leftarrow 'u' \text{ or } '1'$

$x \leftarrow 0$

$y \leftarrow 1$

در نهایت وقتی به حالت تعلیق می‌رویم:

$x \leftarrow '1'$

$y \leftarrow '1'$

$z \leftarrow '1'$

(ب)

```
process (rstn, clk)
```

```
variable ff8: std_logic_vector(7 down to 0);
```

```
begin
```

```
if (rstn = '0') then
```

```
ff8 := "00000000";
```

```
elsif (clk'event & clk='1') then
```

```
ff8(7) := sin;
```

```
ff8(6) := ff8(7);
```

```
ff8(5) := ff8(6);
```

```
ff8(4) := ff8(5);
```

```
ff8(3) := ff8(4);
```

```
ff8(2) := ff8(3);
```

```
ff8(1) := ff8(2);
```

```
ff8(0) := ff8(1);
```

```
endif;
```

```
sout <= ff8(0);
```

```
end process;
```

⊛ تحلیل خروجی تست ب)

باهر بارامتن لوجی نسبت کلاک و ورودی را در تمام بیت های ff8

تکرار می دهد (از بیت به راست). در نهایت آن را به سینال sout

مقداردهی می کند.

3- قطعه گذر چاه 4 مداری را ترسیم می کنید؟ آن را رسم کنید.

Process (a, b, c, x, y)

begin

if (a = '1') then

$Z \leftarrow x;$

elsif (b = '1') then

$Z \leftarrow x \text{ OR } y;$

elsif (c = '1') then

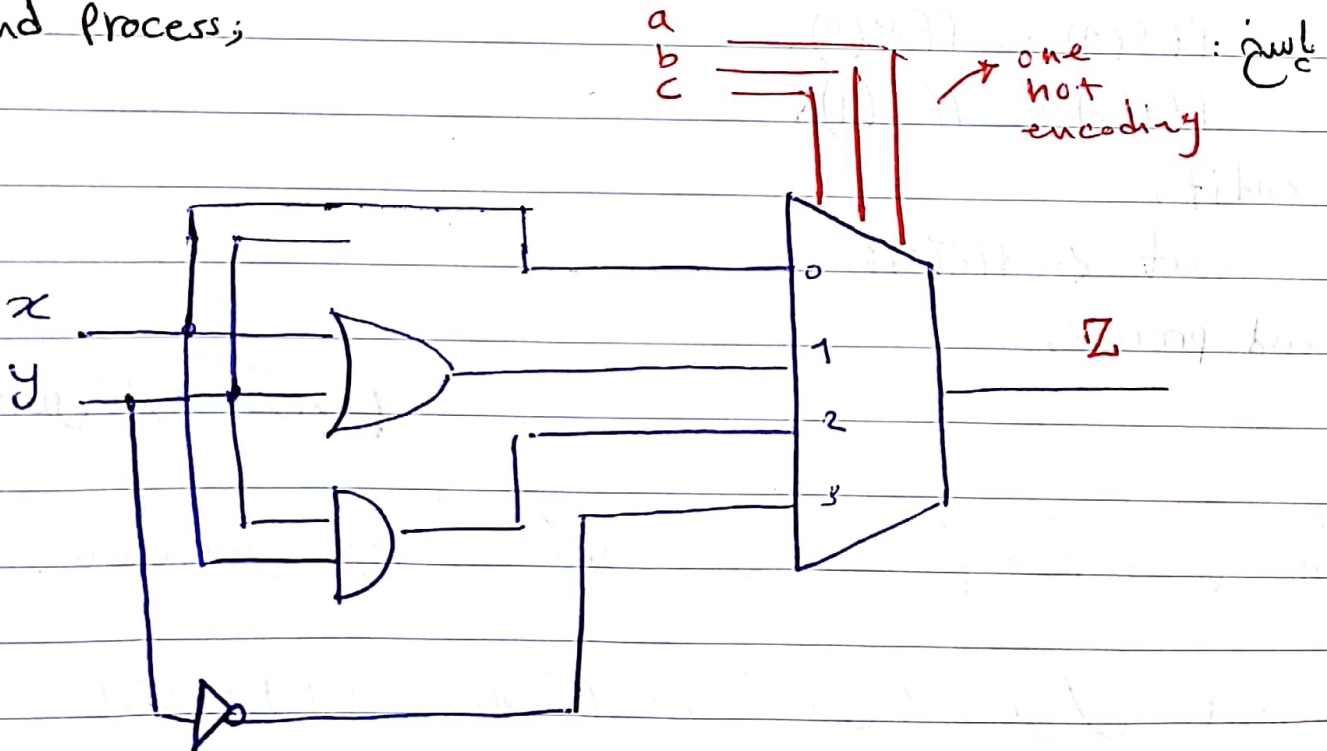
$Z \leftarrow x \text{ and } y;$

else

$Z \leftarrow \text{not } y;$

endif;

end process;



4- سیستم هوشمند روشنی درون ساختمانی نصب شده است. در کنار هر یک از چهار

نخچه این ساختمان که نور سُد روشنی قرار دارد. در صورتی که میایلین نور دریافت

توسط این سنسورها بستر از ۱۵۵ واحد باشد سیستم خاموش در غیر این

صورت روشن می شود. مجاز به استفاده از عملگر یا entity تقسیم نیست.

۶) با استفاده از اطلاعات فوق entity مناسب را بنویسید.

ب) arc با دستورات همروند برای این entity ارائه کنید.

ج) arc با یک process، دستورات sequential ارائه کنید.

✓ لدها به صورت کامل ضمیمه شده است.

5. به تقسیم کننده ی فرکانسی طراحی کنید که سیگنال با فرکانس 1MHz

دارد یافت کند و بسته به اینکه ورودی enable مقدارش 0 یا 1

باشد این خروجی را تولید کند:

1MHz	40%	60%
\Rightarrow	0	1
خروجی		

1MHz	70%	30%
\Rightarrow	0	1
خروجی		

$\text{Enable} = 1$

⊗ مازول باید دارای رستیت نهگام باشد.

10- برای جمع کننده‌ی ۴ بیتی زیر که گدآن داده شده است، برنامه آزمون

بنویسید که تمام حالات ورودی را بررسی کند و در صورتی که خطایی در جمع رخ

دارد باید پیغام مناسب چاپ کند.

← تست‌سازی + گدبای ارسال شود.

entity ADD4 is

port (

a : in std_logic_vector(3 downto 0);

b : in std_logic_vector(3 downto 0);

sum : out std_logic_vector(4 downto 0);

);

end entity ADD4;

architecture test of ADD4 is \rightarrow RTL

begin

sum <= ('0' & a) + ('0' & b);

end test;

11- می خواهیم ترموستات دمای را با استفاده از درودی $integer$ و یک

حرفی $boolean$ می کنیم. یک از درودی ها دمای مطلوب ما را

دیگری دمای است که از سنسور دما دریافت می کنیم. ↓

if $temp > 5^\circ$ then false

if $temp < 5^\circ$ then true

الف) با استفاده از این اطلاعات entity را بنویسید.

ب) architecture ای بنویسید استفاده از process (با استفاده از

دستورات concurrent) برای این entity ارائه کنید.

ج) architecture قسمت قبل را با دستورات sequential

ارائه کنید.

که در صورت کامل صحیح شده است.

۱۲- توصیف زبان VHDL بنویسید که نمره‌ی دانشجویان (عددی بین

۵ تا ۱۰۰) را به عنوان ورودی بگیرد، ۴ سیگنال a, b, c, d

به عنوان خروجی داشته باشد. در صورتی که نمره را بگویند ۵۱ تا ۶۰

بود، $d=1$ ، بین ۶۱ تا ۷۰ $c=1$ ، بین ۷۱ تا ۸۵

$b=1$ ، بین ۸۶ تا ۱۰۰ $a=1$ و در بقیه موارد ۰ باشند.

این توصیف بصورت هر روز بنویسید.

لدها بصورت کامل ضمیمه شده است.