



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین دوم



دانشگاه صنعتی امیرکبیر

تحويل در روز یکشنبه مورخ ۱۳۹۶/۰۷/۳۰ ساعت ۲۳:۵۵ در سایت درس

سوال‌های اختیاری (نمره‌ای به حل این سوال‌ها تعلق نمی‌گیرد و تنها به منظور تمرین بیشتر قرار

داده شده‌اند)

۱. ماژول‌های زیر را با استفاده از کد VHDL و با استفاده از process پیاده سازی کنید.

ا. Encoder 8:3

ب. mux 8:1

ج. synchronous reset T-FF

د. Asynchronous reset D-FF

۲. عناصر اصلی برای درستی‌سنجی زبان VHDL را نام ببرید و انواع روش‌های تولید بردار ورودی را توضیح دهید.

۳. توصیف سخت‌افزاری به صورت Register Transfer Level چه تفاوتی با سطح ساختاری (Structural) دارد؟ توضیح دهید.

۴. مداری طراحی کنید که یک ورودی ۳۲ بیتی را دریافت و آن را بر عدد ۸ تقسیم کند (از طریق شیفت بیت‌ها).

۵. مداری طراحی نمایید تا به عنوان ورودی یک عدد ۸ بیتی را دریافت کند و در خروجی مکمل ۲ آن را نمایش دهد (در سطح structural).

۶. مدار سوال ۴ را به گونه‌ای تغییر دهید تا ورودی آن به صورت generic باشد (در سطح structural).

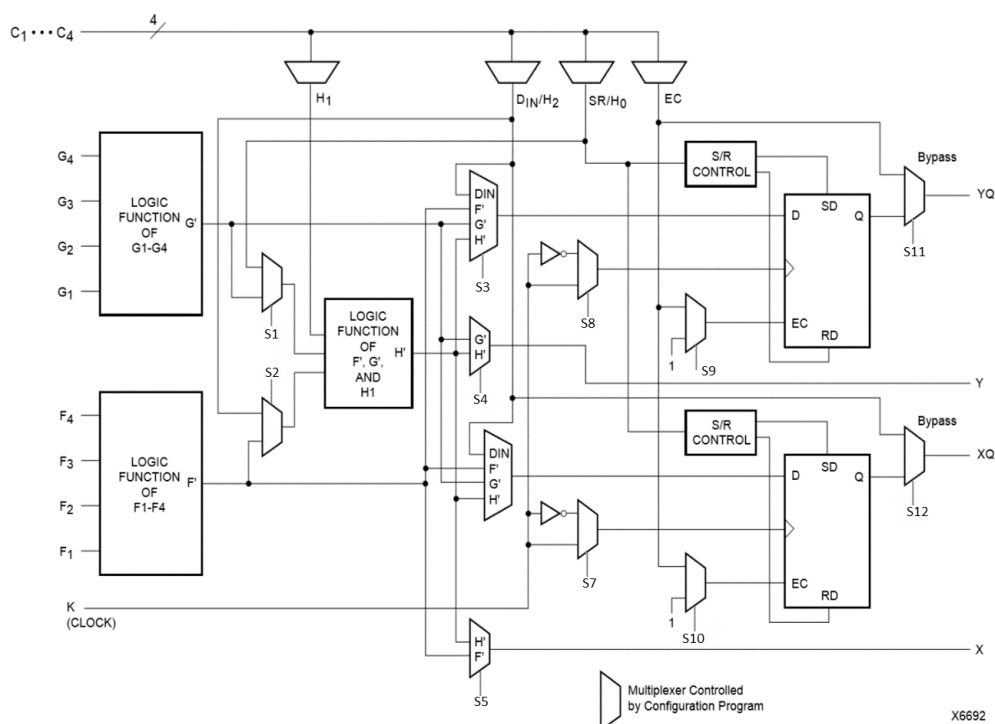


سوالات اصلی (حل این سوالات اجباری است و به آن‌ها نمره تعلق می‌گیرد)

۷. شکل زیر ساختار بلوک منطقی برنامه پذیر Xilinx XC4000 را نشان می‌دهد. سیگنال‌های کنترلی را به گونه‌ای مشخص کنید که در خروجی‌های XQ و YQ به ترتیب خروجی توابع f و g دیده شوند. منظور از این کار این است که ابتدا مقادیری را که در LUTهای g و f که در شکل مشخص‌اند را معلوم کنید و سپس تعیین کنید هریک از سیگنال‌های کنترلی muxها چه مقادیری اختیار می‌کنند یعنی برای مقادیر S1 تا S12 مقادارهای مناسب را تعیین کنید. در صورت نیاز به درک بهتر ساختار این تراشه به Datasheet آن مراجعه کنید.

$$f(a, b, c, d) = \sum m(1, 2, 6, 12, 15)$$

$$g(e, f, g) = \sum m(4, 9, 13)$$





۸. تابع زیر را با LUT های سه ورودی و بار دیگر با استفاده از Multiplexer ۸ به ۱ پیاده سازی کنید (ورودی Multiplexer فقط می تواند ۰، ۱ یا یک لیترا به تنهایی باشد).

- $F(a,b,c,d) = a'b'c + cd' + c'd + ad'$

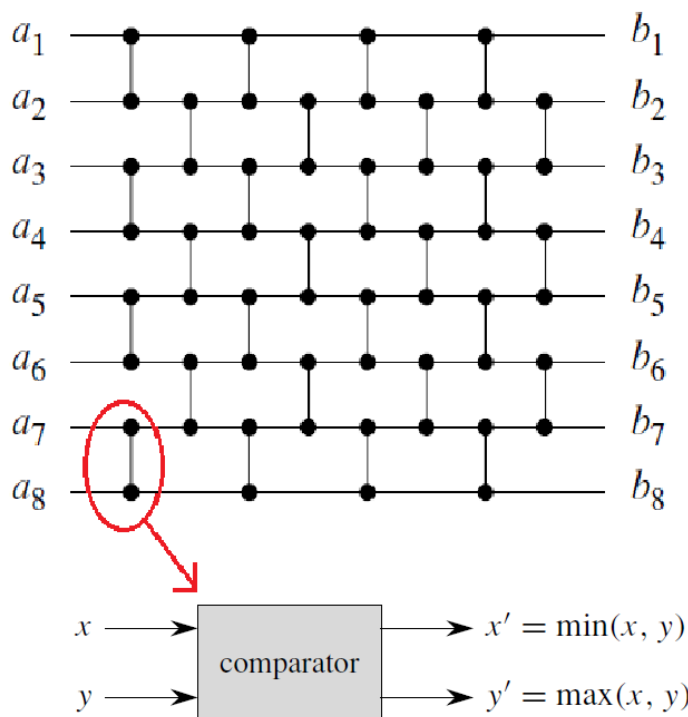
۹. یک نوع داده (data type) جدید برای اعداد سه رقمی BCD ایجاد کنید و یک جمع کننده با کمک این نوع داده در سطح Structural طراحی کنید.

۱۰. خروجی قطعه کدهای زیر را بدست آورید و تحلیل کنید:

```
signal x, w : std_logic := '1';
signal y,z : std_logic := '0';
begin
p1: process (x, w)
begin
    z <= x or w;
end process;
p2: process (x, y)
begin
    z <= x and y;
end process;
```

۱۱. شکل زیر یک مرتب ساز سخت افزاری است. در این سوال هدف این است تا این ماژول را در سطح ساختاری مدل کنید. ورودی های a_i در این ماژول ۱ بیتی هستند. هرکدام از خط های عمودی یک مقایسه کننده هستند و ورودی کوچکتر را در خروجی بالایی و ورودی بزرگتر را در خروجی پایینی نمایش می دهد. شکل زیر یک مثال با ورودی a_i تک بیتی است و شما باید این مثال را برای ورودی های ۸ بیتی گسترش بدهید.

فرض کنید مقایسه کننده با عرض ورودی ۸ بیت در کتابخانه تعریف شده است. قطعه کدی بنویسید تا این مدار مرتب کننده را (که برای ۸ ورودی a_1 تا a_8 شکل آن موجود است) به صورت generic برای a_1 تا a_n توصیف کنید.



۱۲. فرض کنید در کتابخانه طراحی (work)، یک تقسیم‌کننده وجود دارد که در دو معماری مختلف به روش ترتیبی و ترکیبی پیاده‌سازی شده‌اند. در ماژول اصلی (به نام D1) سه ماژول فرعی داریم. برای ماژول اول می‌خواهیم از تقسیم‌کننده‌ی ترتیبی و برای بقیه از تقسیم‌کننده‌ی ترکیبی استفاده کنیم. عملیات لازم را در یک فایل configuration بنویسید (نام تقسیم‌کننده در کتابخانه divider، نام معماری ترتیبی sequential و نام معماری ترکیبی combinational است).