

Ali Gholami

9531504

HW2

FPGA

1- ابتدا مقادیر آلا ها را مشخص کنید، هر یک از سیگنال های کسری

mux را نیز مشخص کنید

$$f = \sum_{a,b,c,d} m(1, 2, 6, 12, 15)$$

$$g = \sum_{e,f,g,h} m(4, 9, 13)$$

a	b	c	d
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

e	f	g	h
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

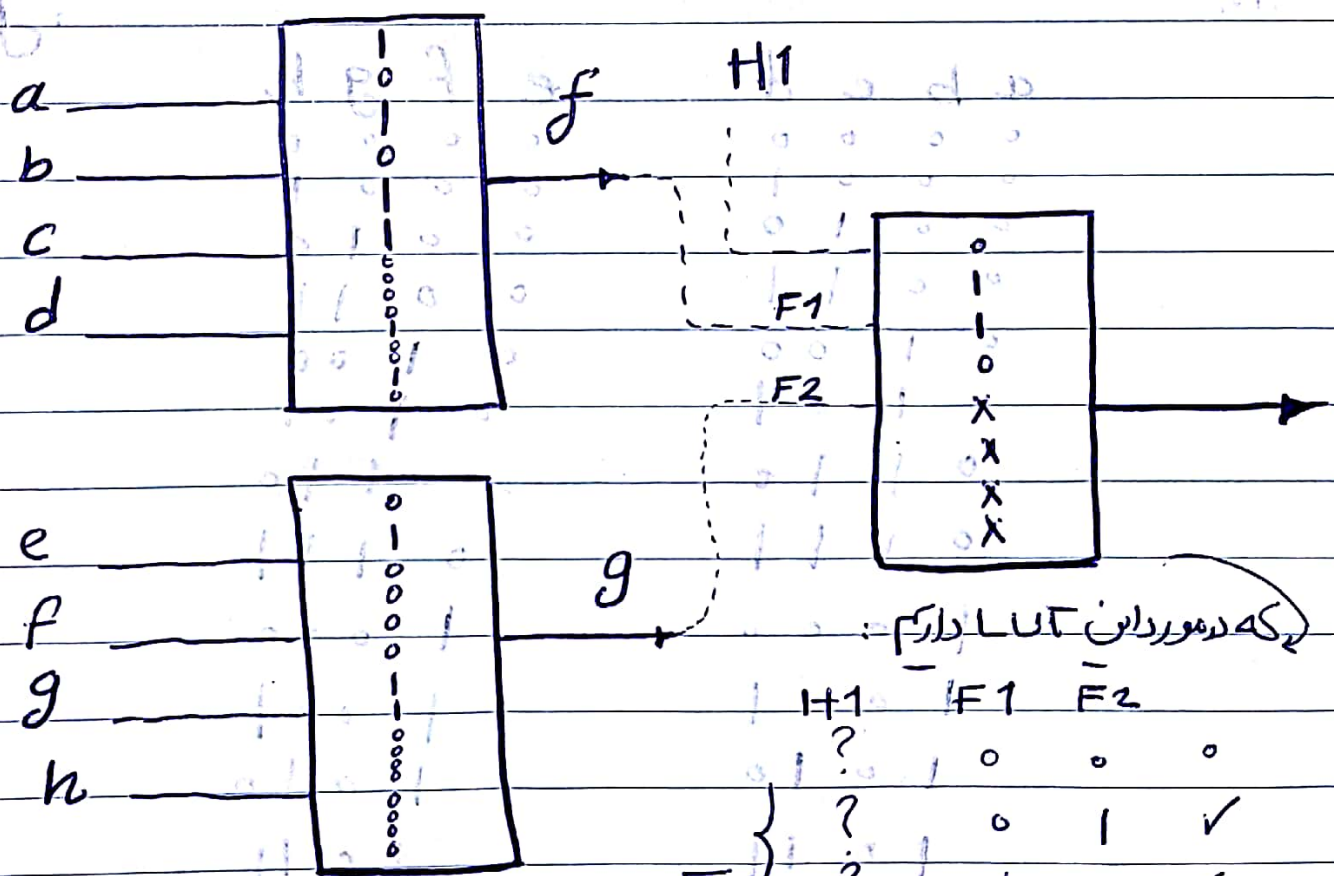
استفاده از جدول درستی صفحه قبل و نیز با توجه به تابع مورد نظر f

g که از جدول کارنو بدست می آید و معادله آن بصورت زیر است:

$$f = \bar{a}cd + abc + abcd + abcd$$

$$g = \bar{e}fg + efg$$

می توان ۲ LUT مورد نظر را به صورت زیر بر کرد:



که در مورد این LUT داریم:

H1	F1	F2	
?	0	0	0
?	0	1	✓
?	1	0	✓
?	1	1	0

یعنی f را در جدول خواهیم داشت g

Don't care

توجه: البته این امر زمانی اتفاق می افتد که X و Y نیز برای

از آنجایی که در صورت سؤال در این مورد (۲ و X) صحیحی نداریم

است، می توان گفت که LUT سیستمی که در این سؤال با Dont Care

مرتبط است.

2- تابع زیر را با LUT های سه ورودی و بار دینامیک با استفاده از یک یا

چند mux 1 به 1 پیاده سازی کنید. (ورودی mux فقط می تواند

0 یا 1 لستریل برشای باشد).

$$f(a, b, c, d) = \bar{a}\bar{b}c + cd + \bar{c}d + ad$$

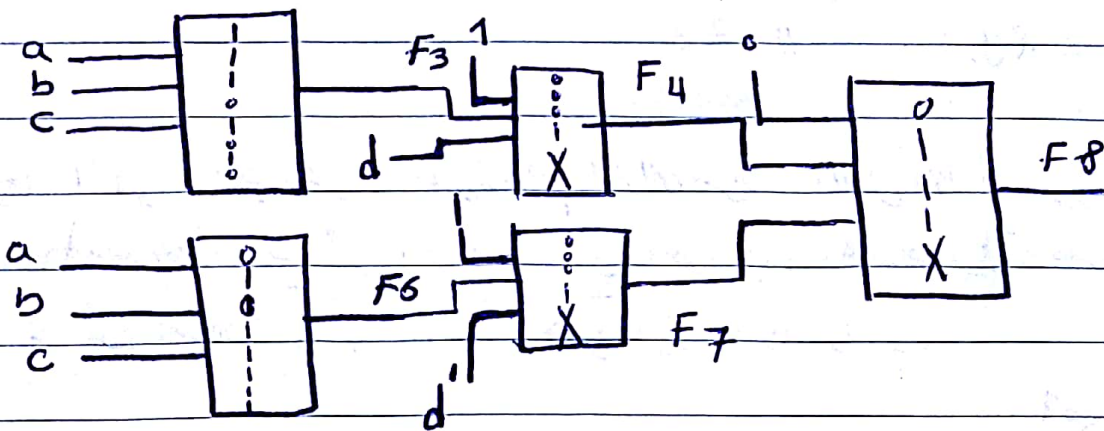
بار دینامیک با LUT

$$F_1 = \bar{a}\bar{b}c(d+d') + cd' + c'd + ad'$$

$$F_1 = \bar{a}\bar{b}cd + \bar{a}\bar{b}cd' + cd' + c'd + ad'$$

$$\rightarrow F_1 = \underbrace{d}_{F_2} (\underbrace{\bar{a}\bar{b}c}_{F_3} + \underbrace{\bar{c}}_{F_5}) + \underbrace{d'}_{F_5} (\underbrace{\bar{a}\bar{b}c}_{F_5} + \underbrace{c}_{F_6} + \underbrace{a}_{F_8})$$

$\underbrace{\hspace{10em}}_{F_4} \qquad \underbrace{\hspace{10em}}_{F_7} \qquad \underbrace{\hspace{10em}}_{F_8}$



3- یک نوع داده (data type) جدید برای اعداد سه رقمی BED

ایجاد کنید و یک جمع کننده با کمک این نوع داده در سطح Structural

طراحی کنید.

- پاسخ: کدها در فایل پیوست قرار گرفت.

4- خروجی قطعه کدهای زیر را بدست آورید و تحلیل کنید.

signal x, w : std_logic := '1';

signal y, z : std_logic := '0';

begin

p1: process (x, w)

begin

z <= x or w; // z <= 1

end process;

p2: process (x, y)

begin

z <= x & y; // z <= 0

end process;

* P1 و P2 به صورت همزمان اجرا می شود ، داخل این دستور آن به صورت sequential می شود . این دو پروسه به صورت همزمان با هم به z Assignment می دهند و هر زمان در عبارت :

(1) z <= 1

(2) z <= 0 می شود .
اتفاق می افتد و مقدار z unknown می شود .
x

کدام سوال در جلسه آمده است

5- مرتب ساز سخت افزاری ماکورا در سطح structural مدل کشد.

ورودی di ← ای سی ورودی لوپلتر ← خروجی بالایی

خط های عمودی ← comparator ورودی زیرلتر ← خروجی پایینی

- پاسخ: کدها در فایل سیستم قرار گرفته است.

6- فرض کنید در کتابخانه طراحی (work) یک تقسیم کننده وجود دارد (divider)

که در دو معماری مختلف به روش تریستی ترکیبی پیاده سازی شده اند.

در مازول اصلی (بنام D1) سه مازول فرعی داریم. برای مازول

اولی خواهیم از تقسیم کننده تریستی و برای بقیه از ترکیبی استفاده کنیم (combinational) (sequential)

عملیات لازم را در یک configuration تفهید.

پاسخ این سوال در در فایل تحت عنوان dModule

dModuleConfig

در پوشه CONFIG آمده است. SPEC