

Ali Gholami  
9531 50 4

HW1  
(FPGA)

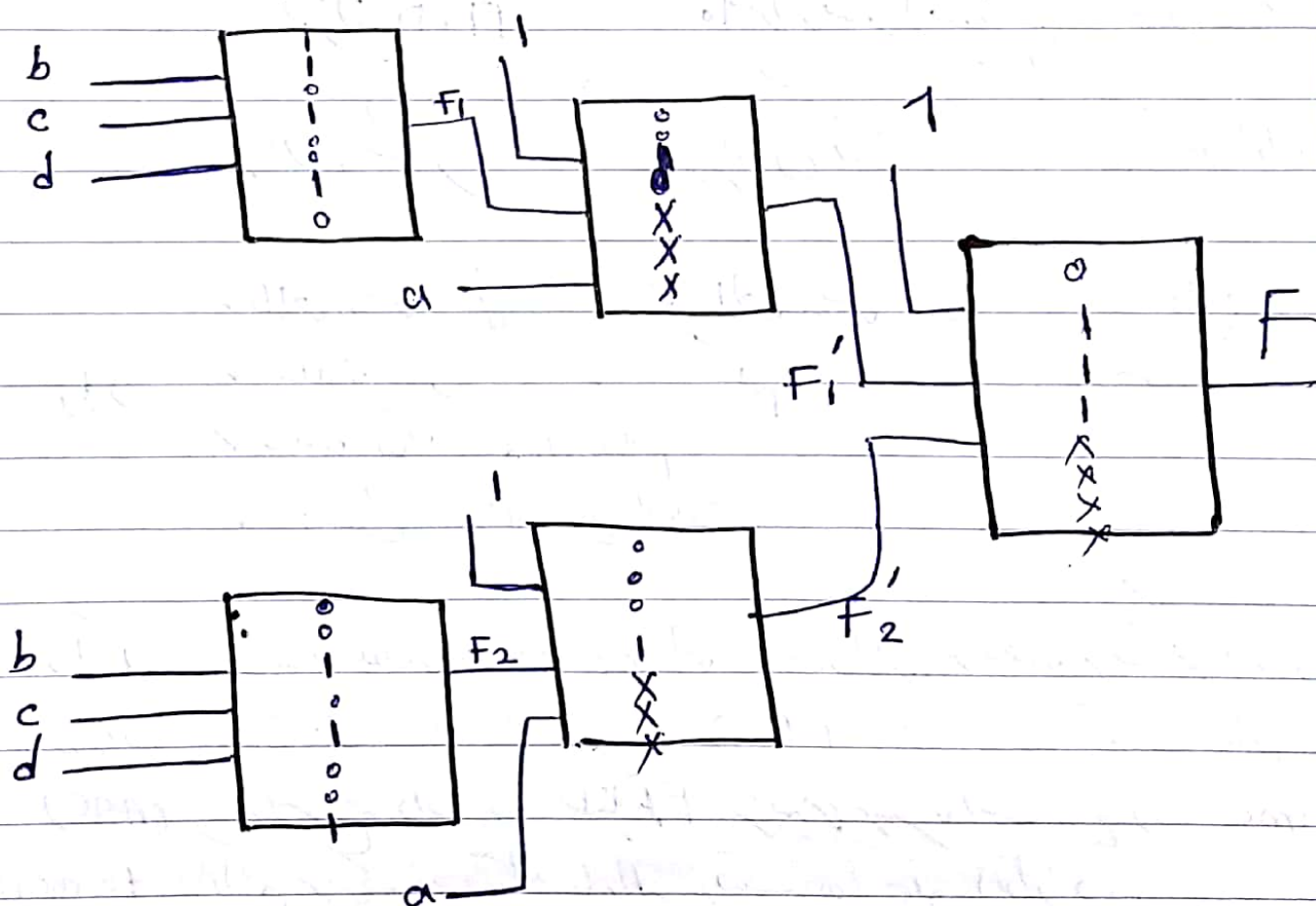
1- با توجه به ساختار Logic cell برای ساده سازی تابع زیر، Logic cell مناسب را طراحی کنید.

(آلی های 3 و 4) (د)

$$F(a, b, c, d) = \sum m(0, 3, 4, 9, 10, 12, 15)$$

$$F = \bar{a}\bar{b}\bar{c} + \bar{a}\bar{b}cd + \bar{a}bcd + ab\bar{c}\bar{d} + abcd + a\bar{b}\bar{c}d$$

$$\rightarrow F = \bar{a}(\bar{b}\bar{c} + \bar{b}cd + bcd) + a(\bar{b}\bar{c}d + bcd + bcd)$$



2. انواع FPLD و ASIC را با هم مقایسه کنید. هر یک برای

چه کارایی مناسبتر است؟

FPLD

ASIC

زمان طراحی

کم

زیاد

متوسط (نسبت به ASIC) سرعت مدار

زیاد

متوسط (10 تا 100) حقایق مدار

زیاد

10 برابر بیشتر (نسبت به ASIC) توان مصرف

کمتر از FPLD

ساخت نمونه اولیه

در زمان کمتر

در زمان بیشتر

NRE

هزینه

✓ طراحی درستی

کم

✓ طراحی درستی

✓ یکپارچگی مصرف

زیاد

\* برای تعداد کم

✓ ساخت مقاب

ASIC ضعیف تر است

✓ چسبندگی

بطور کلی در زمان های مد زمان در دسترس برای ساخت و طراحی و توسعه تراشه کم است و  
 می توان کیفیت متوسط (خوب) FPLD ها را نسبت به کیفیت عالی  
 (ASIC) ها ترجیح داد FPLD نیز بهتری است چون time to market  
 را کم تر میکند و می تواند ما را از رقیب ها جلو اندازد.

۳. در ترمه تراشه های FPLD - سه گونه CPLD - SPLD

FPGA ها را مقایسه کنید، مشخص کنید هر کدوم برای چه کاربردی مناسب است؟

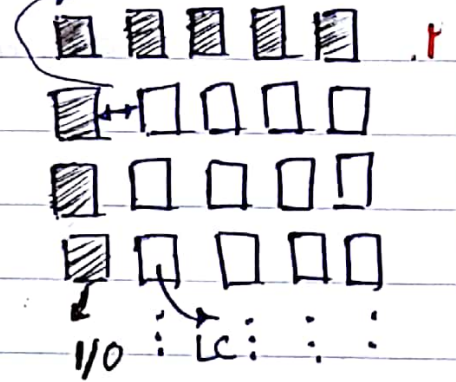
است؟

تفاوت ساختاری

FPGA

۱. بصورت ۱ رایانه دو بعدی از Logic cell ها است. که یک شبکه خیره ای یا ISLAND STYLE بهم متصل اند.

Interconnected wires (switch)



کاربردهای مناسب:

کاربردهای با

توان مصرفی پایین تر

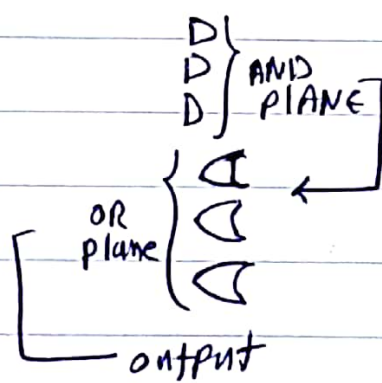
سرعت بالاتر نسبت به SPLD

و زمان طراحی بیشتر

SPLD

۱. ساختاری ساده و ابتدایی (الکترونیک) از OR/AND Plane ها دارند. نمونه ها: PLA @ PAL @

۲. ||| ... |



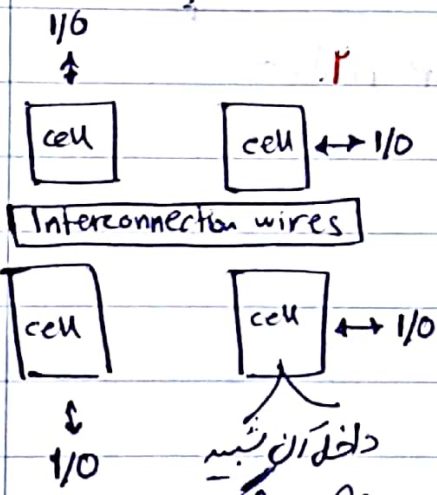
کاربردهای با توان مصرفی بالا

سرعت پایین تر و

الکترونیک طراحی بیشتر

CPLD

۱. دارای مجموعه ای از سلول های بزرگ برای پیاده سازی مدار منطق داخلی + یک بلوک ورودی قابل برنامه ریزی



داده های شبیه PAL (مثل از)

AND plane قابل برنامه ریزی

کاربردهای با توان مصرفی

پایین تر، توان مصرفی

پایین تر و سرعت

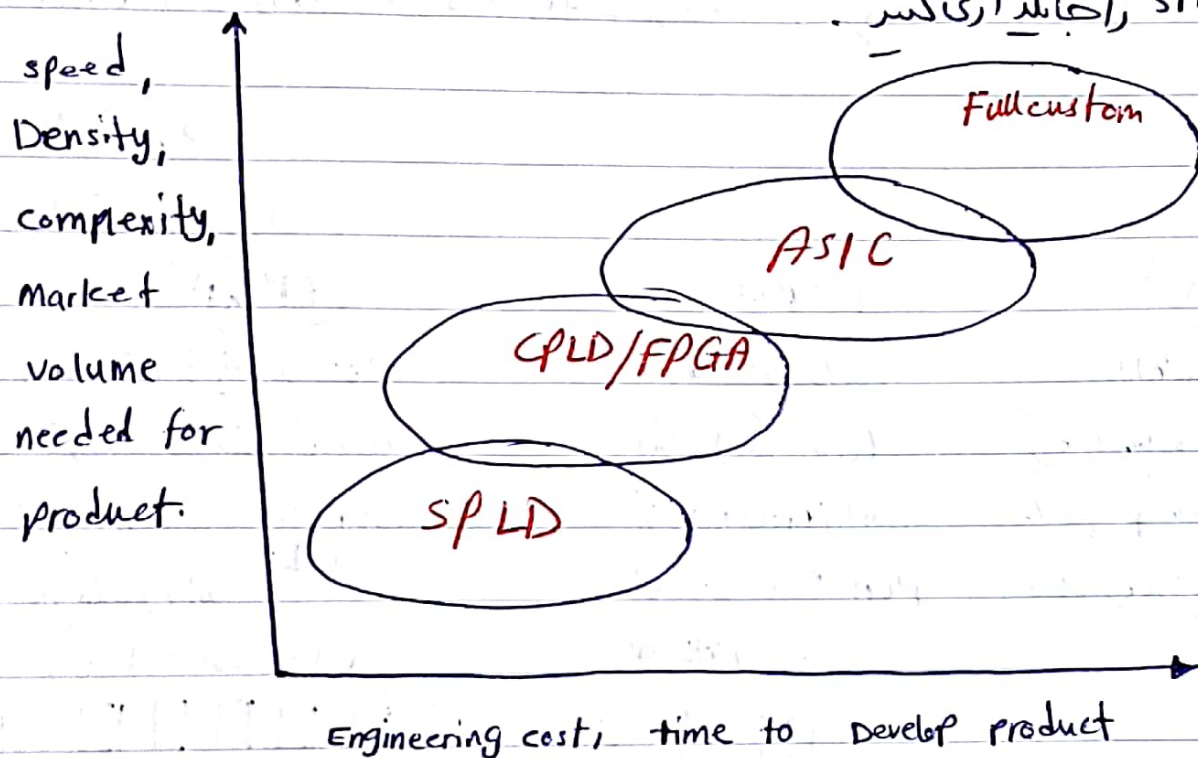
طراحی کمتر یا کمتر

(نسبت به FPGA SPLD)

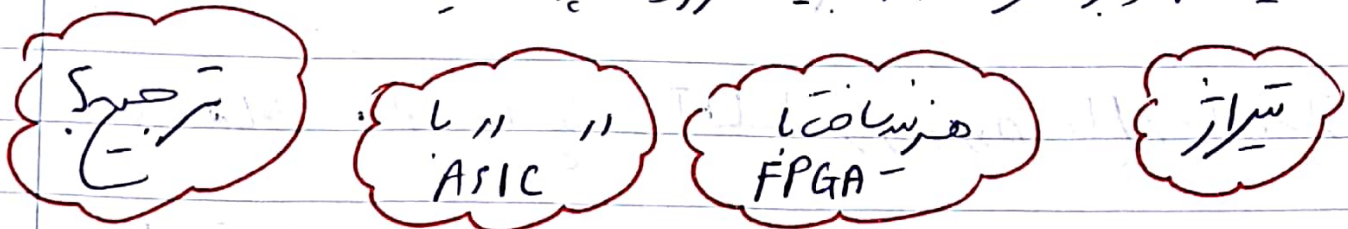


۴. در سطح زیر دایره های پای CPLD/FPGA - ASIC - Fullcustom

SPLD را جایگزینی کنید.



د. تولید محصول ← FPGA های با قیمت 210 تومان (هر عدد)  
 ← ASIC ← 5 اصلیا ردیفه اوله برای ماشین های  
 VLSI برای هر عدد ASIC به هزار تومان پرداخت کنه.



FPGA ✓	1,500,000,000 + 10,000	210,000,000	1000
FPGA ✓	1,500,000,000 + 60,000	1,260,000,000	6000
ASIC ✓	1,500,000,000 + 100,000	2,100,000,000	10000

- در صورتی که از میزان فروش محصول در آینده مطلع نیستید چه چیزها را  
 دارید به شرکت از FPGA استفاده شود چون معمولاً ماشین یا جابجایی  
 این فروش را باید در نظر گرفت (حداقل میزان فروش) در این میزان  
 FPGA هزینه های بیشتری است چون هم هزینه های آن کم است و هم  
 سرعت تولید محصول در آن بالاتر است.

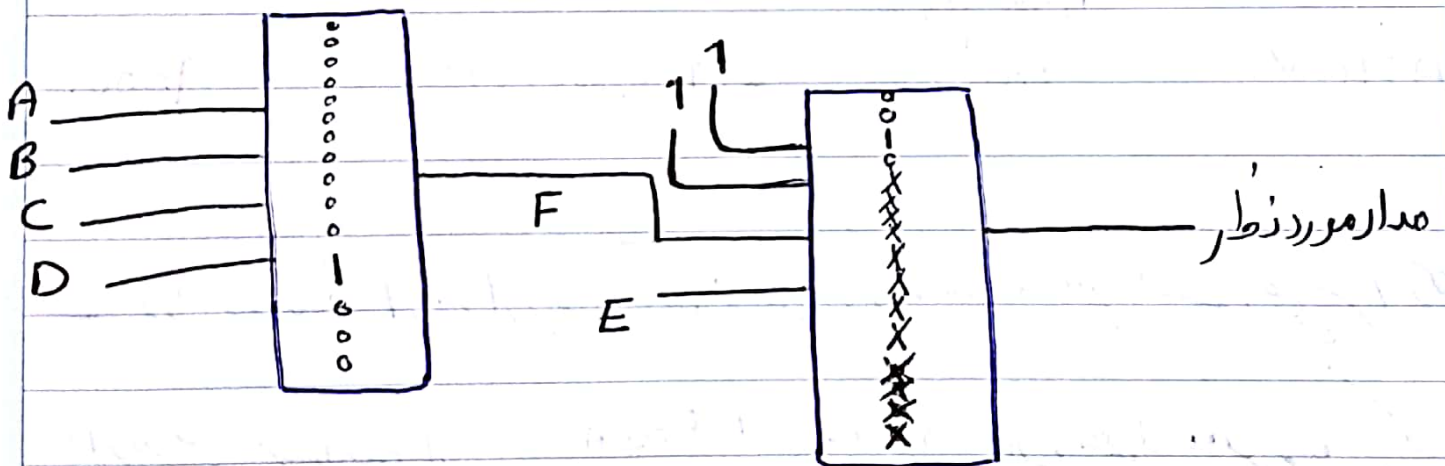
۹. با استفاده از ابزار Vivado این سِدُل را حل می‌کنیم.

( که در فایل ها آمده است.)

✓. سِمَتِ مذکور با چند LUT چهار ورودی قابل پیاده‌سازی

$$\text{است؟} \quad (AC'D'E' + B'C'D'E') \cdot (ABD'E' + ABCE') =$$

$$(AC'D'E')(ABD'E') + (AC'D'E')(ABCE') + (B'C'D'E')(ABD'E') + (B'C'D'E')(ABCE') = ABC'D'E' = \underbrace{(ABC'D')}_F \cdot E'$$





۸. عوامل تعداد آلتای های سه ورودی لازم برای پیاده سازی توابع

زیر حقیقت است؟ محتوای آلتای ها را رسم کنید.

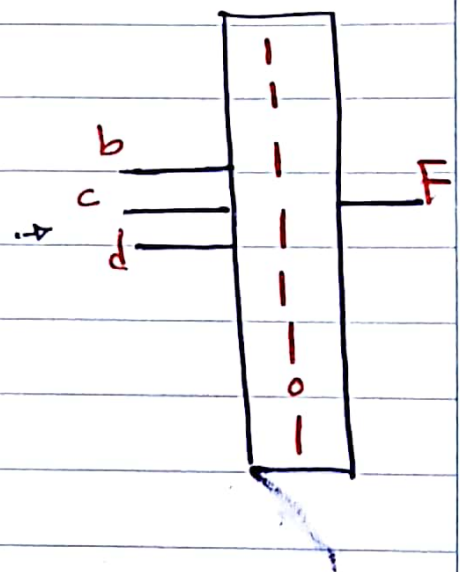
$$*1 \quad F(a, b, c, d) = \bar{b}\bar{d} + d + \bar{c}d$$

$$*2 \quad F(a, b, c, d, e) = (\bar{a}d + b\bar{d}) \cdot (\bar{e}c)$$

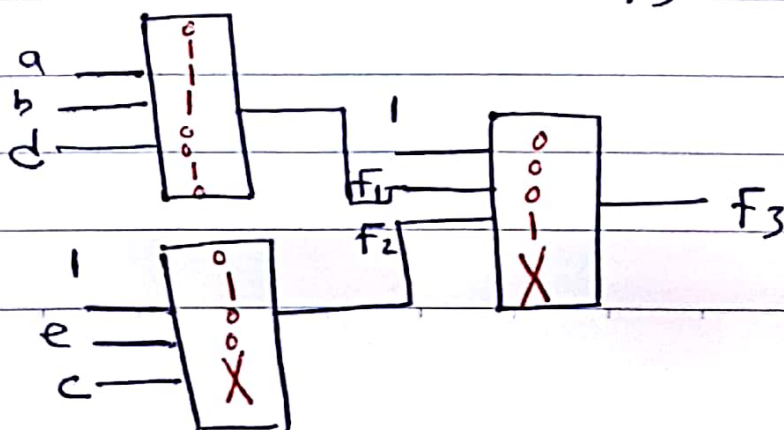
حل ۱: عوامل  $LUT = 1$

$\bar{b}\bar{d}$  OR  $d$  OR  $\bar{c}d$

b	c	d
0	0	✓
0	0	✓
0	1	✓
0	1	✓
1	0	✓
1	0	✓
1	1	0
1	1	✓

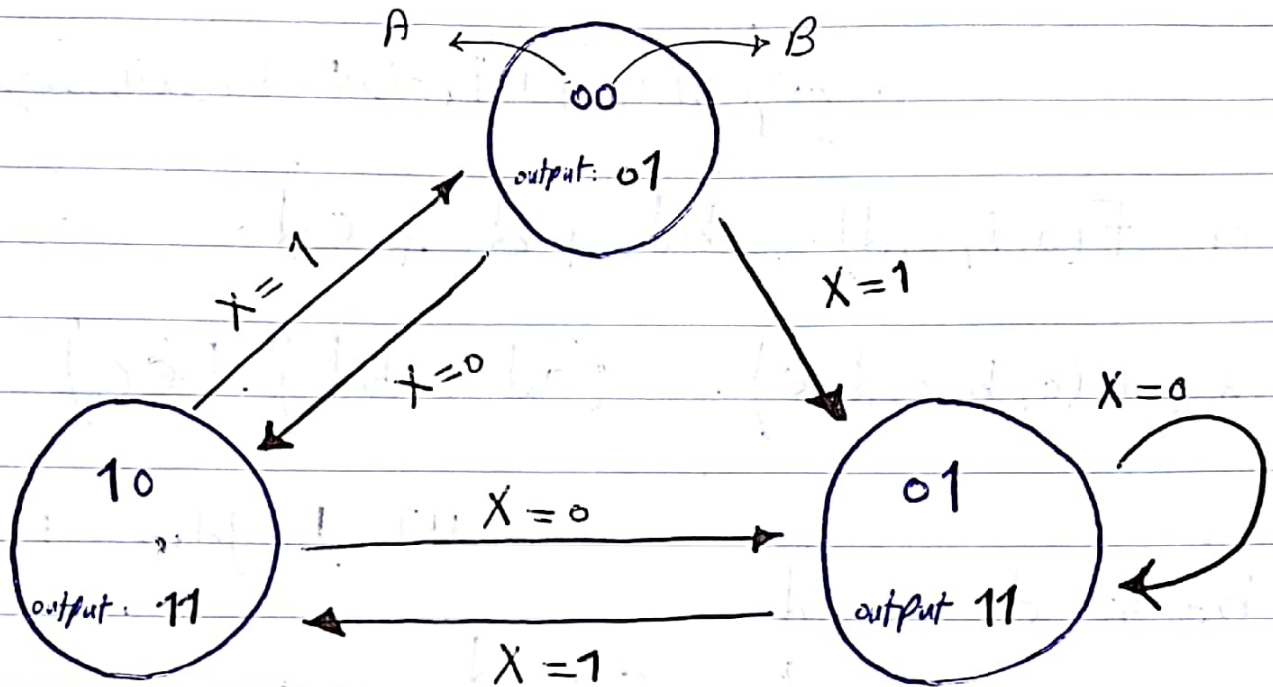


$$F_1 = \bar{a}d + b\bar{d} \quad F_2 = \bar{e}c \quad F_3 = F_1 \cdot F_2 \quad \text{حل ۲:}$$



$LUT = 3$

9. (سوال استازی)



حالت فعلی		ورودی	حالت بعدی		خروجی	D-FF	
A	B	X	A'	B'	output	D <sub>1</sub>	D <sub>2</sub>
0	0	0	1	0	1 1	1	0
0	0	1	0	1	1 1	0	1
1	0	0	0	1	1 1	0	1
1	0	1	0	0	0 1	0	0
0	1	0	1	1	1 1	0	1
0	1	1	1	0	1 1	1	0



جدول یارنو :

A	BX				$D_1$
	00	01	11	10	
0	1	0	1	0	
1	0	0	X	X	

$$D_1 = BX + \bar{A}\bar{B}\bar{X}$$

جدول یارنو :

A	BX				$D_2$
	00	01	11	10	
0	0	1	0	1	
1	1	0	X	X	

$$D_2 = B\bar{X} + \bar{A}B\bar{X} + \bar{A}B\bar{X}$$

فرید از عبارت های فوق ، در دست می آید D-FF های موجود در

PAL 16R8 را مشخص می کند برای  $D_1$  بازناسه ورودی

از AND PLANE ها (  $BX$  ،  $\bar{A}\bar{B}\bar{X}$  ) را با نشان

دار کردن سم ها و نیز برای  $D_2$  ، سررشته از AND PLANE را  
(  $B\bar{X}$  ،  $\bar{A}B\bar{X}$  ،  $\bar{A}\bar{B}\bar{X}$  ) مشخص کنیم