



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین سوم



دانشگاه صنعتی امیرکبیر

تحويل در روز یکشنبه مورخ ۱۳۹۶/۰۸/۱۴ ساعت ۲۳:۵۵ در سایت درس

سوالهای اختیاری (نمره‌ای به حل این سوالها تعلق نمی‌گیرد و تنها به منظور تمرین بیشتر قرار داده شده‌اند)

۱. انواع درستی‌سنجی در مراحل مختلف چرخه‌ی طراحی را نام ببرید و با یکدیگر مقایسه کنید. سپس مشخص کنید هر کدام تا چه حد به واقعیت نزدیک هستند.
۲. انواع بسته‌بندی^۱ تراشه‌های برنامه‌پذیر را نام برده و مزایا و معایب هر کدام را بیان کنید.
۳. به سوالات زیر پاسخ دهید.
الف. انواع **wait** را نام برده و بگویید هر کدام با یکدیگر چه تفاوتی دارند.
ب. از کد **wait;** (که زمانی نامحدود را منتظر می‌ماند) در کجا می‌توان استفاده کرد؟
پ. تفاوت‌های سیگنال و متغیر را بیان کنید.
ت. یک تابع با یک روال چه تفاوتی دارد؟
ث. چرا از اصطلاح چرخه‌ی طراحی استفاده می‌کنیم؟
ج. مراحل چرخه‌ی طراحی را نام برده و هر یک را توضیح دهید.
۴. یک مقایسه‌کننده Nبیتی (generic) در سطح RTL طراحی کنید که سه خروجی بزرگتر، مساوی و کوچکتر دارد و بسته به مقدار ورودی‌ها که از نوع علامت‌دار هستند، خروجی مناسب '1' شده و سایر خروجی‌ها '0' باقی می‌مانند.

سوالات اصلی (حل این سوالات اجباری است و به آن‌ها نمره تعلق می‌گیرد)

۵. یک شمارنده‌ی به پیمانه m (در هر مرحله m واحد شمارنده افزایش می‌یابد) ۶ بیتی دارای سیگنال reset ناهمگام طراحی و شبیه‌سازی کنید (در سطح RTL). مقدار m را به صورت generic و برابر با یک عدد دلخواه بین ۲ تا ۷ در نظر بگیرید. از نتایج شبیه‌سازی خود عکس گرفته و به همراه کدهای مربوطه ارسال نمایید.
برای مثال با $m=4$, 0, 4, 8, ... را می‌شمارد.

¹ Packaging



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین سوم



دانشگاه صنعتی امیرکبیر

تحويل در روز یکشنبه مورخ ۱۳۹۶/۰۸/۱۴ ساعت ۲۳:۵۵ در سایت درس

۶. خروجی قطعه کدهای زیر را بدست آورید و تحلیل کنید: (مقادیر اولیه سیگنال‌هایی که مقدار ندارند، برابر با 'U' در نظر گرفته شود)

```
signal x, w : std_logic;
signal y,z : std_ulogic;
process (x, y)
begin
    z<='0';
    y<='0';
    if (x>w) then
        y<=x;
    else
        x<='1';
        z<=y or x;
    end if;
    x<='0';
    y<='1';
end process;
```

(ب)

```
process(rstn, clk)
    variable ff8 : std_logic_vector(7 downto 0);
begin
    if (rstn = '0') then
        ff8 := "00000000";
    elsif (clk'event and clk = '1') then
        ff8(7) := sin;
        ff8(6) := ff8(7);
        ff8(5) := ff8(6);
        ff8(4) := ff8(5);
        ff8(3) := ff8(4);
        ff8(2) := ff8(3);
        ff8(1) := ff8(2);
        ff8(0) := ff8(1);
    end if;
    sout <= ff8(0);
end process;
```



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین سوم



دانشگاه صنعتی امیرکبیر

تحويلل در روز يكشنبه مورخ ۱۳۹۶/۰۸/۱۴ ساعت ۲۳:۵۵ در سايت درس

۷. قطعه کد زیر چه مداری را توصیف می کند؟ آن را رسم کنید.

```
process (a,b,c,x,y)
begin
  if (a='1') then
    z <= x;
  elsif (b='1') then
    z <= x or y;
  elsif (c='1') then
    z <= x and y;
  else
    z <= not y;
  end if;
end process;
```

۸. یک سیستم هوشمند روشنایی درون ساختمانی نصب شده است. در کنار هر یک از چهار پنجره این ساختمان یک سنسور شدت روشنایی قرار دارد. در صورتی که میانگین نور دریافتی توسط این سنسورها بیشتر از ۱۰۰ واحد باشد، سیستم روشنایی ساختمان خاموش شده و در غیر این صورت روشن می شود. **توجه:** در این تمرین برای محاسبه میانگین مجاز به استفاده از عملگر تقسیم و یا پیاده سازی تقسیم کننده

نیستید.

ا. با استفاده از اطلاعات فوق entity مناسب را بنویسید.

ب. یک architecture با استفاده از دستورات concurrent برای این entity ارائه کنید.

ج. یک architecture با استفاده از یک process و دستورات sequential ارائه کنید.

۹. یک مقسم فرکانسی طراحی کنید که سیگنال با فرکانس 1MHz دریافت کند و بسته به اینکه ورودی enable مقدارش 0 یا 1 باشد خروجی های زیر را تولید کند:

Enable = 0: سیگنال خروجی با فرکانس ۱ MHz به طوری که ۴۰٪ زمان سیگنال در منطق 0 و ۶۰٪ زمان در منطق 1 باشد.

Enable = 1: سیگنال خروجی با فرکانس ۱ MHz به طوری که ۷۰٪ زمان سیگنال در منطق 0 و ۳۰٪ زمان در منطق 1 باشد.

ماژول باید دارای reset ناهمگام باشد.



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین سوم



دانشگاه صنعتی امیرکبیر

تحويل در روز یکشنبه مورخ ۱۳۹۶/۰۸/۱۴ ساعت ۲۳:۵۵ در سایت درس

۱۰. برای جمع کننده ۴بیتی زیر که کد آن داده شده است، برنامه آزمونی^۲ بنویسید تا تمام حالات ورودی را بررسی کند و در صورتی که خطایی در جمع رخ داده باشد، پیغام مناسبی چاپ کند. کد برنامه آزمون به همراه کد داده شده را شبیه سازی کرده و تصاویر این شبیه سازی را به همراه کد خود ارسال کنید.

```
entity ADD4 is
port ( a  : in std_logic_vector(3 downto 0);
      b  : in std_logic_vector(3 downto 0);
      sum : out std_logic_vector(4 downto 0)
);
end entity ADD4;
architecture test of ADD4 is
begin
    sum <= ('0' & a) + ('0' & b);
end test;
```

۱۱. می خواهیم ترموستات یک بخاری را با استفاده از دو ورودی integer و یک خروجی boolean مدل کنیم. یکی از ورودی ها دمای مطلوب ما و دیگری دمایی است که از سنسور دما دریافت می کنیم. در صورتی که دمای محیط از دمای مطلوب ما ۵ درجه بیشتر شود بخاری خاموش (خروجی false) و اگر دمای محیط از دمای مطلوب ۵ درجه کمتر باشد بخاری روشن می شود (خروجی true).

الف) با استفاده از اطلاعات فوق، entity مناسب را بنویسید.

ب) architecture ای بدون استفاده از process (با استفاده از دستورات concurrent) برای entity قسمت قبل ارائه کنید.

ج) architecture قسمت قبل را با استفاده از دستورات sequential ارائه کنید.

² Test bench



دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی خودکار مدارهای دیجیتال
نیمسال اول ۱۳۹۶
تمرین سوم



دانشگاه صنعتی امیرکبیر

تحويل در روز یکشنبه مورخ ۱۳۹۶/۰۸/۱۴ ساعت ۲۳:۵۵ در سایت درس

۱۲. توصیفی به زبان VHDL بنویسید که نمره‌ی دانشجویان (عدد صحیح بین ۰ تا ۱۰۰) را به عنوان ورودی بگیرد و ۴ سیگنال a ، b ، c و d به عنوان خروجی داشته باشد. در صورتی که نمره دانشجوی بین ۵۱ تا ۶۰ بود، سیگنال $d=1$ ، نمره بین ۶۱ تا ۷۰ سیگنال $c=1$ ، نمره بین ۷۶ تا ۸۵ سیگنال $b=1$ ، نمره بین ۸۶ تا ۱۰۰ سیگنال $a=1$ و در بقیه موارد همه مقادیر برابر با ۰ باشند. لازم به ذکر است که این توصیف باید به صورت همروند پیاده‌سازی شود.