



مهلت تحویل: ۹/۲۲

نام درس: مدارهای منطقی

گروه مهندسی کامپیوتر

تمرین شماره 2 کامپیوتری پروتئوس و وریلاگ

دانشجویان محترم لطفاً به نکته‌های زیر توجه کرده و آن‌ها را رعایت کنید:

- تحویل تکلیف فقط از طریق سامانه آموزش مجازی دانشگاه امکان پذیر است.
- در ارسال تمرین کامپیوتری از تقلب اجتناب کنید. در صورت اثبات تقلب از ۱۰۰ نمره تمرین، برای طرفین نمره ۱۰۰- لحاظ خواهد شد.
- فرمت نهایی فایل های خود را به صورت FirstnameLastname-Studentid-CA2 ارسال کنید.
- توجه داشته باشید که تحویل تکلیف بعد از مهلت مشخص شده نمره نخواهد داشت و در صورتی که فایلی آپلود نکنید ۲۰ درصد از نمره تمرین از شما کم میشود یعنی نمره ۲۰- را دریافت خواهید کرد.

صورت پروژه

هدف از این تمرین پیاده سازی یک مدار منطقی با استفاده از زبان وریلاگ و نرم افزار پروتئوس برای شمارش تعداد یک های عدد ورودی و در نتیجه آن تشخیص خطا در ارسال اطلاعات است. ورودی شامل یک عدد ۳۱ بیتی بوده و نتیجه نهایی باید به صورت یک عدد پنج بیتی نمایش داده شود (تعداد بیت با مقدار ۱ در عدد ورودی).

به منظور پیاده سازی این مدار، ابتدا باید شمارنده ای طراحی کرده که ورودی آن شامل ۴ بیت (یک عدد سه بیتی و بیت توازن) می باشد و در خروجی باید با استفاده از یک مدار مقایسه گر، تعداد یک و بیت توازن را مقایسه کرده و تشخیص دهید که عدد ورودی با توجه به بیت توازن درست است یا خیر. سپس با استفاده از تعداد مناسبی از این مدار و در صورت نیاز مدارات دیگر، مازول مناسب برای تشخیص خطا برای عدد ۳۱ بیتی را طراحی کنید.

بخش پروتئوس

در بخش پروتئوس، اول شما نیاز به مداری دارید که تعداد یک ها را می شمارد، برای این مدار ما نیاز به ۳ بیت ورودی و برای تشخیص خطا نیاز به یک بیت توازن داریم (Parity Even). در خروجی مدار باید تعداد یک ها نشان داده شود و ما نیاز به یک مدار دیگر داریم که بتواند مقدار Parity را با خروجی مدار شمارنده مقایسه کرده و نتیجه را به صورت صفر و یک برگرداند (Confirmed Bit) که اگر نتیجه درستی را نشان می داد مقدار یک و در غیر این صورت مقدار صفر را برگرداند.

با استفاده از توضیحات داده شده شما اکنون باید مداری را پیاده سازی کنید که ۳۲ بیت ورودی گرفته (۳۱ بیت برای عدد و ۱ بیت برای توازن) و تعداد یک ها را در خروجی در ۵ بیت نشان دهد و با استفاده از parity bit و Confirmed bit ها نشان دهد که آیا مداری که طراحی کردیم به درستی عمل می کند یا خیر. دقت داشته باشید قالب کلی بر اساس گام اول که در صورت پروژه ذکر شده باید انجام شود.

به این نکات در پیاده سازی پروتئوس توجه داشته باشید که رعایت نکردن آن ها باعث کسر از نمره شما خواهد شد:

- ۱- حتما در پیاده سازی خود از Sub circuit ها استفاده کنید.
- ۲- استفاده از Wire ها مجاز نیست و باید از Label گذاری استفاده کنید.
- ۳- استفاده از ماژول های آماده مجاز نیست فقط میتوانید از گیت های اصلی استفاده کنید. (xnor , xor, not, or, and,)
- ۴- برای دادن مقدار به مدار خود می توانید از logic circuit استفاده کنید و برای نمایش خروجی میتوانید از logic probe استفاده کنید.
- ۵- برای پیاده سازی از نرم افزار proteus 8.16 استفاده کنید.(فقط نسخه مورد نظر را نصب و استفاده کنید).

بخش وریلاگ

در این بخش نیز ابتدا ماژولی مشابه گام اول قسمت پروتئوس طراحی کرده که شامل چهار بیت ورودی (۳ بیت برای عددی که قصد بررسی درستی آن را داریم و ۱ بیت توازن) و خروجی آن سیگنال confirmed bit و تعداد بیت ها با مقدار یک می باشد.

در قسمت بعد با استفاده از تعداد مناسب از ماژولی که طراحی کرده اید و در صورت نیاز ماژول های دیگر، باید مدلی برای بررسی درستی عدد ۳۱ بیتی طراحی و پیاده سازی کنید. توجه داشته باشید که در این قسمت امکان استفاده از بلاک generate وجود داشته و باعث سادگی در طراحی خواهد شد. در نهایت خروجی ماژول شما باید شامل یک عدد ۵ بیتی (برای نمایش تعداد یک ها) و سیگنال confirmed bit باشد که ۱ بودن آن به معنی درست بودن عدد ورودی و صفر بودن آن نیز به معنی بروز خطا در ارسال دیتا (ورودی اشتباه) می باشد.

به این نکات در پیاده سازی وریلاگ توجه داشته باشید که رعایت نکردن آن ها باعث کسر از نمره شما خواهد شد:

- ۱- برای اجرا و سیمولیت کد وریلاگ خود از نرم افزار Modelsim استفاده کنید.
- ۲- طراحی تست بنچ برای دادن ورودی الزامی است.
- ۳- کد خود را به صورت خوانا بنویسید و در صورت لزوم از کامنت گذاری استفاده کنید.
- ۴- کد شما باید با شماتیک پیاده سازی انجام شده در پروتئوس همخوانی داشته باشد در غیر این صورت باعث کسر نمره خواهد شد.