

به نام خدا



آزمایش شماره ۴

آزمایش معماری - دکتر سربازی آزاد

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نیمسال اول ۰۱-۰۰

گروه:

امیرحسین هادیان - ۹۷۱۰۲۶۰۹

محمد رضا مفیضی - ۹۸۱۰۶۰۵۹

علی حاتمی تاجیک - ۹۸۱۰۱۳۸۵



۱ هدف

در این آزمایش قصد داریم یک مبدل دهدهی به دودویی را طراحی و پیاده‌سازی کنیم. با فعال شدن سیگنال شروع مدار شروع به کار کرده و ورودی دهدهی را که یک عدد سه رقمی است به معادل دودویی آن تبدیل می‌کند و حاصل را در خروجی قرار می‌دهد و سیگنال پایان را فعال می‌کند.

۲ الگوریتم

برای تبدیل یک عدد دهدهی ۳ رقمی به معادل دودویی به صورت زیر عمل می‌کنیم:

۱. عدد دهدهی ورودی را یک بیت به راست شیفت می‌دهیم.
 ۲. اگر با ارزش‌ترین بیت رقم ۱ام یک باشد از آن رقم ۳ واحد کم می‌کنیم.
 ۳. مراحل اول و دوم را آنقدر تکرار می‌کنیم تا تمام ارقام دهدهی صفر شوند.
- در پایان بیت‌هایی که بوسیله شیفت به راست بیرون می‌آیند، عدد دودویی معادل عدد دهدهی ورودی را تشکیل می‌دهند.

۳ طراحی

۱.۳ ASM Chart

مدار سه استیت اصلی دارد که شرح آن به صورت زیر است:

۱. ابتدایی: در این استیت منتظر سیگنال شروع هستیم و با فعال شدن آن ارقام عدد دهدهی در رجیسترهای D1 تا D3 ریخته می‌شوند. مقادیر شمارنده، خروجی و سیگنال پایان ریست می‌شوند.
 ۲. شیفت: در این حالت تا زمانی که تمام بیت‌های ارقام دهدهی صفر نشده‌اند و شمارنده به ۱۰ نرسیده، عدد دهدهی ورودی را یک بیت به راست شیفت می‌دهیم، شمارنده را یکی افزایش داده و به حالت تفریق می‌رویم. زمانی که تمام بیت‌های دهدهی صفر شدند، خروجی تا زمانی که شمارنده به ۱۰ برسد شیفت می‌خورد سپس کار به پایان رسیده و سیگنال پایان فعال می‌شود.
 ۳. تفریق: در این حالت اگر بارزش‌ترین بیت یک رقم یک باشد، ۳ واحد از آن عدد کم می‌کنیم.
- این چارت در شکل ۱ آمده است.

۲.۳ مدار اصلی

مدار اصلی کلاک، سیگنال شروع و ریست و عدد دهدهی را ورودی می‌گیرد. در خروجی هم سیگنال پایان و عدد دودویی وجود دارد. در شکل ۲ شمای کلی پیاده‌سازی آمده است. شکل ۳ نیز مدار اصلی را نمایش می‌دهد.

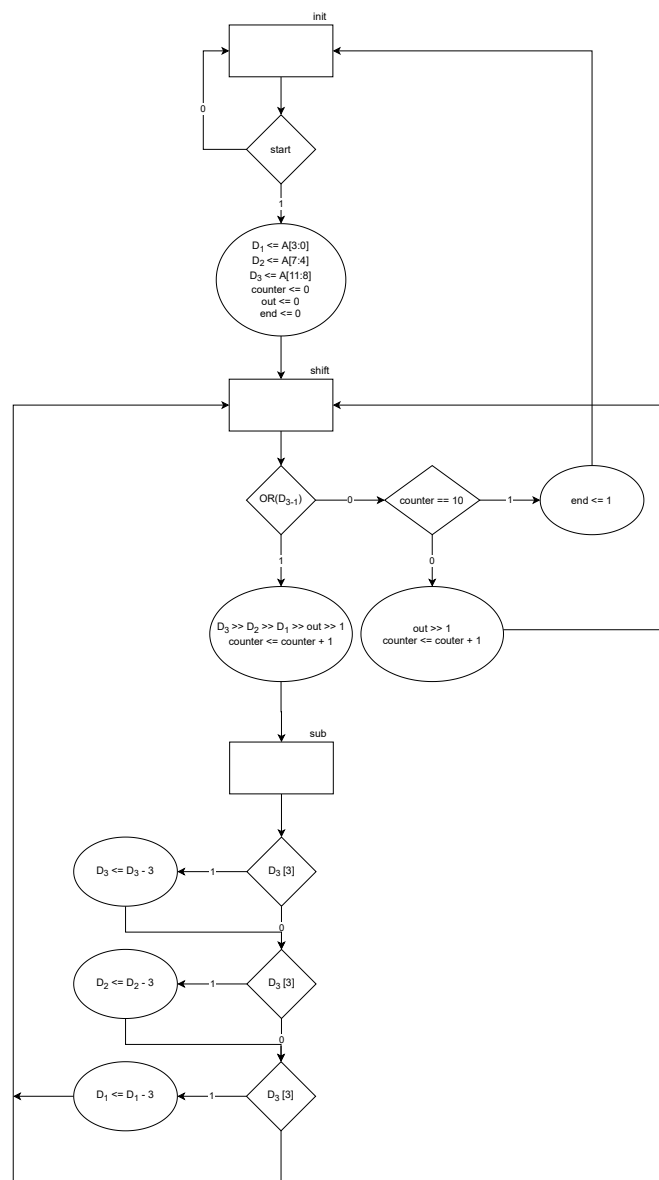
۳.۳ واحد کنترل

بخش کنترلی مدار است که جابجایی بین استیت‌های مختلف را کنترل می‌کند. سیگنال شروع و ریست، حاصل Or بیت‌های عدد دهدهی ورودی و سیگنال ده بودن شمارنده به همراه کلاک را ورودی می‌گیرد. در خروجی سه حالت اصلی مدار یعنی استیت‌های ابتدایی، شیفت و تفریق را نشان می‌دهد. شمای این بخش از مدار در شکل ۴ آمده است. روابط تبدیل حالات مدار به صورت زیر است:

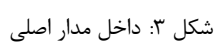
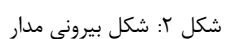
$$S_0^+ = S_0 \cdot \text{Start} + S_1 \cdot \overline{\text{DigitsOr}} \cdot \overline{\text{CounterIsTen}}$$

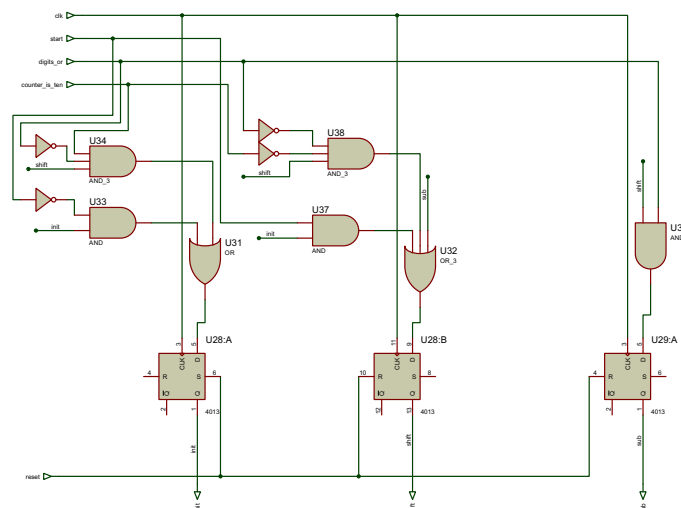
$$S_1^+ = S_0 \cdot \overline{\text{Start}} + S_1 \cdot \overline{\text{DigitsOr}} \cdot \overline{\text{CounterIsTen}} + S_2$$

$$S_2^+ = S_1 \cdot \overline{\text{DigitsOr}}$$



شکل ۱: ASM Chart





شکل ۴: واحد کنترل

۴.۳ سیگنال‌های کنترلی

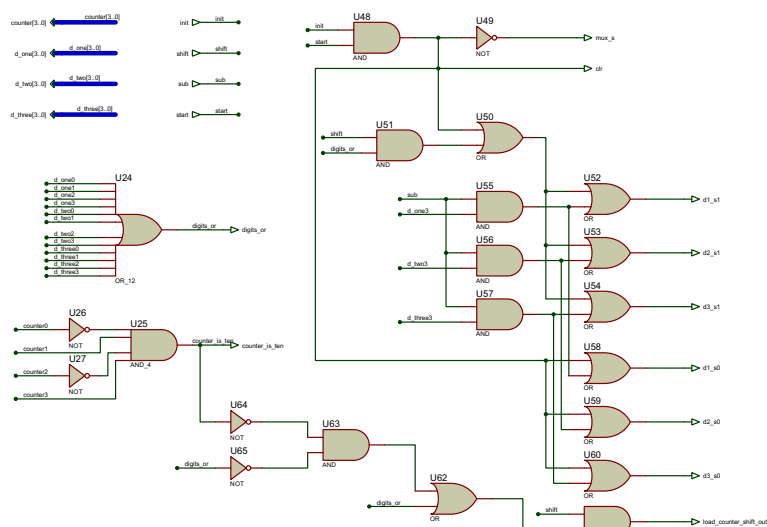
این بخش از مدار وظیفه تولید سیگنال‌های میانی با توجه به استیت فعلی مدار، عدد دهدهی و شمارنده را دارد. خروجی `digits_or` درواقع Or بیت‌های عدد دهدهی است که در استیت دوم استفاده می‌شود. `counter_is_ten` نشان می‌دهد که شمارنده به ۱۰ رسیده است یا خیر. با توجه به چارت زمانی که هنوز همه بیت‌های عدد دهدهی صفر نشده‌اند یا شمارنده به ۱۰ نرسیده باشد و در استیت شیفِت باشیم، `load_counter_shift_out` فعال است که نشان می‌دهد باید عدد دهدهی را یکی شیفِت بدهیم و شمارنده را یک واحد افزایش بدهیم. خروجی `mux_s` برای زمانی است که در استیت ابتدایی باشیم و سیگنال شروع بیاید (این سیگنال در بخش رجیسترها برای لود کردن ورودی اولیه در صورت صفر بودن و نگهداری ورودی قبلی در غیر این صورت است). شمای این بخش در شکل ۵ آمده است.

۵.۳ رجیسترها

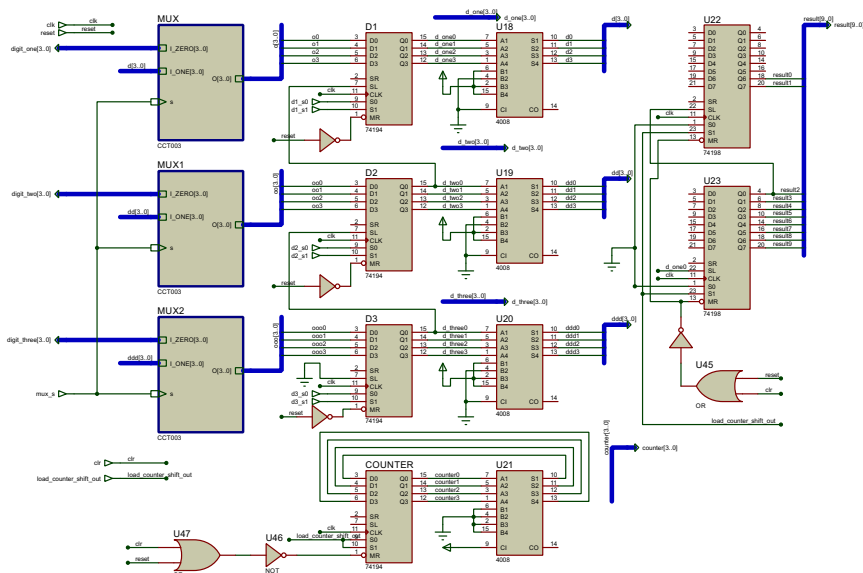
این بخش از مدار با گرفتن ارقام عدد دهدهی ورودی آنها را در رجیستر ذخیره می‌کند. ماکس‌های دو به یک با توجه به `mux_s` ورودی جدید را لود می‌کنند یا از ورودی قبلی استفاده می‌کنند. برای نگهداری ارقام از تراشه شیفِت رجیستر ۴ بیتی ۷۴۱۹۴ استفاده شده است. از جمع کننده ۴ بیتی ۴۰۰۸ برای کم کردن ۳ واحد از رقم در صورت نیاز استفاده شده است (ورودی A آن رقم دلخواه و ورودی B آن مکمل دو عدد ۳ یعنی ۱۱۰۱ است). از دو شیفِت رجیستر ۸ بیتی ۷۴۱۹۸ برای نگهداری عدد دودویی خروجی استفاده شده است. همچنین برای نگهداری شمارنده از تراشه ۷۴۱۹۴ استفاده شده که با اتصال به یک جمع‌کننده می‌تواند یکی یکی افزایش یابد. شمای این بخش در شکل ۶ آمده است.

۴ تست

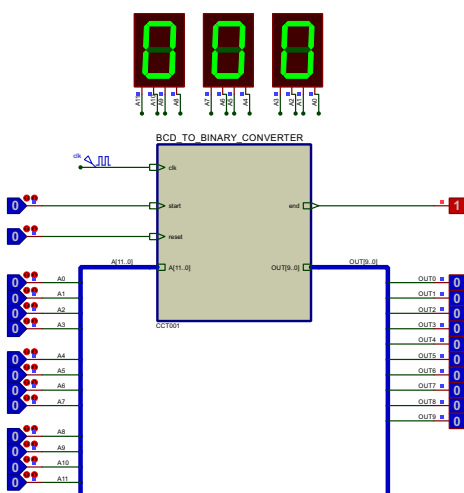
توجه کنید که برای تست مدار باید قبل از زدن سیگنال شروع یکبار آنرا ریست کرد. شکل‌های ۷ تا ۱۲ مربوط به تست اعداد تصادفی برای مدار هستند.



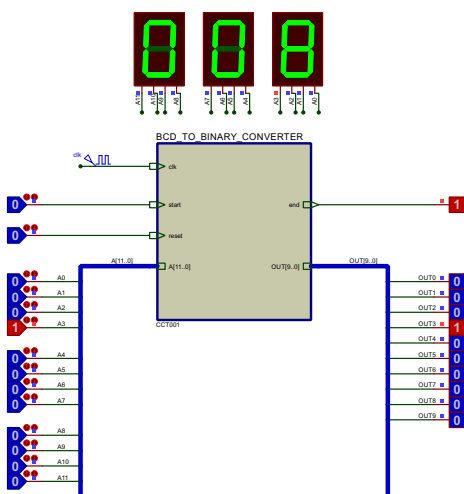
شکل ۵: سیگنال‌های کنترلی



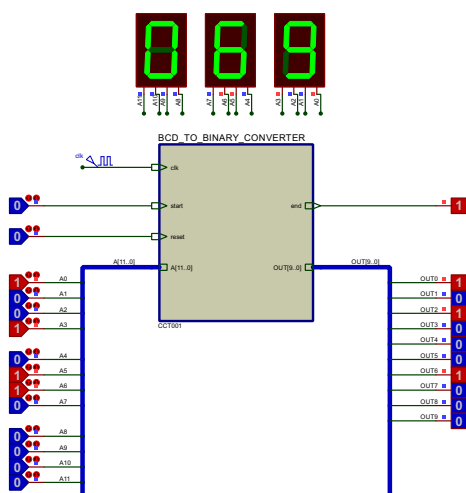
شکل ۶: رجیسترها



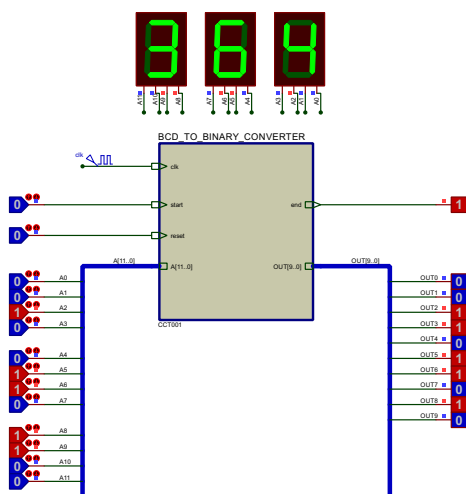
شکل ۷: تست عدد ۰



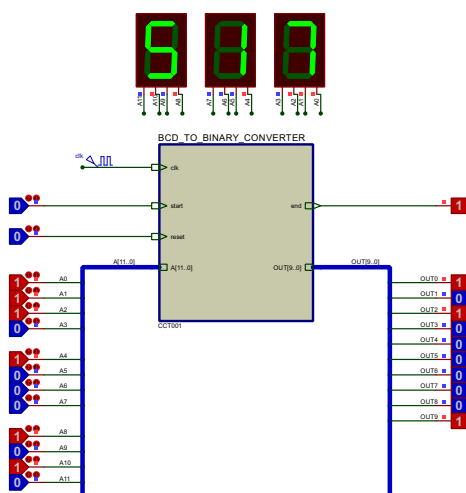
شکل ۸: تست عدد ۸



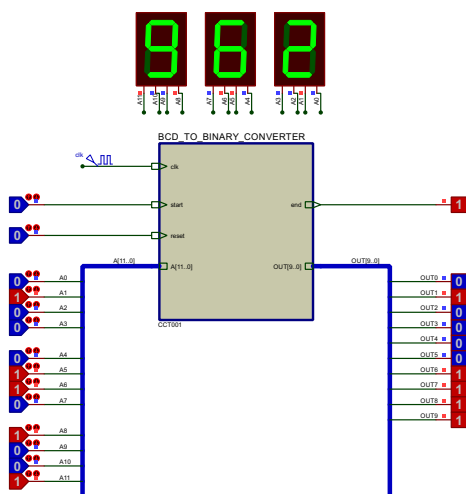
شکل ۹: تست عدد ۶۹



شکل ۱۰: تست عدد ۳۶۴



شکل ۱۱: تست عدد ۵۱۷



شکل ۱۲: تست عدد ۹۶۲