به نام خدا

آزمایش شماره ۸

آز معماری – دکتر سربازی آزاد

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نیم‌سال اول ۰۰-۰۱

امیرحسین هادیان - ۹۷۱۰۲۶۰۹

محمدرضا مفیضی - ۹۸۱۰۶۰۵۹

علی حاتمی تاجیک - ۹۸۱۰۱۳۸۵

command	address	hex address	binary address	micro-opcode	enable	s_select	d_select	op	load_sr	OE1	OE2	WE	extra	load_IR	enable_counter	load_pc	extra
no operation	0		00000000	000	0	0	0	0	0	0	0	0	0	0	0	0	0
fetch - load IR	1	01	00000001	000	0	0	0	0	0	1	1	1	0	1	0	0	0
fetch - count pc	2	02	00000010	000	0	0	0	0	0	1	1	1	0	0	1	0	0
check jump instrucntion	3	03	00000011	001	0	0	0	0	0	0	0	0	0	1	1	1	1
check mem instruction	4	04	00000100	010	0	0	0	0	0	0	0	0	0	1	0	1	0
alu - check sub	5	05	00000101	011	0	0	0	0	0	0	0	0	0	1	0	0	0
add	6	06	00000110	000	1	0	0	0	1	1	1	1	0	0	0	0	0
jump to fetch	7	07	00000111	111	0	0	0	0	0	0	0	0	0	0	0	0	1
sub	8	08	00001000	000	1	0	0	1	1	1	1	1	0	0	0	0	0
jump to fetch	9	09	00001001	111	0	0	0	0	0	0	0	0	0	0	0	0	1
memory - check store	10	0A	00001010	011	0	0	0	0	0	0	0	0	0	1	1	0	1
memory load	11	0B	00001011	000	1	0	1	0	0	0	0	1	0	0	0	0	0
jump to fetch	12	0C	00001100	111	0	0	0	0	0	0	0	0	0	0	0	0	1
memory store	13	0D	00001101	000	0	1	0	0	0	1	1	0	0	0	0	0	0
jump to fetch	14	0E	00001110	111	0	0	0	0	0	0	0	0	0	0	0	0	1
jump - check o , always	15	0F	00001111	010	0	0	0	0	0	0	0	0	1	0	1	0	1
jump - check s	16	10	00010000	011	0	0	0	0	0	0	0	0	1	0	0	1	1
jump if z = 1	17	11	00010001	100	0	0	0	0	0	0	0	0	1	1	0	0	0
jump to fetch	18	12	00010010	111	0	0	0	0	0	0	0	0	0	0	0	0	1
jump if s = 1	19	13	00010011	101	0	0	0	0	0	0	0	0	1	1	0	0	0
jump to fetch	20	14	00010100	111	0	0	0	0	0	0	0	0	0	0	0	0	1
jump - check always	21	15	00010101	011	0	0	0	0	0	0	0	0	1	1	0	0	0
jump if o = 1	22	16	00010110	110	0	0	0	0	0	0	0	0	1	1	0	0	0
jump to fetch	23	17	00010111	111	0	0	0	0	0	0	0	0	0	0	0	0	1
always jump	24	18	00011000	000	0	0	0	0	0	1	1	1	0	0	0	1	0
jump to fetch	25	19	00011001	111	0	0	0	0	0	0	0	0	0	0	0	0	1

جدول ۱: میکروایسنتراکشن‌ها

۱ هدف

هدف این آزمایش پیاده‌سازی مدار کنترل کامپیوتر ساخته شده در آزمایش‌های قبل به صورت ریزبرنامه‌پذیر است.

۲ طراحی

۱.۲ مدار کنترلی

برای طراحی مدار کنترلر به صورت ریزبرنامه‌پذیر ابتدا باید میکرو اینستراکشن‌ها را طراحی کنیم که شرح آن به شکل زیر است: ابتدا دستور را در ثبات لود می‌کنیم.(fetch) سپس شمارنده دستور را یکی زیاد می‌کنیم تا در مرحله بعدی آن را لود کنیم و اگر دستور پرشی باشد، مقدار آدرس پرش در شمارنده دستور لود می‌شود و سپس دستور مور نظر لود خواهد شد. سپس با بررسی بیت‌های دستور از بیت پرارزش، نوع دستور را تشخیص می‌دهیم و سیگنال‌های کنترلی درست را ارسال می‌کنیم که این عمل تشخیص دستور با استفاده از میکرو آپکودها و معماری سیستم کنترلی موجود در صورت آزمایش صورت می‌گیرد. جدول دستورهای میکرو اینستراکشن که در حافظه به صورت ایستا ذخیره شده است در جدول ۱ آمده است.

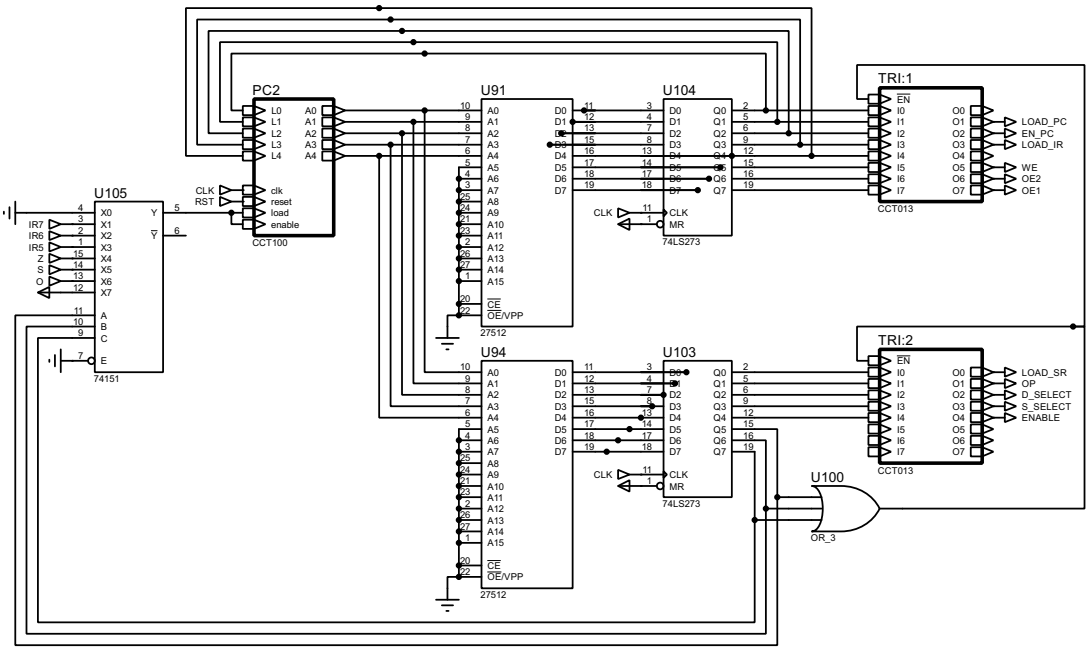
برای طراحی فیزیک این قسمت از طراحی پیشنهادی موجود در صورت آزمایش استفاده شد. طول میکرو اینستراکشن‌ها با توجه به تعداد سیگنال‌های کنترلی ۱۶ بیت شد که البته ۲ بیت آن رزرو است و بعدا می‌تواند مورد استفاده قرار گیرد. به علت اینکه حافظه ۱۶ بیتی در پروتئوس نداشتیم، از دو حافظه ۸ بیتی برای ذخیره میکرو اینستراکشن‌ها استفاده کردیم. تصویر مدار کنترل در شکل ۱ آمده است.

۲.۲ تغییرات انجام شده

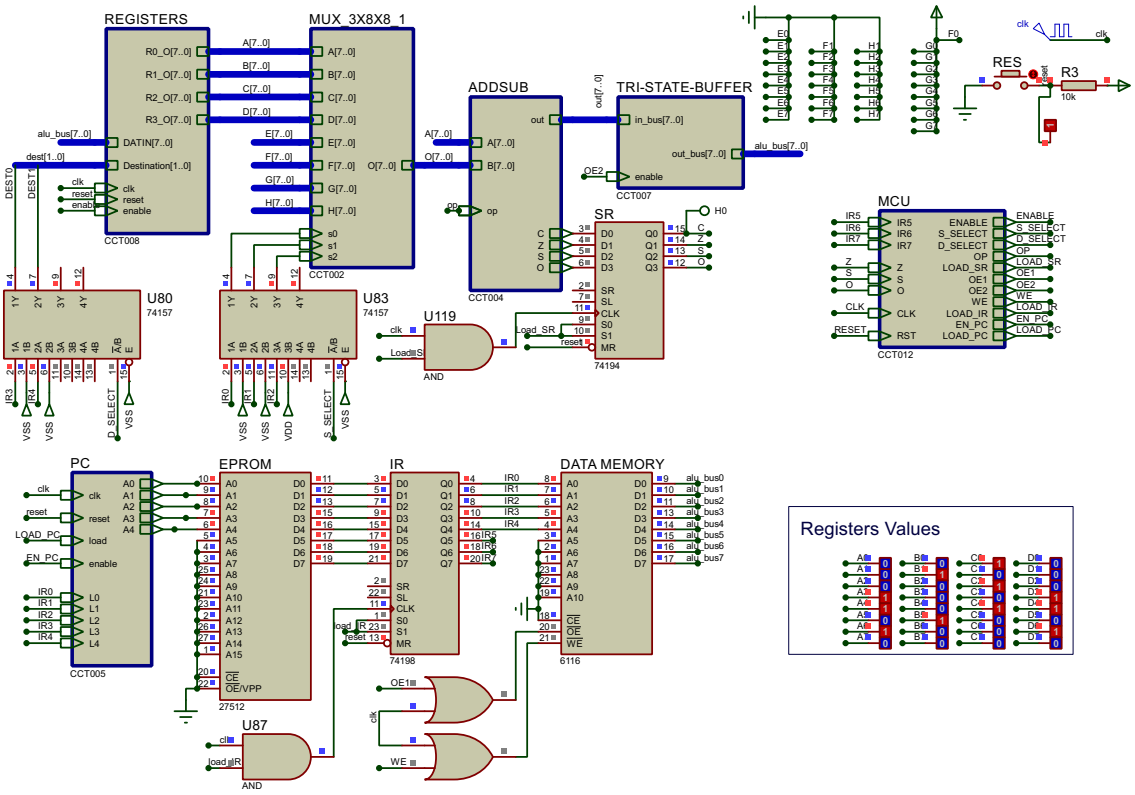
در این آزمایش بخش کنترلی به طور کامل با ریز معماری اجرا کننده ریز دستورات جایگزین شده ولی ورودی‌ها همچنان مثل آزمایش قبل IR و خروجی‌ها سیگنال‌های کنترلی مورد نیاز در مدار هستند. از طرفی چون در بعضی حالات ریز دستورات، سینگال‌های کنترلی به z تغییر پیدا می‌کنند (با استفاده از بافر سه حالته)، در ورودی رجیسترها و بخش‌هایی از مدار که از این سیگنال ها استفاده می‌کنند از and این سیگنال‌ها با کلاک استفاده شده تا مقدار z عملکرد این بخش‌ها را خراب نکند. از آنجایی که در ریز دستورات به خود دستور دسترسی نداریم، با تعیین سیگنال کنترلی یک مالتی پلکسر مشخص می‌کنیم که مبدا و مقصد در ALU از دستور خوانده شود و یا مقدار ثابت از پیش تعیین شده باشد.

۳ تست

برای بررسی درستی عملکرد سیستم، برنامه اول آزمایش قبل (جمع ۱۰ جمله اول از سری فیبوناچی) را روی ماشین اجرا کردیم که خروجی آن به صورت شکل ۲ است. حاصل یعنی عدد ۸۸ به صورت باینری در رجیستر R0 (همان A) نشان داده شده است (که از آدرس صفر حافظه خوانده شده است).



شکل ۱: مدار کنترلی


REGISTERS
MUX_3X8X8_1
ADDSUB
TRI-STATE-BUFFER
SR
MCU
U80
74157
U83
74157
U119
AND
CCT008
CCT002
CCT004
CCT007
74194
CCT012
PC
EPROM
IR
DATA MEMORY
CCT005
27512
74198
6116
U87
AND
Registers Values
RES
R3
10k

شکل ۲: تست