

گزارش آزمایش چهارم

۱ هدف

در این آزمایش قصد داریم یک مبدل دهنده به دودویی را طراحی و پیاده‌سازی کنیم. با فعال شدن سیگنال شروع مدار شروع به کار کرده و ورودی دهنده را که یک عدد سه رقمی است به معادل دودویی آن تبدیل می‌کند و حاصل را در خروجی قرار می‌دهد و سیگنال پایان را فعال می‌کند.

۲ الگوریتم

برای تبدیل یک عدد دهنده r رقمی به معادل دودویی به صورت زیر عمل می‌کنیم:

۱. عدد دهنده ورودی را یک بیت به راست شیفت می‌دهیم.

۲. اگر با ارزشترین بیت رقم i ام یک باشد از آن رقم 3 واحد کم می‌کنیم.

۳. مراحل اول و دوم را آنقدر تکرار می‌کنیم تا تمام ارقام دهنده صفر شوند.

در پایان بیت‌هایی که بوسیله شیفت به راست بیرون می‌آیند، عدد دودویی معادل عدد دهنده ورودی را تشکیل می‌دهند.

۳ طراحی

۱ ASM Chart

مدار سه استیت اصلی دارد که شرح آن به صورت زیر است:

۱. ابتدایی: در این استیت منتظر سیگنال شروع هستیم و با فعال شدن آن ارقام عدد دهنده در رجیسترهای

D1 تا D3 ریخته می‌شوند. مقادیر شمارنده، خروجی و سیگنال پایان ریست می‌شوند.

۲. شیفت: در این حالت تا زمانی که تمام بیت‌های ارقام دهنده صفر نشده‌اند و شمارنده به ۱۰ نرسیده، عدد

دهدهی ورودی را یک بیت به راست شیفت می‌دهیم، شمارنده را یکی افزایش داده و به حالت تفریق

می‌رویم. زمانی که تمام بیت‌های دهنده صفر شدند، کار به پایان رسیده و سیگنال پایان فعال می‌شود.

۳. تفریق: در این حالت اگر با ارزشترین بیت یک رقم یک باشد، ۳ واحد از آن عدد کم می‌کنیم.

۲ مدار اصلی

مدار اصلی کلاک، سیگنال شروع و ریست و عدد دهنده را ورودی می‌گیرد. در خروجی هم سیگنال پایان و عدد

دودویی وجود دارد. در شکل؟ شمای کلی پیاده سازی آمده است. شکل؟ نیز مدار اصلی را نمایش می‌دهد.

۳ واحد کنترل

بخش کنترلی مدار است که جابجایی بین استیت‌های مختلف را کنترل می‌کند. سیگنال شروع و ریست، حاصل Or

بیت‌های عدد دهنده ورودی و سیگنال ده بودن شمارنده به همراه کلاک را ورودی می‌گیرد. در خروجی سه حالت

اصلی مدار یعنی استیت‌های ابتدایی، شیفت و تفریق را نشان می‌دهد. شمای این بخش از مدار در شکل؟ آمده است.

روابط تبدیل حالات مدار به صورت زیر است:

$$S_0^+ = S_0 \cdot \overline{Start} + S_1 \cdot \overline{DigitsOr} \cdot CounterIsTen$$

$$S_1^+ = S_0 \cdot Start + S_1 \cdot \overline{DigitsOr} \cdot \overline{CounterIsTen} + S_2$$

$$S_2^+ = S_1 \cdot \overline{DigitsOr}$$

۴ سیگنال‌های کنترلی

این بخش از مدار وظیفه تولید سیگنال‌های میانی با توجه به استیت فعلی مدار، عدد دهدهی و شمارنده را دارد. خروجی digits_or درواقع Or بیت‌های عدد دهدهی است که در استیت دوم استفاده می‌شود. counter_is_ten نشان می‌دهد که شمارنده به ۱۰ رسیده است یا خیر. با توجه به چارت زمانی که هنوز همه بیت‌های عدد دهدهی صفر نشده‌اند یا شمارنده به ۱۰ نرسیده باشد و در استیت شیفِت باشیم، load_counter_shift_out فعال است که نشان می‌دهد باید عدد دهدهی را یکی شیفِت بدهیم و شمارنده را یک واحد افزایش بدهیم. خروجی mux_s برای زمانی است که در استیت ابتدایی باشیم و سیگنل شروع بیاید. (این سیگنال در بخش رجیسترها برای لود کردن ورودی اولیه در صورت صفر بودن و نگه‌داری ورودی قبلی در غیر این صورت است)

... ادامه...

۵ رجیسترها

این بخش از مدار با گرفتن ارقام عدد دهدهی ورودی آنها را در رجیستر ذخیره می‌کند. ماکس‌های دو به یک با توجه به mux_s ورودی جدید را لود می‌کنند یا از ورودی قبلی استفاده می‌کنند. برای نگه‌داری ارقام از تراشه شیفِت رجیستر ۴ بیتی ۷۴۱۹۴ استفاده شده است. از جمع‌کننده ۴ بیتی ۴۰۰۸ برای کم کردن ۳ واحد از رقم در صورت نیاز استفاده شده است (ورودی A آن رقم دلخواه و ورودی B آن مکمل دو عدد ۳ یعنی ۱۱۰۱ است). از دو شیفِت رجیستر ۸ بیتی ۷۴۱۹۸ برای نگه‌داری عدد دودویی خروجی استفاده شده است. همچنین برای نگه‌داری شمارنده از تراشه ۷۴۱۹۴ استفاده شده که با اتصال به یم جمع‌کننده می‌تواند یکی یکی افزایش یابد.

۴ تست

۱ عدد ۱

معادل دودویی عدد ۱، ۱ است.

۲ عدد ۶۶۶

معادل دودویی عدد ۶۶۶، ۱۰۱۰۰۱۱۰۱۰ است.

۳ عدد ۹۹۹

معادل دودویی عدد ۹۹۹، ۱۱۱۱۱۰۰۱۱۱ است.