

به نام خدا



## آزمایش شماره ۵

آزمایش معماری - دکتر سربازی آزاد

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نیمسال اول ۰۱-۰۰

گروه:

امیرحسین هادیان - ۹۷۱۰۲۶۰۹

محمدرضا مفیضی - ۹۸۱۰۶۰۵۹

علی حاتمی تاجیک - ۹۸۱۰۱۳۸۵

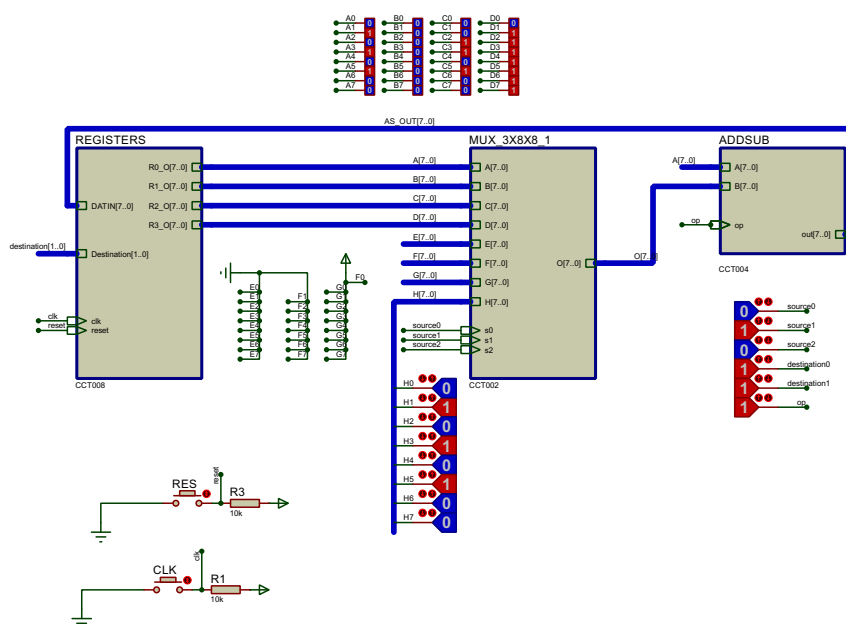


## ۱ هدف

هدف از این آزمایش ساخت واحد محاسبات که طراحی آن در دستور کار آمده است خواهد بود.

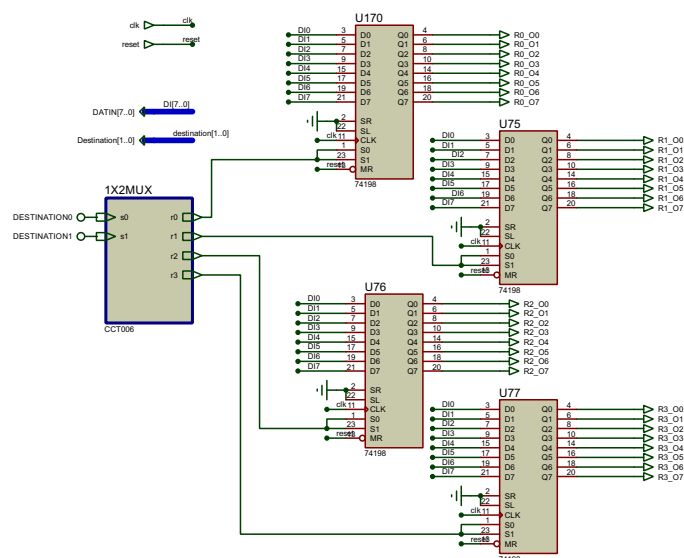
## ۲ طراحی

از آنجایی که طرح کلی داده شده است طراحی خاصی نیاز ندارد. چند چیز کلی طراحی شده اند:



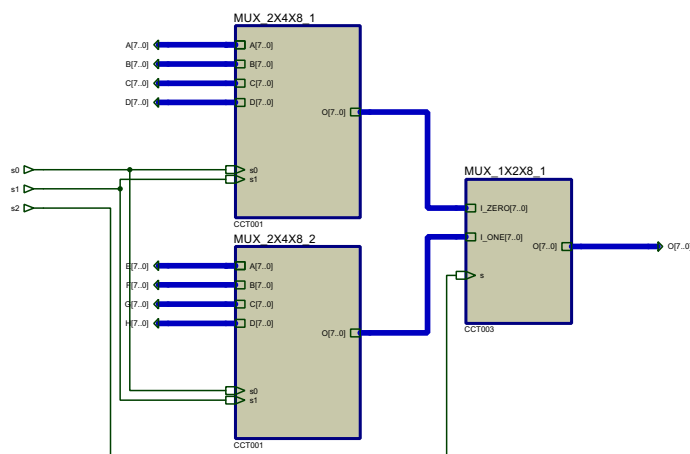
### ۱.۲ واحد رجیستر

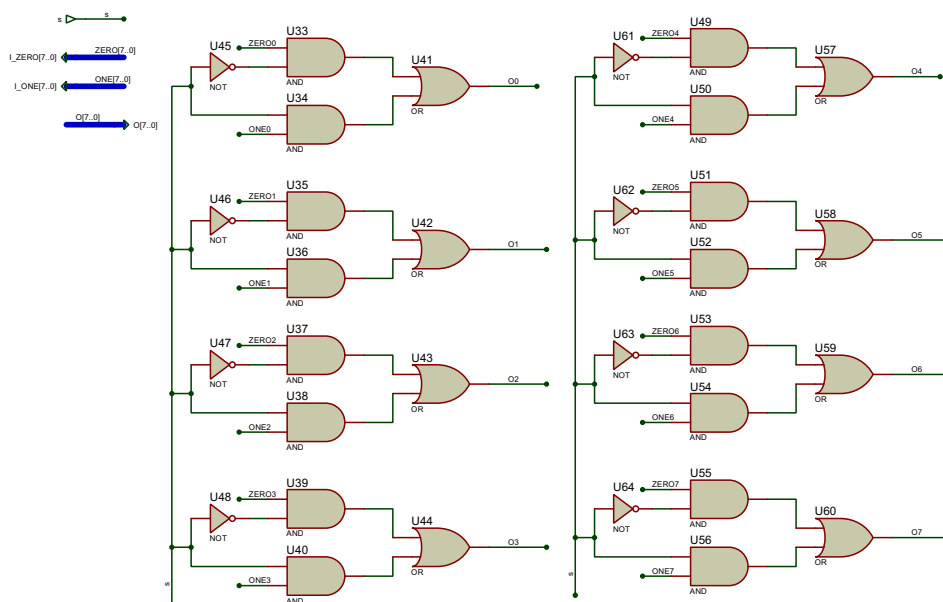
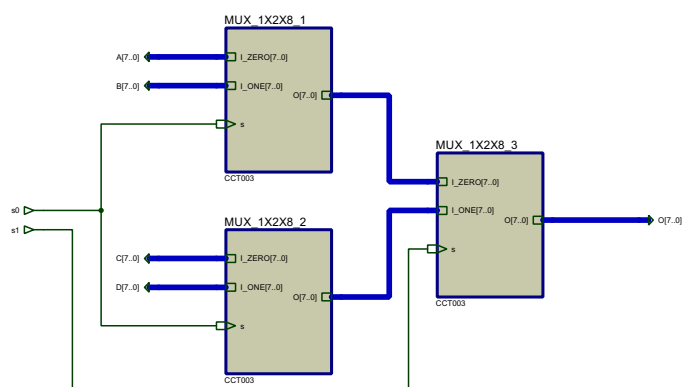
این بخش خروجی بخش Adder/Subtractor را به صورت یک گذرگاه DATIN و destination که نشان‌دهنده رجیستر مقصد است را ورودی می‌گیرد. همچنین ورودی کلاک و ریست هم برای کنترل رجیسترها داده می‌شود. ابتدا با توجه به destination و یک decoder یکی از رجیسترهای R0 تا R3 برای لود شدن انتخاب می‌شود. از شیفت رجیستر 74198 برای نگهداری R0 تا R3 استفاده شده که ورودی S0 و S1 آن هر دو به خروجی دیکودر وصل شده تا فقط در صورت لزوم مقداردهی شوند. (باتوجه به دیتاشیت تراشه زمانی که هر دو S صفر باشند کاری انجام نمی‌شود و وقتی هر دو یک باشند لود صورت می‌گیرد) در نهایت خروجی این ماژول طبق مدار به ماتریکس اصلی داده می‌شود.



## ۲.۲ مالتی پلکسر

مالتی پلکسر ۸ به ۱: این قطعه ۸ ورودی ۸ بیتی گرفته و با توجه به بیت‌های انتخاب، ورودی مورد نظر را در خروجی بارگزاری می‌کند. برای ساخت این مالتی پلکسر از یک طراحی پایین به بالا عمل کردیم و با ساخت یک مالتی پلکسر ۲ به ۱، یک مالتی پلکسر ۴ به ۱ ساختیم و سپس به کمک آن، مالتی پلکسر نهایی را طراحی کردیم.

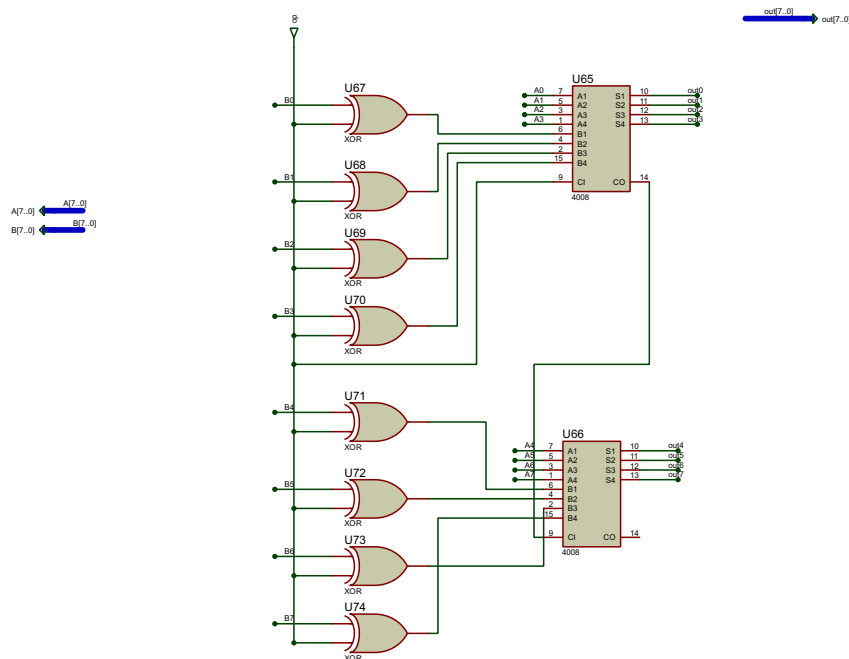






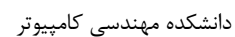
### ۳.۲ جمع‌کننده و تفریق‌کننده

در این بخش دو ورودی A و B گرفته می‌شوند که با توجه به نوع op (۰ به معنای عمل جمع و ۱ به معنای عمل تفریق) عملیات انجام داده می‌شود. برای انجام تفریق همه بیت‌های B با op ایکس‌اور شده تا مکمل دو آن هنگام عمل تفریق بدست آید. برای انجام عملیات نیز از دو جمع‌کننده ۴ بیتی استفاده شده که cout اولی cin دومی قرار گرفته است. (به روش cascade یک جمع‌کننده ۸ بیتی ساختم)



### ۳ تست

برای تست مدار به این صورت عمل می‌کنیم که ابتدا از ورودی مالتیپلکسر که رزرو بود و جمع آن با رجیستر R0 که در ابتدا صفر است جمع زده و در رجیستر مقصد می‌ریزیم زمانی که داده‌های تست در رجیسترها لود شدند با زدن یک کلاک (برای تست مدار و لود عددها از کلاک اتوماتیک استفاده نشده است و کلاک به صورت پوش باتن مورد استفاده قرار گرفته است) نتیجه در رجیستر مقصد ریخته خواهد شد. برای تست ابتدا عدد 101100 را در رجیستر شماره ۲ و پس از آن عدد 101010 را در رجیستر صفر لود می‌کنیم و سپس به تست می‌پردازیم.





## ۲.۳ تست تفریق

