

به نام خدا



آزمایش شماره ۳

آزمایش معماری - دکتر سربازی آزاد

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نیمسال اول ۰۱-۰۰

گروه:

امیرحسین هادیان - ۹۷۱۰۲۶۰۹

محمد رضا مفیضی - ۹۸۱۰۶۰۵۹

علی حاتمی تاجیک - ۹۸۱۰۱۳۸۵



۱ هدف

در این آزمایش قصد طراحی و پیاده سازی یک جمع-تفریق کننده ممیز شناور ۱۲ بیتی داریم. اعداد ورودی نرمالیزه هستند و خروجی نرمالیزه شده خواهد بود. اگر در این فرآیند سرریز رخ بدهد یک خروجی این واقعه را نشان خواهد داد. پس از پایان عملیات نیز سیگنال پایان روشن خواهد شد.

۲ طراحی

۱.۲ ASM Chart

طراحی به این صورت است که مدار دارای چهار استیت اصلی است:

۱. ابتدایی: در این استیت منتظر سیگنال استارت می مانیم و زمانی که سیگنال استارت رسید ورودی ها را در رجیسترهایی نگه داری می کنیم تا بتوانیم از آنها در آینده استفاده کنیم تا اگر در ورودی تغییری کردند اشکالی در محاسبات پیش نیاید.
 ۲. همگام سازی دو عدد: برای اینکه بتوانیم دو عدد ممیز شناور را با یکدیگر جمع کنیم و یا از هم کم کنیم باید توان برابر داشته باشند. برای همین عددی که توان کمتر دارد را آنقدری شیفت می دهیم و به توان آن میافزاییم تا توانها یکسان شوند (عددی که توان بیشتر دارد بالارزش تر است).
 ۳. انجام محاسبات: زمانی که توانها برابر شدند با توجه به اینکه چه عملیاتی باید انجام شود (با توجه به اندازه عددها و علامت آنها و عملیات درخواست شده) عملیات را روی مانتیس ها انجام می دهیم و توان برابر شده در مرحله قبل خواهد بود.
 ۴. نرمال سازی: ممکن است که جواب تولید شده نرمال نباشد که باید نرمال شود. این کار به کمک روشی که در کلاس معماری کامپیوتر معرفی شده است انجام می شود.
- چارت نهایی در شکل ۱ آمده است.

۲.۲ مدار اصلی

در شکل ۲ شمای کلی پیاده سازی آمده است. شکل ۳ نیز مدار اصلی را نمایش می دهد. در ادامه هر بخش آن به صورت مجزا بررسی خواهد شد.

۳.۲ مقایسه کننده

این بخش یک مدار ترکیبی است که با استفاده از سه مقایسه کننده چهاربیتی ساخته شده است. خروجی این بخش نتیجه مقایسه مانتیس ها و توانها را به صورت جداگانه نمایش خواهد داد. به خاطر بداهت طراحی این بخش از توضیحات غیرضروری اجتناب شده است. شماتیک این بخش در شکل ۴ آمده است.

۴.۲ واحد کنترل

از این بخش می توان به عنوان مهم ترین بخش مدار یاد کرد. این بخش جابجایی بین استیت های مختلف را کنترل می کند. ورودی های آن شامل سیگنال شروع، سیگنال ریست، نتیجه مقایسه توانها و سیگنال اتمام نرمال سازی است. مدار ما شامل چهار استیت است (رجوع شود به ۱.۲) که این استیت ها به صورت وان هات در رجیستر ذخیره می شود و خروجی رجیستر نیز به خروجی این ماژول می رود. این ماژول سه خروجی دیگر نیز دارد که برای شیفت دادن و لود کردن رجیسترهایی که اعداد را نگه میدارد استفاده می شود. با توجه به چارت موجود در بخش ۱.۲ برای عملیات های تغییر استیت خواهیم داشت:

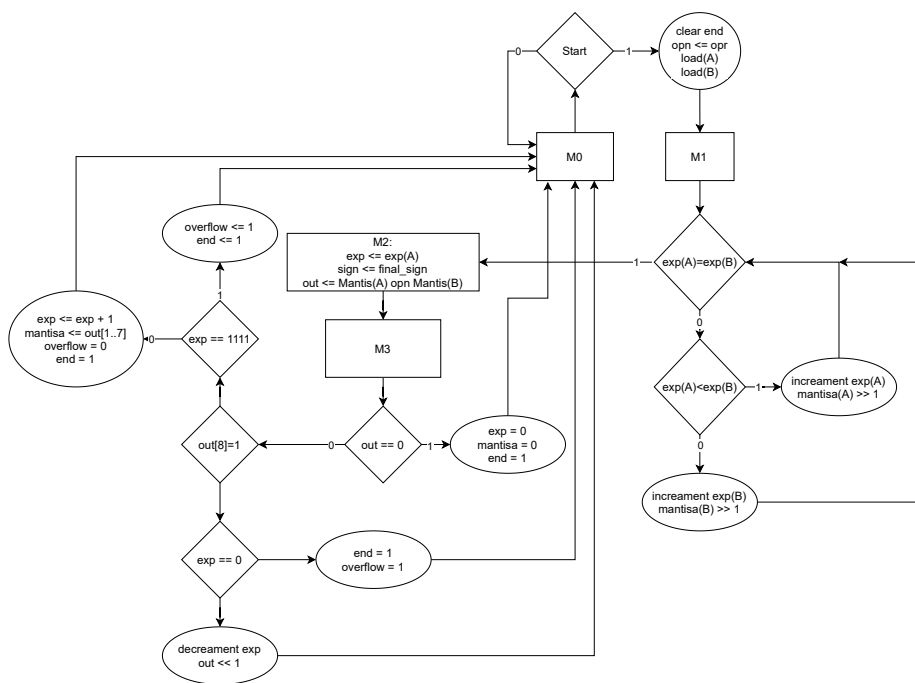
$$M_0^+ = (M_0 + M_1 + M_2 + M_3) + \overline{Start}M_0 + \overline{Normalize}Fin$$

$$M_1^+ = M_0Start + (equal\ exp)M_1$$

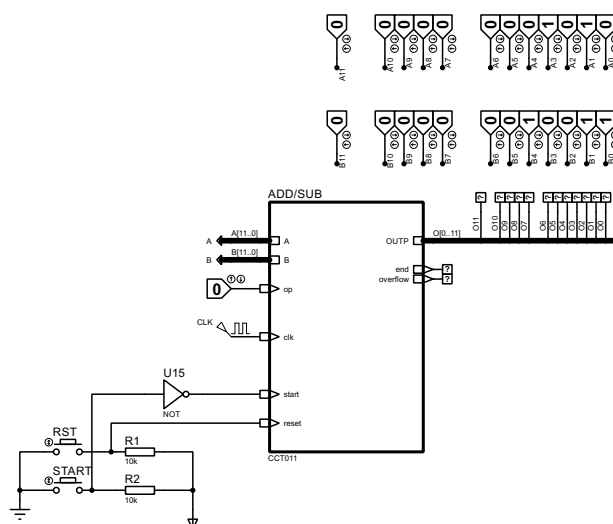
$$M_2^+ = M_1(equal\ exp)$$

$$M_3^+ = M_2 + M_3\overline{Normalize}Fin$$

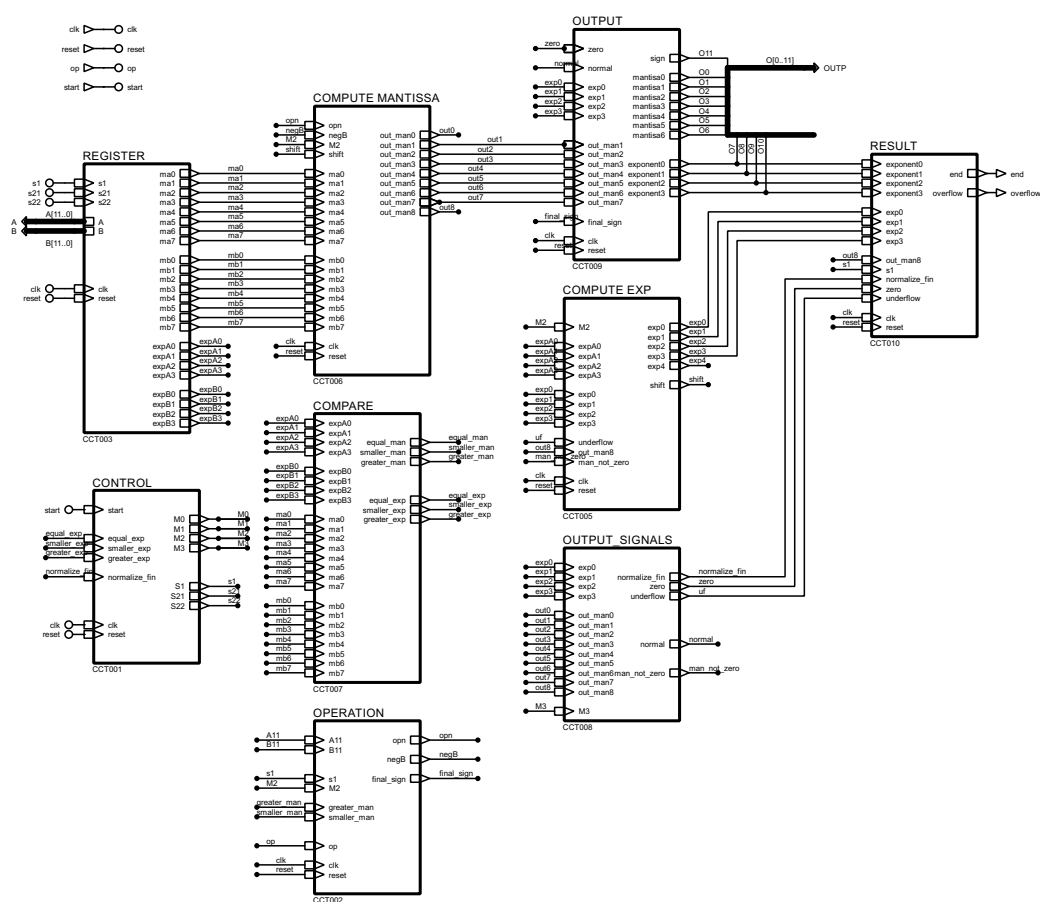
و برای سیگنال های کنترل نیز خواهیم داشت (توضیحات کارایی آن در بخش رجیسترها و تعیین علامت آمده است):



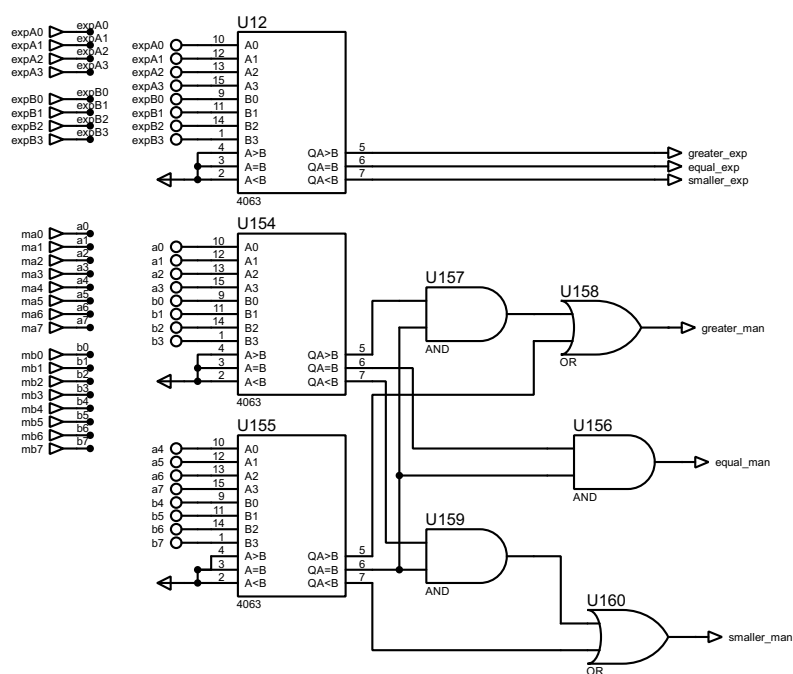
شکل ۱: چارت



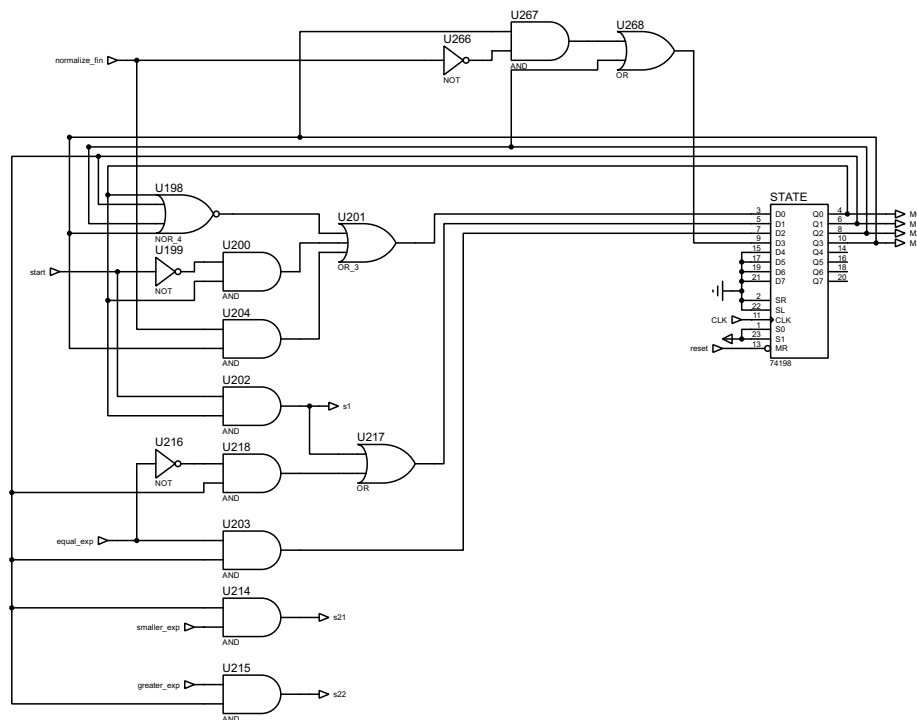
شکل ۲: شمای کلی پیاده‌سازی



شکل ۳: مدار اصلی



شکل ۴: واحد مقایسه کننده



شکل ۵: بخش رجیسترها

$$s_1 = M_0 \text{Satrt}$$

$$s_{21} = \text{exp bigger } M_1$$

$$s_{22} = \text{exp smaller } M_1$$

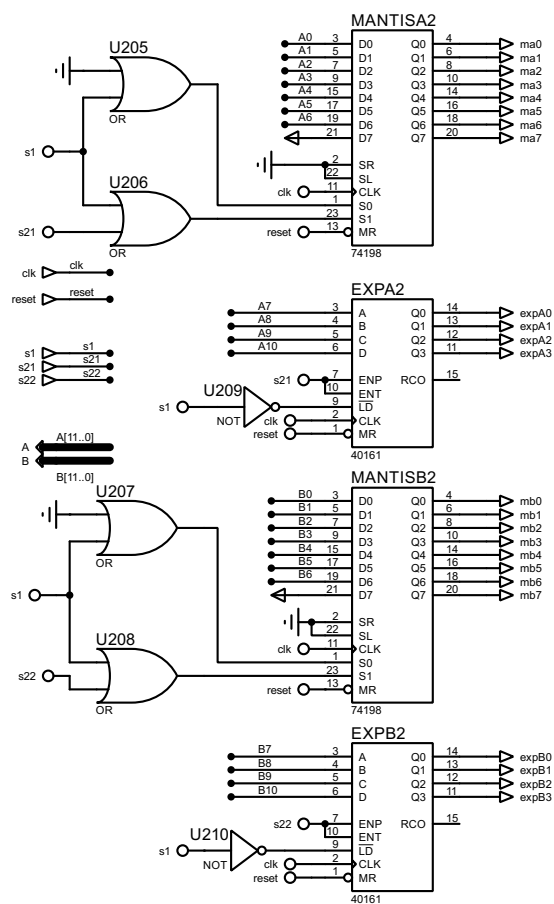
شماتیک واحد کنترل در شکل ۵ آمده است.

۵.۲ رجیسترها

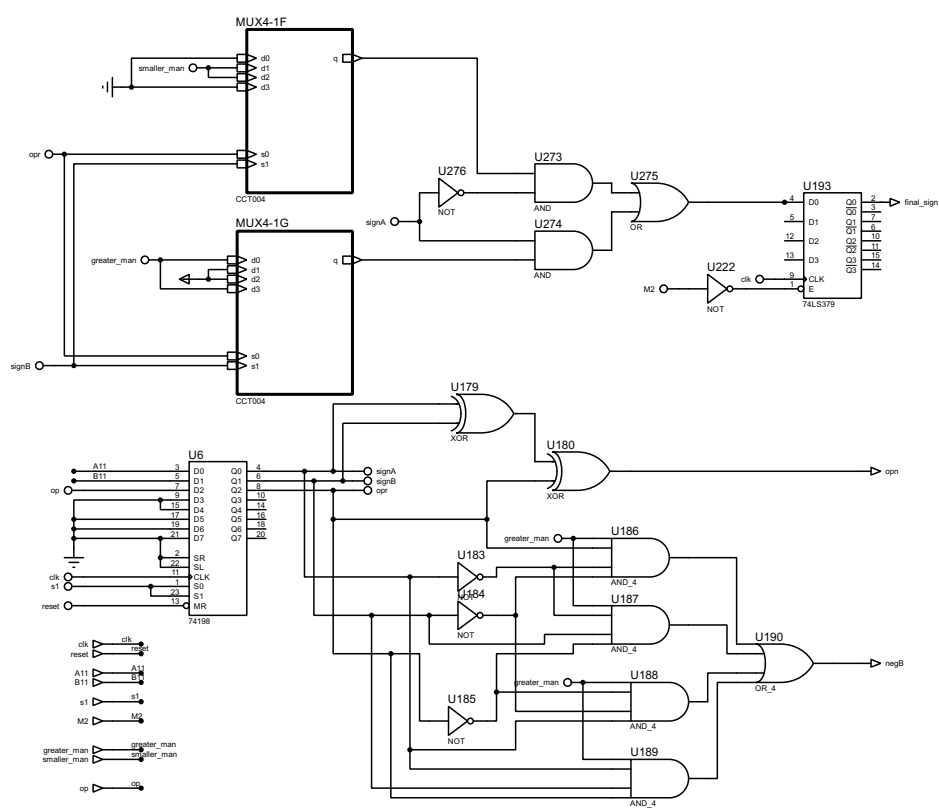
از بخش Registers برای نگهداری از ورودی‌ها زمانی که سیگنال استارت می‌خورد استفاده می‌کنیم. این بخش شامل دو تراشه شیفت رجیستر است که مسئولیت نگهداری و شیفت دادن احتمالی مانتیس‌ها را دارد. همینطور از دو رجیستر با قابلیت انکریمنت نیز برای توان‌ها استفاده می‌کنیم. این بخش علاوه بر سیگنال کلاک و اعداد ورودی‌مان سه سیگنال کنترلی نیز دریافت می‌کند که عملیات لود و شیفت را کنترل کند. سیگنال s_1 در آن برای لود استفاده می‌شود و زمانی که این سیگنال یک باشد لود داده‌ها از ورودی اتفاق می‌افتد. دو سیگنال دیگر هرکدام برای کنترل شیفت‌دادن در هر کدام از اعداد هستند. خروجی این بخش دو عدد A و B خواهد بود (اینها با ورودی‌مان تفاوت دارند و مقادیر داخل رجیسترهایمان هستند). شماتیک این بخش در شکل ۶ آمده است.

۶.۲ واحد تعیین علامت

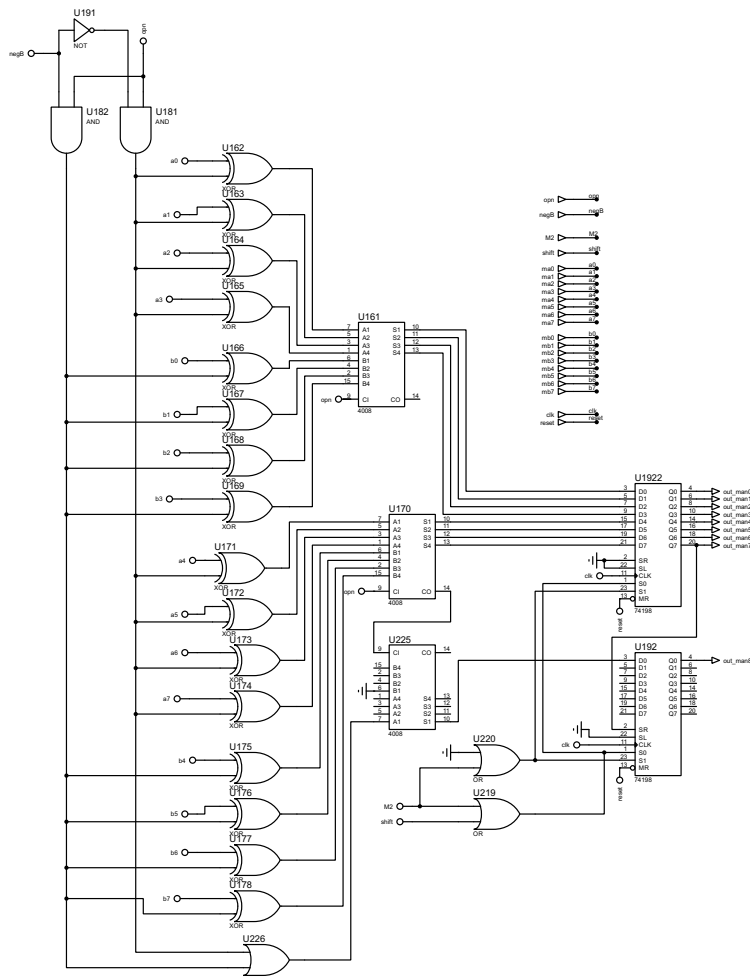
این واحد زمانی که کلید استارت می‌خورد شروع به کار می‌کند. کار آن این است که سه چیز اصلی را مشخص کند: اینکه چه عملیاتی باید بین مانتیس‌ها انجام بگیرد، علامت نهایی چه خواهد بود و اینکه آیا عدد دوم باید عکس شود یا نه (بین مانتیس‌ها فقط جمع انجام می‌گیرد و از این تکنیک برای جمع و تفریق دو مانتیس استفاده می‌کنیم). شماتیک این قسمت از مدار در شکل ۷ آمده است.



شکل ۶: بخش رجیسترها



شکل ۷: تعیین علامت



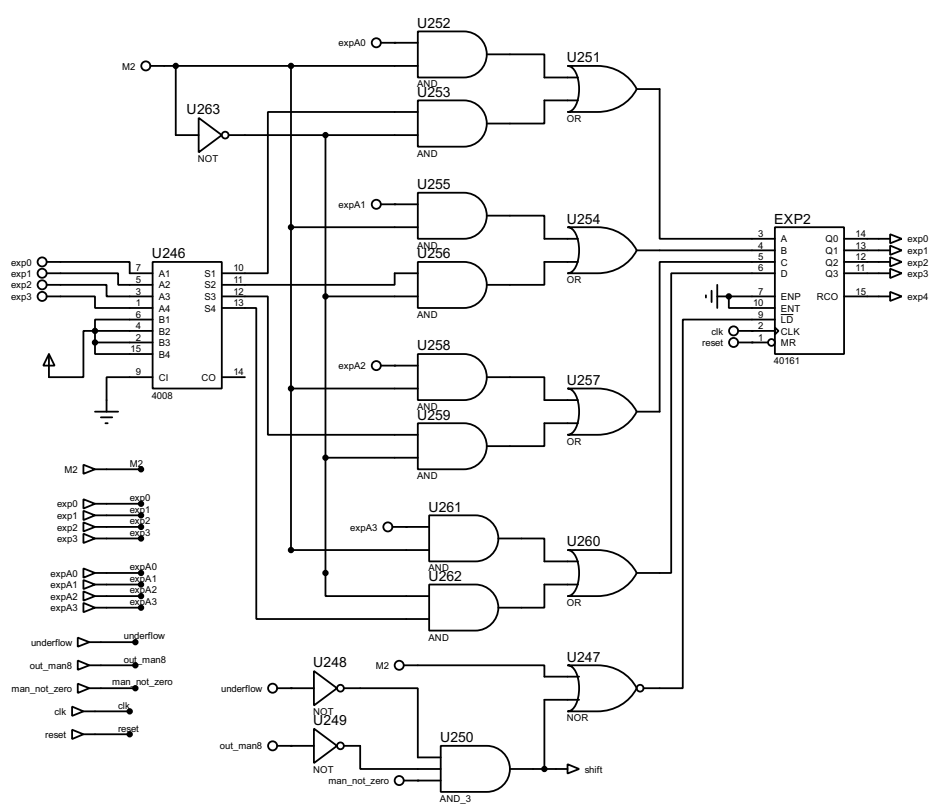
شکل ۸: تعیین علامت

۷.۲ واحد محاسبات مانتیس

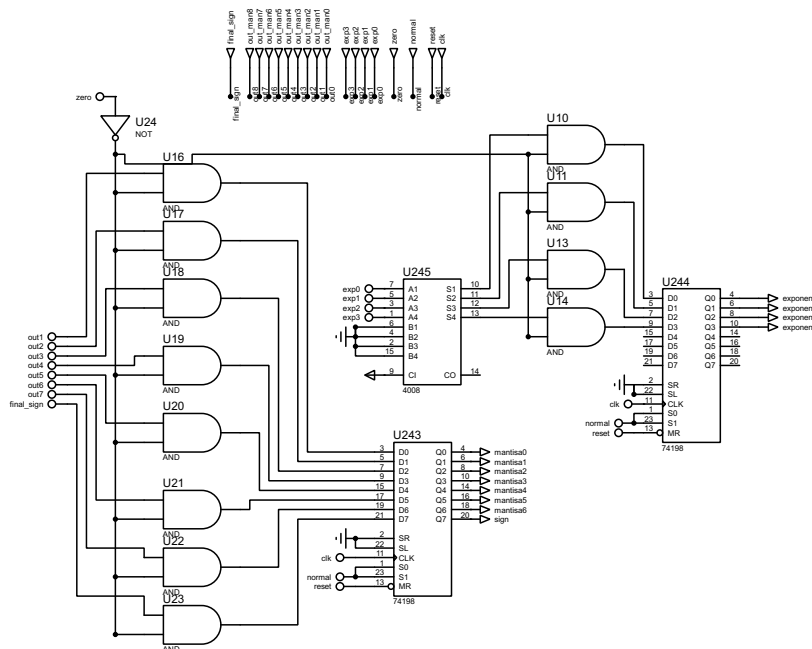
این واحد با توجه به چیزی که واحد تعیین علامت مشخص کرده است یا مانتیس ها را با یکدیگر جمع میزند و یا اینکه آنها را از هم کم می کند. شکل این واحد در شکل ۸ آمده است. این واحد همچنین دارای دو سیگنال کنترلی است که با توجه به استیتی که در آن هستیم عملیات لود مانتیس را انجام دهد. همینطور زمانی که در نرمال سازی نیاز به شیفت به چپ داریم در این واحد و با سیگنال کنترل شیفت انجام می شود. این سیگنال از خروجی های واحد محاسبات توان است.

۸.۲ محاسبات توان

این واحد در دو بخش از محاسبات استفاده می شود. یکی زمانی که در استیت دوم هستیم و باید توان A به عنوان توان خروجی ریخته شود و دوم زمانی که در استیت نهایی و مشغول نرمال سازی هستیم. در استیت نهایی هر کجا لازم باشد از توان یکی کم می کنیم که معادل با جمع کردن آن با مقدار 1111 است که در واقع همان منفی یک است، و هر کجا لازم باشد آن را شیفت می دهیم که با توجه به بیت شماره هشت خروجی و اینکه خروجی صفر نباشد و همچنین استیت تعیین می شود. شکل این واحد در شکل ۹ آمده است.



شکل ۹: محاسبات توان



شکل ۱۰: خروجی

۹.۲ محاسبه خروجی

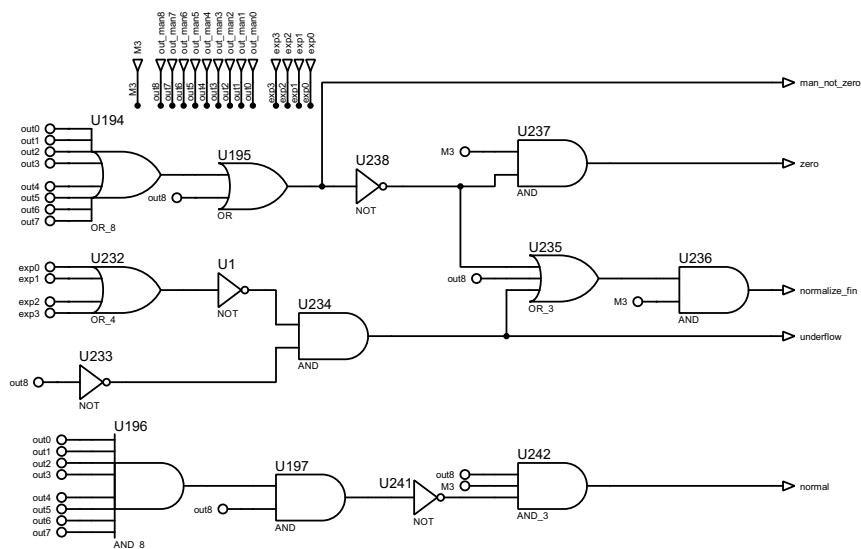
این واحد خروجی نهایی توان و مانتیس و علامت را خروجی می‌دهد تا قابل نمایش باشد. در صورتی که خروجی صفر باشد، طبق قرار داد تمامی بیت‌های خروجی صفر خواهد شد و در غیر این صورت، تمام ورودی‌ها به خروجی متصل خواهند شد و تنها توان یکی زیاد می‌شود. شکل این واحد در شکل ۱۰ آمده است.

۱۰.۲ محاسبات سیگنال‌های خروجی

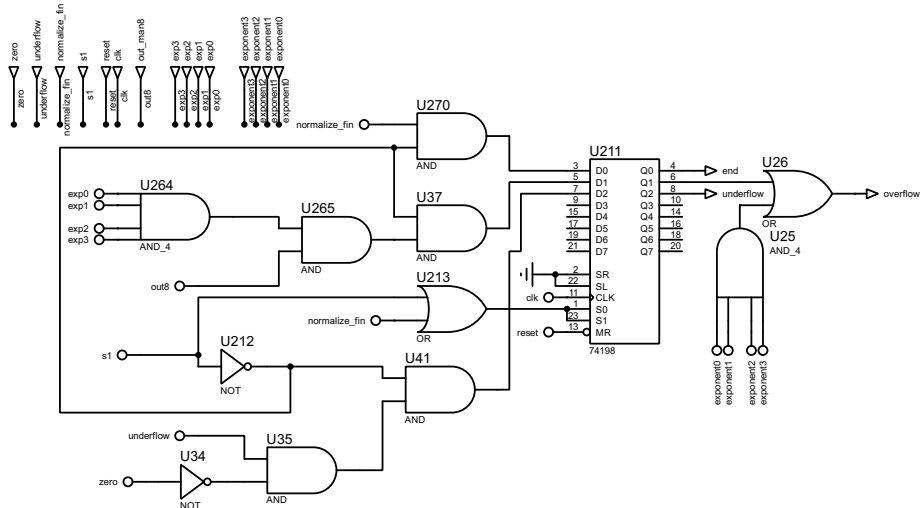
در این واحد برخی از سیگنال‌های خروجی لازم برای دیگر واحدها تولید می‌شود. خروجی **man not zero** زمانی فعال می‌شود که حاصل مانتیس خروجی صفر نباشد و حداقل یک بیت در آن وجود داشته باشد. خروجی **zero** زمانی فعال می‌شود که حاصل مانتیس صفر شده باشد و در استیت نهایی باشیم. خروجی **normalize fin** زمانی فعال می‌شود که عملیات نرمال کردن تمام شده باشد یا به عبارتی، در استیت نهایی باشیم و بیت نهم یا همان بیت شماره هشت یک شده باشد یا کلاً حاصل مانتیس خروجی صفر باشد یا **underflow** رخ داده باشد. خروجی **normal** نیز زمانی فعال می‌شود که در استیت نهایی باشیم و بیت شماره هشت خروجی فعال شده باشد و تمامی مقادیر **out** یک نباشد. شکل این واحد در شکل ۱۱ آمده است.

۱۱.۲ واحد نتیجه

در این واحد، خروجی‌های **end** و **overflow** محاسبه می‌شوند. خروجی **end** زمانی فعال می‌شود که نرمال سازی به اتمام رسیده باشد و مدار در استیت اولیه نباشد. خروجی **overflow** نیز زمانی فعال می‌شود که بیت پرارزش مانتیس یک شده باشد و مقدار توان نیز حداکثر مقدار خود باشد و دیگر امکان شیفت دادن وجود نداشته باشد. خروجی **underflow** نیز طبق محاسبات انجام شده است اما چون خواسته‌ی مدار موردنظر در صورت آزمایش نبوده است، نشان داده نشده است. شماتیک مدار در شکل ۱۲ آمده است.



شکل ۱۱: سیگنال‌های خروجی

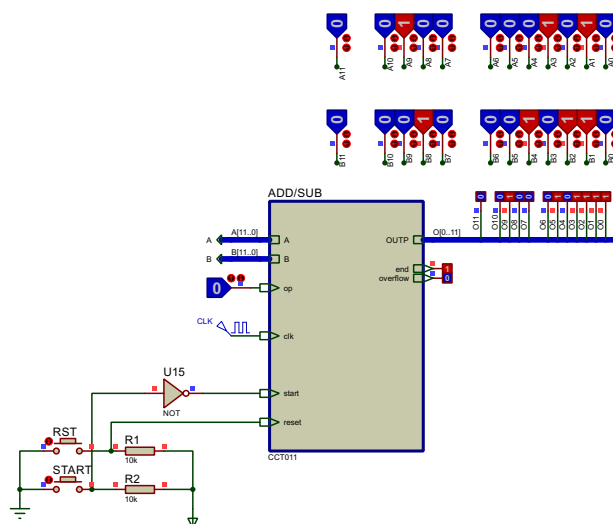


شکل ۱۲: واحد نتیجه

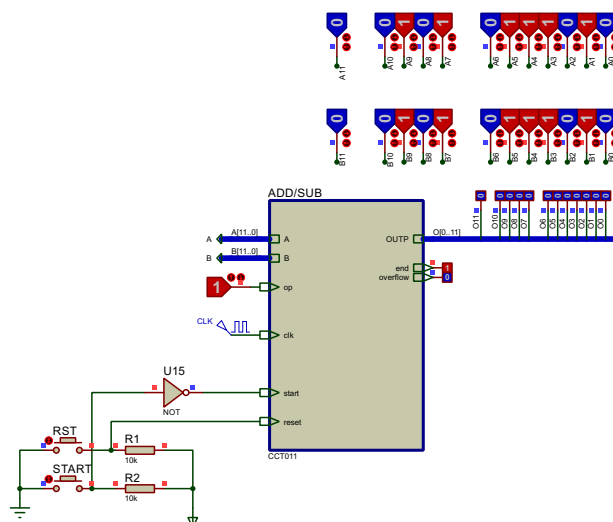


۳ تست

۱.۳ جمع دو عدد مثبت

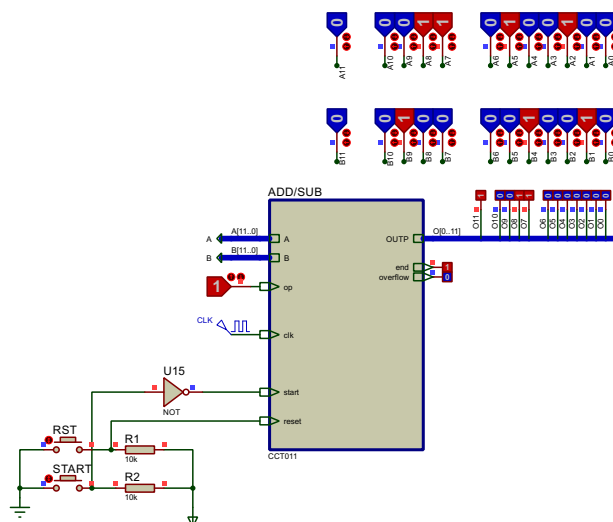


۲.۳ تفریق دو عدد مثبت

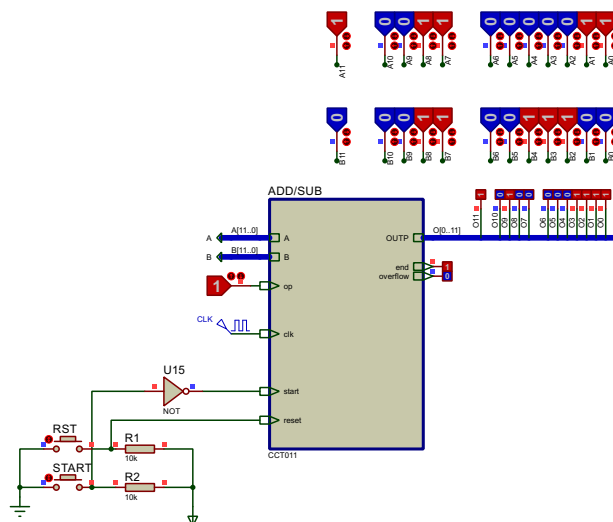




۳.۳ جمع دو عدد مختلف‌العلامت

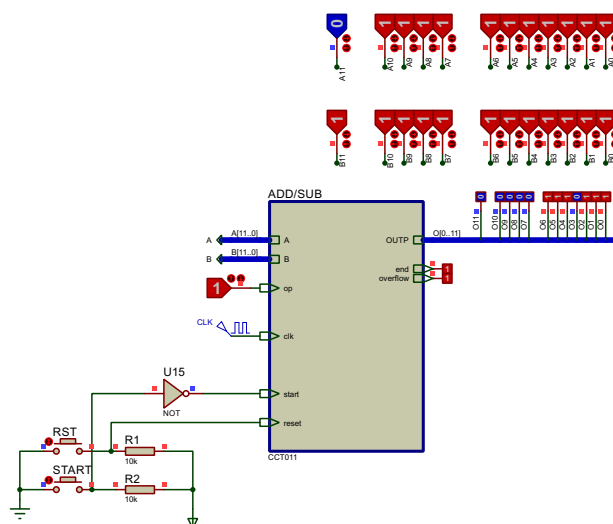


۴.۳ تفریق دو عدد مختلف‌العلامت





۵.۳ تفريق منجر به اورفلو



۶.۳ جمع منجر به اورفلو

