

بانک ثبات

یک بانک ثبات شامل 32 ثبات 32 بیتی پیاده‌سازی کنید.

نوشتن در این ثبات به صورت سنکرون انجام می‌شود، به این معنی که اگر سیگنال write برابر 1 باشد، در لبه بالارونده کلاک داده موجود بر روی ورودی wrdata در ثبات شماره wraddr نوشته می‌شود، در مقابل خواندن به صورت آسنکرون انجام می‌شود، به این معنی که محتوای ثبات‌های شماره rdaddr1 و rdaddr2 همواره بر روی خروجی‌های rddata1 و rddata2 قرار می‌گیرد.

نکته: عملیات خواندن حتی در زمان یک بودن write نیز انجام می‌شود.

نکته - 2: تعداد بیت ورودی‌ها و خروجی‌ها را به درستی تنظیم کنید.

ماژول

نام، ورودی‌ها و خروجی‌های ماژول را به شکل زیر تعریف کنید. (با اعمال نکته 2)

```
1 | module regfile (input clk, write, input rdaddr1, rdaddr2, wraddr, i
```

واحد محاسبه و منطق

یک واحد محاسبه و منطق، پیاده‌سازی کنید، دو ورودی 32 بیتی a و b و سیگنال کنترلی $control$ به عنوان ورودی دریافت می‌شوند، عملیات مورد نظر براساس سیگنال کنترلی روی دو ورودی انجام شده و در خروجی 32 بیتی c درج می‌شود، در صورتی که حاصل عملیات صفر باشد مقدار 1 در خروجی $zero$ درج می‌شود.

ماژول

1 | `module alu (input control, input a, b, output c, output zero);`

در جدول زیر ارتباط سیگنال کنترل و عملیات مورد نظر واحد مشخص شده است:

Function	Control
And	0000
Or	0001
Add	0010
Xor	0011
SLL	0100
SRL	0101
Subtract	0110
SRA	0111

حافظه

یک حافظه شامل 1024 خانه یک بایتی (هشت بیتی) پیاده سازی کنید.

- این حافظه دو سیگنال جدا برای خواندن (از حافظه) و نوشتن (روی حافظه) دارد؛ زمانی که یکی از این دو ورودی فعال است، عملیات مورد نظر انجام می‌شود و زمانی که هر دو فعال یا هر دو غیرفعال هستند، هیچ عملیاتی انجام نمی‌شود و تنها خروجی rddata برابر صفر می‌شود.
- در زمان فعال بودن write، مقدار rddata صفر می‌شود.
- خواندن به صورت آسنکرون و نوشتن به صورت سنکرون انجام می‌شود.
- هر خانه این حافظه هشت بیت است اما پهنای نوشتن و خواندن ۳۲ بیت است. به این ترتیب اگر ورودی addr مقدار x را داشته باشد، عملیات خواندن یا نوشتن بر روی بایتهای آدرس x, x+1, x+2, x+3 انجام می‌شود.
- این حافظه little endian است، نحوه ساختن rddata و wrdata به شکل زیر است.

mem[x]	mem[x + 1]	mem[x + 2]	mem[x + 3]
--------	------------	------------	------------

ماژول

```
1 | module mem (input clk, write, read, input addr, input wrdata, outp
```

گسترش علامت

یک واحد گسترش علامت پارامتری از n بیت به 32 بیت پیاده‌سازی کنید.

$$Max(n) = 31$$

ماژول

```
1 | module signextend (input in, output out);
```