

and

با استفاده از ماژول‌های تمرین قبل و افزودن ماژول‌های کوچک دیگر در صورت نیاز، معماری تک سیکلی (single cycle) پردازنده RV32I را برای دستورات زیر پیاده‌سازی کنید. نیازی به ارسال ماژول بانک ثبات (regfile) و حافظه (mem) نیست. این دو ماژول توسط تست در کنار فایل‌های ارسالی شما قرار می‌گیرند. شما صرفاً از آن‌ها instance گرفته و استفاده کنید.

```
module sc (input clk, input rst); # ماژول این تمرین
module alu (input [3:0] control, input [31:0] a, b, output reg [31:0] c
module signextend #(parameter n = 32) (input [n-1:0] in, output [31:0] out);
```

لیست دستورات: jalr, beq, bltu, lw, sw, addi, srai, sll, xor, or, and

نام‌گذاری‌های زیر را نیز رعایت کنید.

- نام instance بانک ثبات rf
- نام instance حافظه دستور im
- نام instance حافظه دستور dm
- نام ماژول‌ها و پورت‌های آن‌ها را نسبت به تمرین قبل تغییر ندهید.
- دستورات در حافظه دستور نوشته شده و اجرای برنامه از آدرس صفر این حافظه آغاز می‌شود.
- فعال شدن rst موجب صفر شدن مقدار ذخیره شده در pc می‌شود.
- در اولین لبه بالارونده کلاکی که ورودی rst صفر باشد، اجرای دستورات آغاز می‌شود.
- آدرس‌های صفر تا ۱۰۲۳ مربوط به حافظه دستور و آدرس‌های ۱۰۲۴ تا ۲۰۴۷ مربوط به حافظه داده هستند.