

## به نام خدا

# آزمایشگاه سیستمعامل



## پروژهی چهارم: همگامسازی

طراحان: اميرحسين احمدي - سعيد زنگنه



#### مقدمه

در این پروژه با سازوکارهای همگامسازی سیستمعاملها آشنا خواهید شد. با توجه به این که سیستمعامل XV6 از ریسههای سطح کاربر پشتیبانی نمی کند هم گامسازی در سطح پردازهها مطرح خواهد بود. همچنین به علت عدم پشتیبانی از حافظه مشترک در این سیستمعامل، هم گامسازی در سطح هسته صورت خواهد گرفت. به همین سبب مختصری راجع به این قسم از هم گامسازی توضیح داده خواهد شد.

<sup>\</sup>Synchronization Mechanisms

<sup>&</sup>lt;sup>†</sup> Threads

#### ضرورت هم گامسازی در هسته سیستمعاملها

هسته سیستمعاملها دارای مسیرهای کنترلی مختلفی میباشد. به طور کلی، دنباله دستورالعملهای اجرا شده توسط هسته جهت مديريت فراخواني سيستمي، وقفه يا استثنا اين مسيرها را تشكيل می دهند. در این میان برخی از سیستم عامل ها دارای هسته با ورود مجدد میباشند. بدین معنی که مسیرهای کنترلی این هستهها قابلیت اجرای همروند $^{a}$  دارند. تمامی سیستمعاملهای مدرن کنونی این قابلیت را دارند. مثلاً ممکن است برنامه سطح کاربر در میانه اجرای فراخوانی سیستمی در هسته باشد که وقفهای رخ دهد. به این ترتیب در حین اجرای یک مسیر کنترلی در هسته (اجرای کد فراخوانی سیستمی)، مسیر کنترلی دیگری در هسته (اجرای کد مدیریت وقفه) شروع به اجرا نموده و به نوعی دوباره ورود به هسته صورت می پذیرد. وجود همزمان چند مسیر کنترلی در هسته می تواند منجر به وجود شرایط مسابقه برای دسترسی به حالت مشترک هسته گردد. به این ترتیب، اجرای صحیح کد هسته مستلزم هم گامسازی مناسب است. در این هم گامسازی باید ماهیتهای مختلف کدهای اجرایی هسته لحاظ گردد. به عنوان مثال از قفل گذاری، پلی را تصور کنید که دارای محدودیت وزنی بر روی خود میباشد. به طوری که در هر لحظه تنها یک خودرو می تواند از روی پل عبور کند و در غیر این صورت فرو می ریزد. قفل همانند یک نگهبان در ورودی یل مراقبت می کند که تنها زمانی به خودرو جدید اجازه ورود بدهد که هیچ خودرویی بر روی پل نباشد.

هر مسیر کنترلی هسته در یک متن خاص اجرا می گردد. اگر کد هسته به طور مستقیم یا غیرمستقیم توسط برنامه سطح کاربر اجرا گردد، در متن پردازه ٔ اجرا می گردد. در حالی که کدی که در نتیجه

<sup>&</sup>quot; Control Paths

<sup>&</sup>lt;sup>\*</sup> Reentrant Kernel

<sup>&</sup>lt;sup>a</sup> Concurrent

<sup>&</sup>lt;sup>8</sup> Process Context

وقفه اجرا می گردد در متن وقفه <sup>۷</sup> است. به این ترتیب فراخوانی سیستمی و استثناها در متن پردازه فراخواننده هستند. در حالی که وقفه در متن وقفه اجرا می گردد. به طور کلی در سیستمعاملها کدهای وقفه قابل مسدود شدن نیستند. ماهیت این کدهای اجرایی به این صورت است که باید در اسرع وقت اجرا شده و لذا قابل زمان بندی توسط زمان بند نیز نیستند. به این ترتیب سازوکار هم گامسازی آنها نباید منجر به مسدود شدن آنها گردد. مثلاً از قفلهای چرخشی می استفاده گردد یا در پردازندههای تکهستهای وقفه غیرفعال گردد.

### هم گامسازی در XV6

قفل گذاری در هسته xv6 توسط دو سری تابع صورت می گیرد. دسته اول شامل توابع (xv6 تفلی عرفتی (xv6 و شامل توابع (xv6 و شامل توابع) release (خط ۱۵۷۳) و (۱۵۷۳ خط ۱۶۰۱) می شود که یک پیاده سازی ساده از قفل های چرخشی هستند. این قفل ها منجر به انتظار مشغول شده و در حین اجرای ناحیه بحرانی وقفه را نیز غیرفعال می کنند.

۱) علت غیرفعال کردن وقفه چیست؟ توابع pushcli() و pushcli به چه منظور استفاده شده و چه تفاوتی با cli و sti و sti

دسته دوم شامل توابع () acquiresleep (خط ۴۶۲۱) و () releasesleep (خط ۴۶۳۳) بوده که مشکل انتظار مشغول را حل نموده و امکان تعامل میان پردازه ها را نیز فراهم می کنند. تفاوت اصلی توابع این دسته نسبت به دسته قبل این است که در صورت عدم امکان در اختیار گرفتن قفل، از تلاش دست کشیده و پردازنده را رها می کنند.

Y Interrupt Context

<sup>&</sup>lt;sup>^</sup> Spinlocks

<sup>&</sup>lt;sup>9</sup> Busy Waiting

<sup>&</sup>lt;sup>10</sup> Critical Section

۲) حالات مختلف پردازه ها در Xv6 را توضیح دهید. تابع (sched) چه وظیفه ای دارد؟
یک مشکل در توابع دسته دوم عدم وجود نگه دارنده ۱۱ قفل است. به این ترتیب حتی پردازه ای که قفل را در اختیار ندارد می تواند با فراخوانی تابع (releasesleep قفل را آزاد نماید.

۳) می توان با اعمال تغییری در توابع دسته دوم، امکان آزادسازی را تنها برای پردازه صاحب قفل مسیر نمود. قفل معادل در هسته لینوکس را به طور مختصر معرفی نمایید.

#### پیادهسازی سازوکارهای همگامسازی جدید

#### پیادهسازی سازوکار همگامسازی با قابلیت اولویت دادن

در این قسمت میخواهیم سازوکاری برای همگامسازی پیادهسازی کنیم که در آن پردازهها میتوانند برای ورود به ناحیه بحرانی برای ورود به ناحیه بحرانی درخواست دهند و پردازه با اولویت بالاتر ابتدا وارد ناحیه بحرانی میشود. بعد از آن نیز پردازهها که در یک صف دارای اولویت هستند، به ترتیب وارد میشوند. در زمانی که یک پردازه قفل را در اختیار دارد و در ناحیه بحرانی هست نیز ممکن است پردازههای جدیدی با اولویتهای متفاوت وارد شوند که در این صورت ترتیب صف اولویت به صورت پویا عوض میشود..

برای پیادهسازی فرض کنید که اولویت پردازههای متفاوت، شماره پردازه آن میباشد.

شما نیاز است که برنامه سطح کاربری بنویسید که درستی پیادهسازی را نشان دهد. برای این کار چند پردازه در سطح کاربر ایجاد کنید که هر پردازه به دنبال ورود به ناحیه بحرانی و دریافت قفل میباشد. حال در ناحیه بحرانی یک کار زمانبر انجام دهید تا پردازههای دیگر خود را به صف اضافه کنند. در

<sup>11</sup> Owner

هر مرحله نمایش دهید که پردازه با چه اولویتی وارد ناحیه بحرانی شد. همچنین صف اولویت را نیز نمایش دهید.

آیا این پیادهسازی ممکن است که دچار گرسنگی شود؟ راه حلی برای برطرف کردن این مشکل ارائه دهید. روش ارائه شده توسط شما باید بتواند شرایطی را که قفلها دارای اولویت یکسان میباشند را نیز پوشش دهد. (نیازی به پیاده سازی برای این قسمت نیست)

یک نوع پیادهسازی همگامسازی توسط قفل بلیت<sup>۱۲</sup> انجام میشود. آن را بررسی کنید و تفاوتهای آن با روش همگامسازی بالا را بیان کنید.

#### پیادهسازی متغیرهای مختص هر هسته پردازنده

یکی از روشهای افزایش کارایی در پردازندهها استفاده از حافظه نهان ۱۳ است. حافظههای نهان در سطوح ۱۴ مختلف وجود داشته و می توانند محلی ۱۵ یا مشتر  $^{10}$  باشند. به عنوان مثال، معمولاً حافظه نهان سطح یک ۱۹ مختص هر هسته پردازنده بوده و لذا محلی است. بدین ترتیب هرگاه پردازهای در یک متغیر حافظه بنویسد، مقادیر نگهداری شده برای این متغیر در حافظههای نهان سطح یک دیگر هستههای پردازنده را نامعتبر ۱۸ می نماید.

۴) سازوکاری جهت حل این مشکل در سطح سختافزار وجود دارد. مختصراً توضیح دهید. معتبرسازی مقادیر حافظه نهان محلی، سربار قابل توجهی داشته و می تواند کارایی سیستم را پایین بیاورد.

<sup>&</sup>lt;sup>12</sup> Ticket Lock

<sup>&</sup>lt;sup>13</sup> Cache

<sup>&</sup>lt;sup>14</sup> Levels

<sup>&</sup>lt;sup>15</sup> Local

<sup>&</sup>lt;sup>16</sup> Shared

<sup>&</sup>lt;sup>17</sup> L1 Cache

<sup>&</sup>lt;sup>18</sup> Invalid

۵) همانطور که پیشتر ذکر شد، یکی از روشهای همگامسازی استفاده از قفلهایی موسوم به قفل بلیت است. این قفلها را از منظر مشکل مذکور در بالا بررسی نمایید.

در بسیاری از کاربردها می توان با استفاده از متغیرهای مختص هر هسته، مشکل را حل نمود. به این ترتیب که به جز در موارد ضروری، دسترسی و بهروزرسانی را در نسخه مختص هسته جاری از متغیر انجام می دهند. بدین ترتیب با کاهش تعداد معتبرسازی، سربار کاهش می یاید.

۶) چگونه می توان در لینوکس دادههای مختص هر هسته را در زمان کامپایل تعریف نمود؟ (راهنمایی:
به منبع [۱] مراجعه نمایید.)

با استفاده از این روش، یک فراخوانی سیستمی تعریف نمایید که تعداد فراخوانیهای سیستمی اجرا شده در یک بار کاری را روی یک سیستم چهارهستهای برمی گرداند.

باید به تعداد کافی پردازه ایجاد نمایید که در فایلهایی مینویسند. همچنین جهت اطمینان از صحت عملکرد باید یک نسخه مشترک میان همه هستهها تعریف شده و با مقدار برگشتی مقایسه گردد. دقت کنید همواره باید متغیر مربوط به هسته در حال اجرا، بهروزرسانی گردد. (راهنمایی: روش پیادهسازی قفل چرخشی Xv6 میتواند راه گشا باشد.)

نیاز به ترازبندی حافظه نهان ۱۹ نیست.

## سایر نکات

- تمیزی کد و مدیریت حافظه مناسب در پروژه از نکات مهم پیادهسازی است.
- از لاگهای مناسب در پیادهسازی استفاده نمایید تا تست و اشکالزدایی کد سادهتر

\_

<sup>&</sup>lt;sup>19</sup> Cache Alignment

- شود. واضح است که استفاده بیش از حد از آنها باعث سردرگمی خواهد شد.
- برای تحویل پروژه ابتدا یک مخزن خصوصی در سایت GitLab ایجاد نموده و سپس پروژه خود را در آن Push کنید. سپس اکانت UT\_OS\_TA را با دسترسی Maintainer به مخزن خود اضافه کنید. کافی است در محل بارگذاری در سایت درس، آدرس مخزن، شناسه آخرین Commit و گزارش پروژه را بارگذاری نمایید.
  - پاسخ تمامی سؤالات را در کوتاهترین اندازه ممکن در گزارش خود بیاورید.
- همه افراد باید به پروژه مسلط باشند و نمره تمامی اعضای گروه لزوماً یکسان نخواهد بود.
  - در صورت تشخیص تقلب، نمره هر دو گروه صفر در نظر گرفته خواهد شد.
    - فصل ۴ و انتهای فصل ۵ کتاب XV6 میتواند مفید باشد.
    - هر گونه سؤال در مورد پروژه را فقط از طریق فروم درس مطرح نمایید.

موفق باشيد

مراجع

[1] Robert Love. 2010. *Linux Kernel Development* (3rd ed.). Addison-Wesley Professional.