



## Ψηφιακά Συστήματα VLSI

### 3η Εργαστηριακή Άσκηση

#### Σχεδίαση Μονάδων Υλικού με την Τεχνική Pipelining

---

Σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση των φοιτητών με την τεχνική της **Σωλήνωσης (Pipeline)**. Συγκεκριμένα, θα πραγματοποιηθεί η σχεδίαση σύγχρονων υπολογιστικών κυκλωμάτων κάνοντας χρήση της τεχνικής pipeline. Θα αναδειχθεί ο τρόπος με τον οποίο διαφορετικά υποσυστήματα ενός κυκλώματος μπορούν να επεξεργάζονται παράλληλα διαφορετικό υποσύνολο δεδομένων. Τα ζητούμενα της άσκησης είναι:

- 1) Υλοποιήστε έναν **σύγχρονο Πλήρη Αθροιστή (Full Adder - FA)** με **περιγραφή συμπεριφοράς (Behavioral)**.
  - a) Να παρουσιάσετε το δομικό διάγραμμα (RTL schematic) του Πλήρη Αθροιστή.
  - b) Δημιουργήστε σχετικό testbench, με το οποίο θα γίνεται ο έλεγχος ορθής λειτουργίας του κυκλώματος.
  - c) Βρείτε και αναφέρετε το κρίσιμο μονοπάτι (critical path), καθώς και την χρονική του καθυστέρηση.
- 2) Υλοποιήστε έναν **σύγχρονο Αθροιστή διάδοσης κρατουμένου των 4 bits** με χρήση της τεχνικής **Pipeline**. Το κύκλωμα θα πρέπει να τροφοδοτείται με ένα **διαφορετικό ζεύγος εισόδων σε κάθε κύκλο ρολογιού** και να δίνει αντίστοιχα **ορθό αποτέλεσμα σε κάθε κύκλο ρολογιού** έπειτα από κάποια αρχική καθυστέρηση  $T_{latency}$ . Η υλοποίηση να βασιστεί στη δομική μονάδα του Πλήρη Αθροιστή του Ερωτήματος 1) και να κάνετε χρήση επιπλέον λογικής που θεωρείτε απαραίτητη.
  - a) Να παρουσιάσετε το δομικό διάγραμμα (RTL schematic) του Παράλληλου Αθροιστή. Εξηγήστε που προσθέσατε επιπλέον καταχωρητές και για ποιο λόγο.
  - b) Δημιουργήστε σχετικό testbench με το οποίο θα γίνεται ο έλεγχος ορθής λειτουργίας του κυκλώματος.
  - c) Βρείτε και αναφέρετε το κρίσιμο μονοπάτι (critical path), καθώς και την χρονική του καθυστέρηση. Επιπλέον, θεωρώντας τον Παράλληλο Αθροιστή της Εργαστηριακής Άσκησης 2) ως ένα σύγχρονο κύκλωμα του οποίου η χρονική καθυστέρηση του critical path αντιστοιχεί στην περίοδο ενός μεγάλου κύκλου ρολογιού, συγκρίνεται τις χρονικές καθυστερήσεις καθώς και τις διαφορές σε κατανάλωση πόρων. Να αιτιολογήσετε τις διαφορές που παρατηρείτε.
- 3) Υλοποιήστε ένα **συστολικό (είδος pipeline) Πολλαπλασιαστή διάδοσης κρατουμένων των 4 bits** κάνοντας χρήση **σύγχρονων Πλήρων Αθροιστών (Full Adders)**. Το κύκλωμα θα πρέπει να τροφοδοτείται με ένα **διαφορετικό ζεύγος εισόδων σε κάθε κύκλο ρολογιού** και να δίνει αντίστοιχα **ορθό αποτέλεσμα σε κάθε κύκλο ρολογιού** έπειτα από κάποια αρχική καθυστέρηση  $T_{latency}$ .
  - a) Να παρουσιάσετε το δομικό διάγραμμα (RTL schematic) του Πολλαπλασιαστή.
  - b) Δημιουργήστε σχετικό testbench με το οποίο θα γίνεται ο έλεγχος ορθής λειτουργίας του κυκλώματος.
  - c) Βρείτε και αναφέρετε το κρίσιμο μονοπάτι (critical path), καθώς και την χρονική του καθυστέρηση.