



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۱۲)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۲۷

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی خری پور

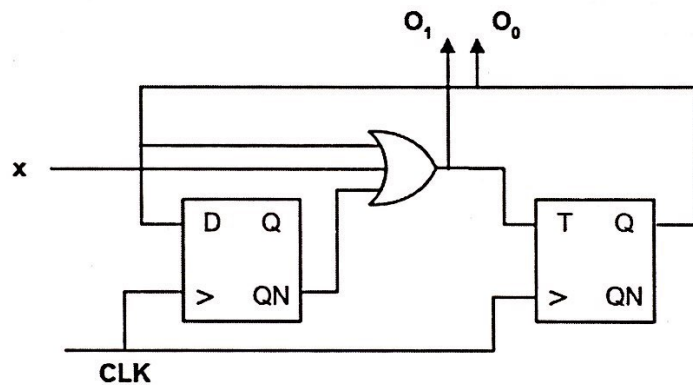
بخش اول: سوالات اختیاری

۶-۱۲، ۶-۱۱، ۶-۹

بخش دوم: سوالات اصلی

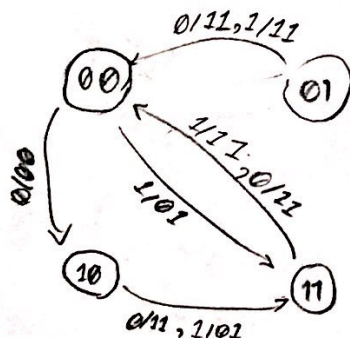
۱. (۲۵ نمره) در مدار ترتیبی شکل مقابل X ورودی و O₀ و O₁ خروجی هستند.

$$\begin{cases} O_0 = Q_2 = D \\ Q_1 = O_0 + X + \overline{Q_1} = T \end{cases}$$



الف) با ذکر دلیل مشخص کنید این مدار از نوع میلی است یا مور.

مدار میلی است چراکه X می تواند بر خروجی O₀ تأثیر گذار باشد.



ب) دیاگرام حالت این مدار را ترسیم کنید.



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۱۲)



دانشکده مهندسی کامپیوتر

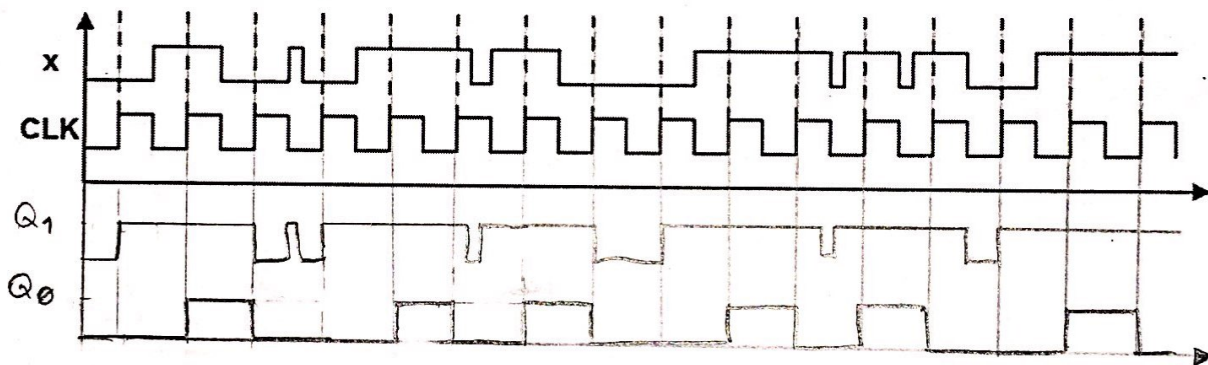
مهلت تحویل: ۱۳۹۷/۰۹/۲۷

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۷۶۳۱۴۰۷

نام و نام خانوادگی: علی خدی پور

ج) با فرض اینکه ورودی، مطابق نمودار زمانی داده شده به مدار ارائه شود، نمودار زمانی مربوط به خروجی‌های O_0 و O_1 را ترسیم کنید. چنانچه در خروجی‌ها false output مشاهده می‌کنید، آن‌ها را مشخص کنید. (در رسم خروجی‌ها فرض بر این است که state اول مدار ۰۰ است.)

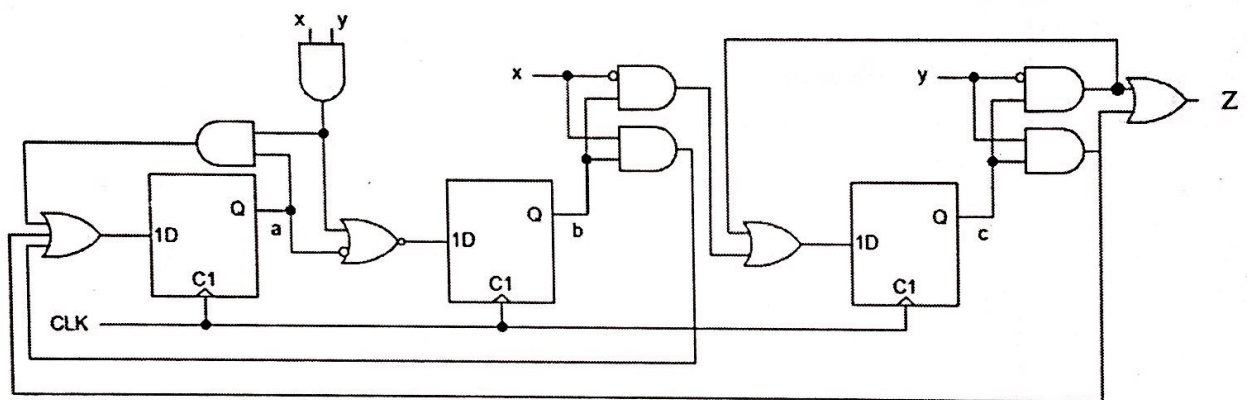


۲. (۱۵ نمره) دیاگرام حالت مدارهای داده شده را رسم نمایید. همچنین با ذکر دلیل مشخص کنید

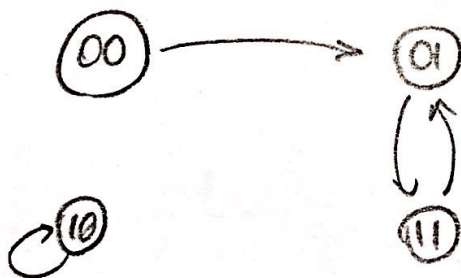
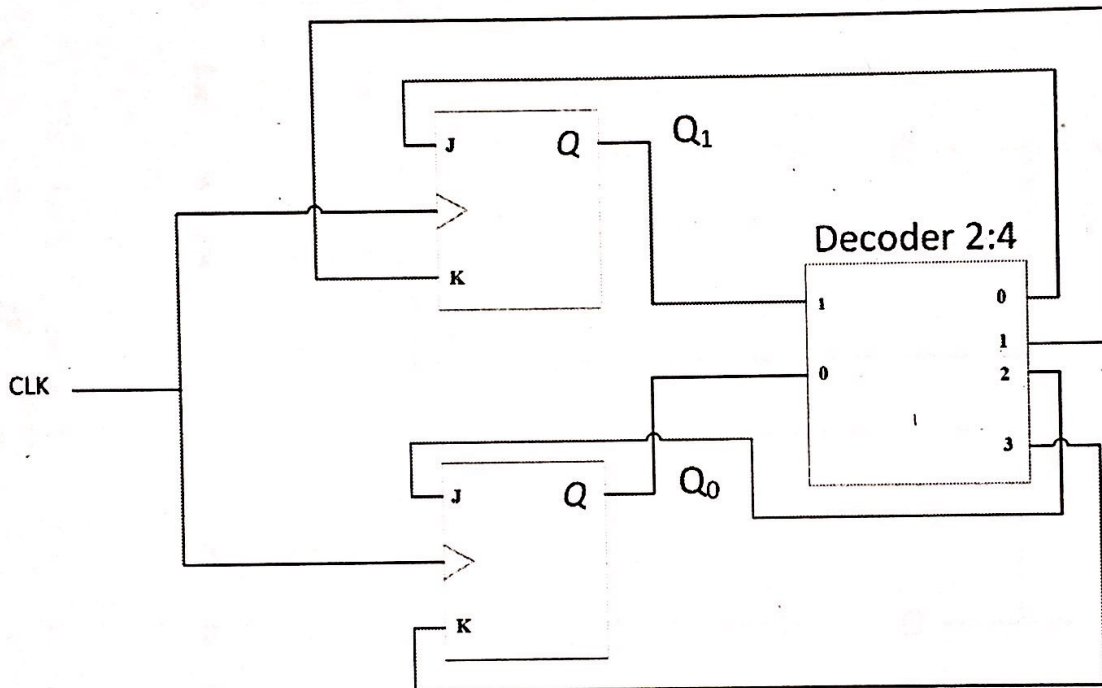
این مدارها از نوع میلی هستند یا مور. مدار مور است

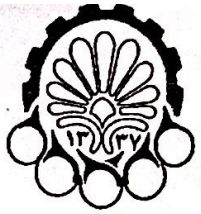
$\begin{cases} \text{input} : x, y \\ \text{output} : z \end{cases}$

(الف)



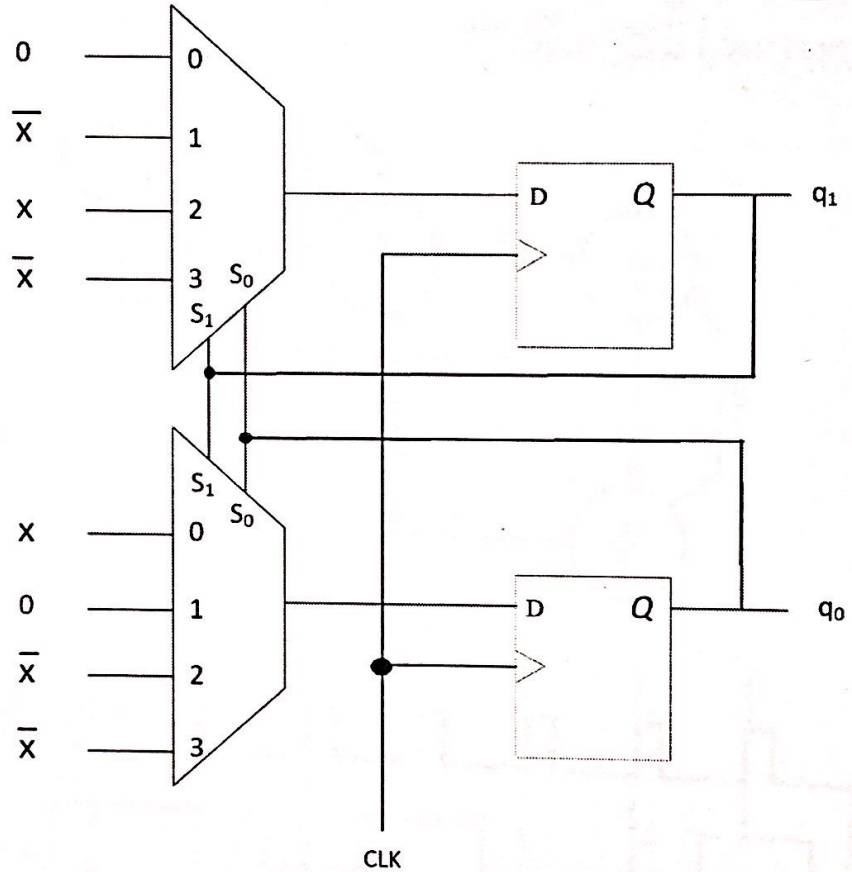
ب) مدار مور است چرا که درودی ندارد.



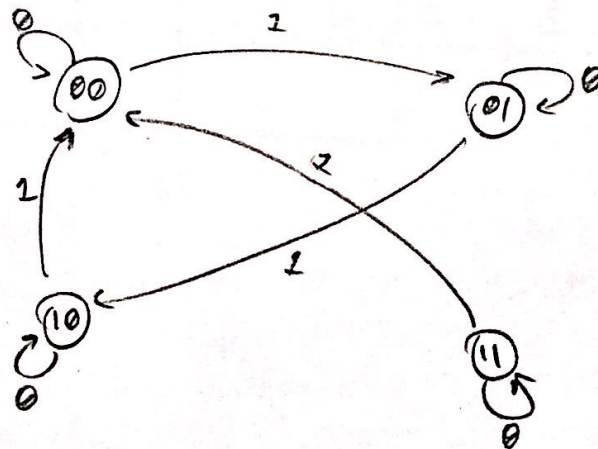


input : x
output : q_0, q_1

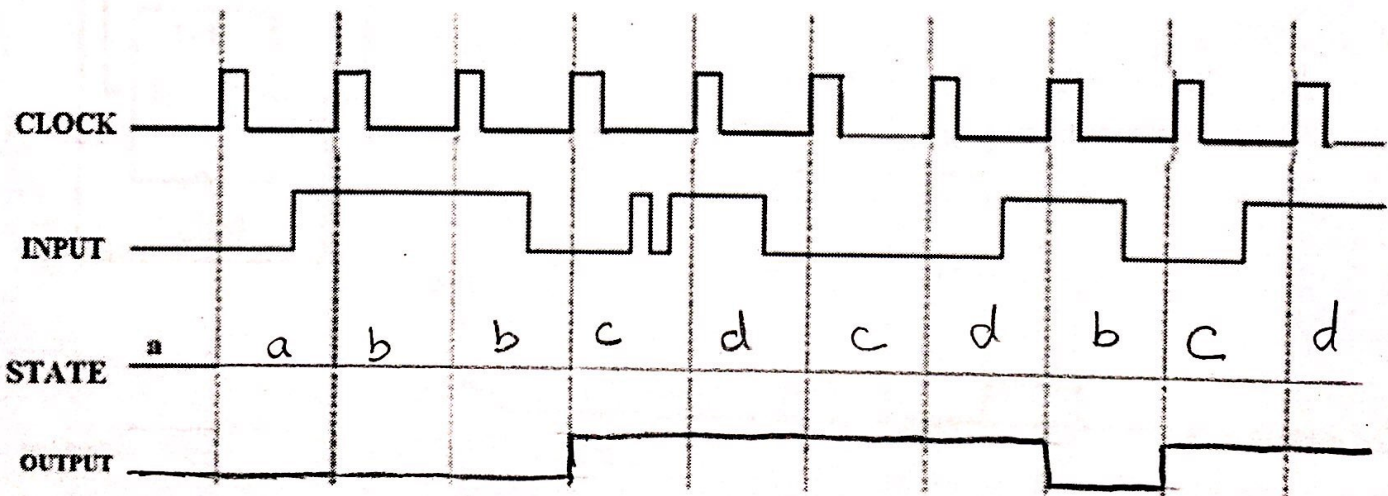
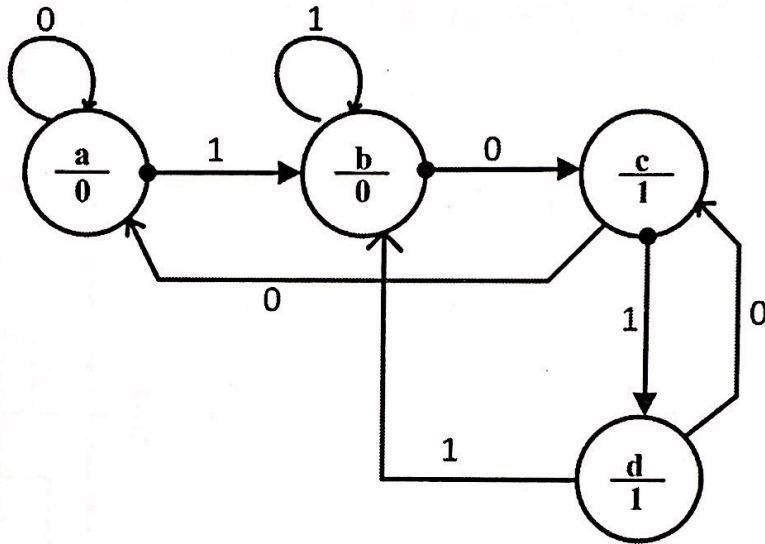
ج) مدار مورد است ، چرا که خروجی های آن حالت باری را نشان می دهد .



$$\begin{cases} q_0 = \bar{x}q_0 + x\bar{q}_0q_1 \\ q_1 = \bar{x}q_1 + xq_0\bar{q}_1 \end{cases}$$



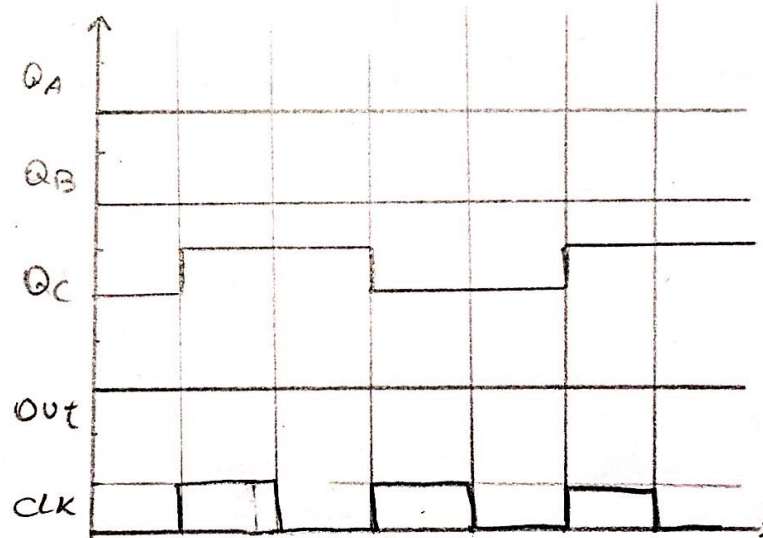
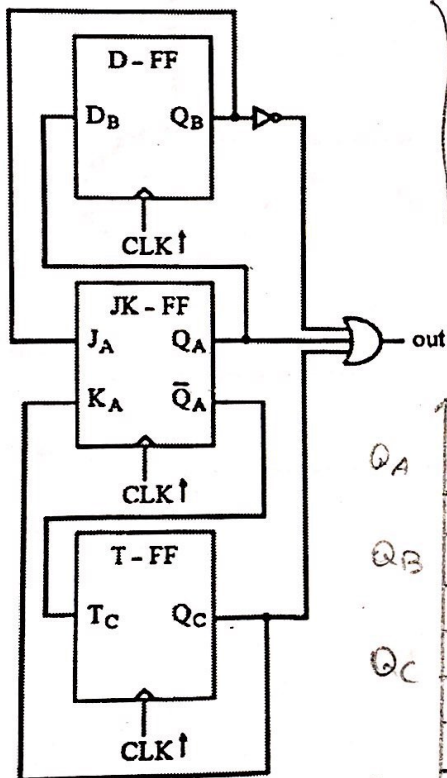
۳. (۱۰ نمره) با در نظر گرفتن دیاگرام حالت زیر، نمودار شکل موج خروجی مربوط به ماشین حالت و خروجی (OUTPUT) را تکمیل کنید.





۴. (۱۰ نمره) مدار زیر را در نظر بگیرید. اگر مقادیر اولیه فلیپ فلاپ‌ها برابر با $Q_A Q_B Q_C = 000$ باشد، با رسم دیاگرام زمانی، تغییرات خروجی‌های Q_A, Q_B, Q_C و out را برای سه کلاک رسم نمایید.

$$\begin{cases} out = \overline{Q_B} + Q_A + Q_C \\ D_B = Q_A \\ J_A = Q_B, K_A = Q_C \\ T_C = \overline{Q_A} \end{cases}$$





دانشکده مهندسی کامپیوتر

بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۱۲)



دانشگاه صنعتی امیرکبیر

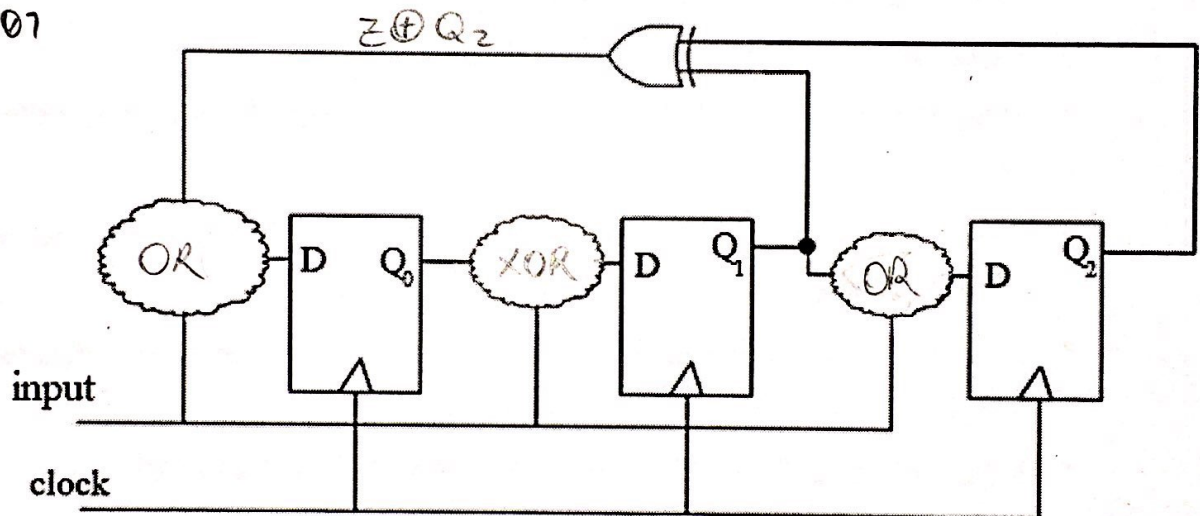
مهلت تحویل: ۱۳۹۷/۰۹/۲۷

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی رضی پور

۵. (۱۰ نمره) در مدار داده شده در شکل زیر، در فضاهای مشخص شده، سخت افزارهایی برای سیگنال input اضافه کنید تا مدار داده شده زمانی که سیگنال $input = 1$ شد، در حالت 101 پایدار شود.

$$D_0 D_1 D_2 = 101$$





۶. (۳۰ نمره) برای یک دستگاه تلفن همراه قصد داریم یک ماژول کنترل کننده توان مصرفی طراحی کنیم که دارای مشخصات زیر است:

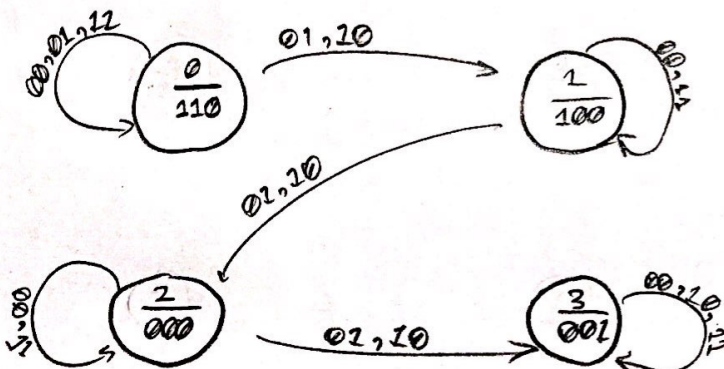
- دارای دو ورودی C (charging) و D (discharging) است.
- دارای چهار سطح توان (0, 1, 2, 3)
- زمانی که دو ورودی C و D دارای مقدار یکسانی باشند، سطح توان بدون تغییر خواهد ماند.
- زمانی که فقط ورودی C فعال است، سطح توان به صورت مرحله-به-مرحله افزایش می-یابد و تا رسیدن به سطح آخر (سطح 3) ادامه پیدا می-کند.
- زمانی که فقط ورودی D فعال است، سطح توان به صورت مرحله-به-مرحله کاهش می-یابد و تا رسیدن به سطح اولیه (سطح 0) ادامه می-یابد.
- دارای سه خروجی: DIM (dimmer), LOW (low power) و High (high performance) به شرح زیر است:

DC	
x x	NO change
0 1	Increase
1 0	Decrease

DIM : 0 / 1
 LOW : 0
 High : 3

- DIM زمانی فعال است که سطح توان یک یا کمتر باشد.
- LOW زمانی فعال است که سطح توان صفر باشد.
- High زمانی فعال است که سطح توان سه باشد.

الف) با فرض این که این تلفن در ابتدا با یک باتری کاملاً پر شروع به کار می-کند، دیاگرام حالت مور این ماژول را بکشید.





ب) با استفاده از دیاگرام حالت قسمت الف و کدگذاری زیر برای حالت‌های مدار، جدول حالت آن را بکشید.

State Power Level Name	Encoding	
	S ₁	S ₀
Level 0	0	0
Level 1	0	1
Level 2	1	0
Level 3	1	1

Present state		Inputs		Next state		Outputs		
S ₁	S ₀	C	D	S ₁ ⁺	S ₀ ⁺	Dir/Low/High		
0	0	0	0	0	0	1	1	0
0	0	0	1	0	0	1	1	0
0	0	1	0	0	1	1	1	0
0	0	1	1	0	0	1	1	0
0	1	0	0	0	1	1	0	0
0	1	0	1	0	0	1	0	0
0	1	1	0	1	0	1	0	0
0	1	1	1	0	1	1	0	0
1	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0	0
1	0	1	0	1	1	0	0	0
1	0	1	1	1	0	0	0	0
1	1	0	0	1	1	0	0	1
1	1	0	1	1	0	0	0	1
1	1	1	0	1	1	0	0	1
1	1	1	1	1	1	0	0	1



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۱۲)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۲۷

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی زبیر

ج) ماژول گفته شده را با استفاده از D-flip flop و گیت NAND پیاده‌سازی نمایید.

$$\begin{cases} \text{Dim} = \overline{S_1} \\ \text{Low} = \overline{S_0} \overline{S_1} \\ \text{High} = S_0 S_1 \end{cases}$$

$\overline{S_0} \backslash S_1$		S_1			
		00	01	11	10
$C \backslash \overline{S_0}$	00	0	0	1	1
	01	0	0	1	0
	11	0	0	1	1
	10	0	1	1	1

$$S_1^+ = S_1 C + S_1 \overline{D} + S_1 S_0 + S_0 C \overline{D}$$

$\overline{S_0} \backslash S_1$		S_1			
		00	01	11	10
$C \backslash \overline{S_0}$	00	0	1	1	0
	01	0	0	0	1
	11	0	1	1	0
	10	1	0	1	1

$$S_0^+ = \overline{S_0} C \overline{D} + S_0 \overline{C} \overline{D} + S_0 C D + S_1 C \overline{D} + S_1 S_0 \overline{C} D$$