



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۳۱۴۰۷

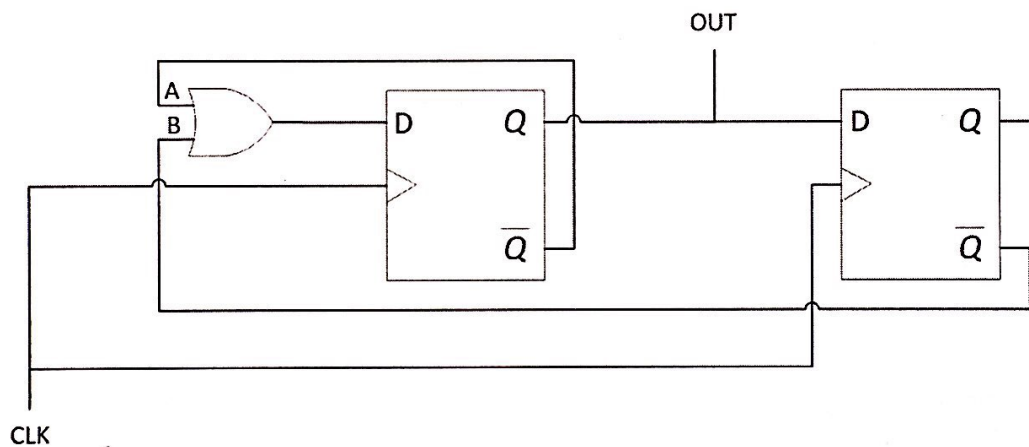
نام و نام خانوادگی: علی حری پور

■ بخش اول: سوالات اختیاری

سوالات ۱-۶، ۲-۶، ۳-۶

■ بخش دوم: سوالات اصلی

۱. (۳۰ نمره) مدار زیر را در نظر گرفته و به سوالات زیر پاسخ دهید:



$$\begin{cases} D_0 = A + B \\ A = \overline{Q_0} \text{ , } B = \overline{Q_1} \end{cases}$$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

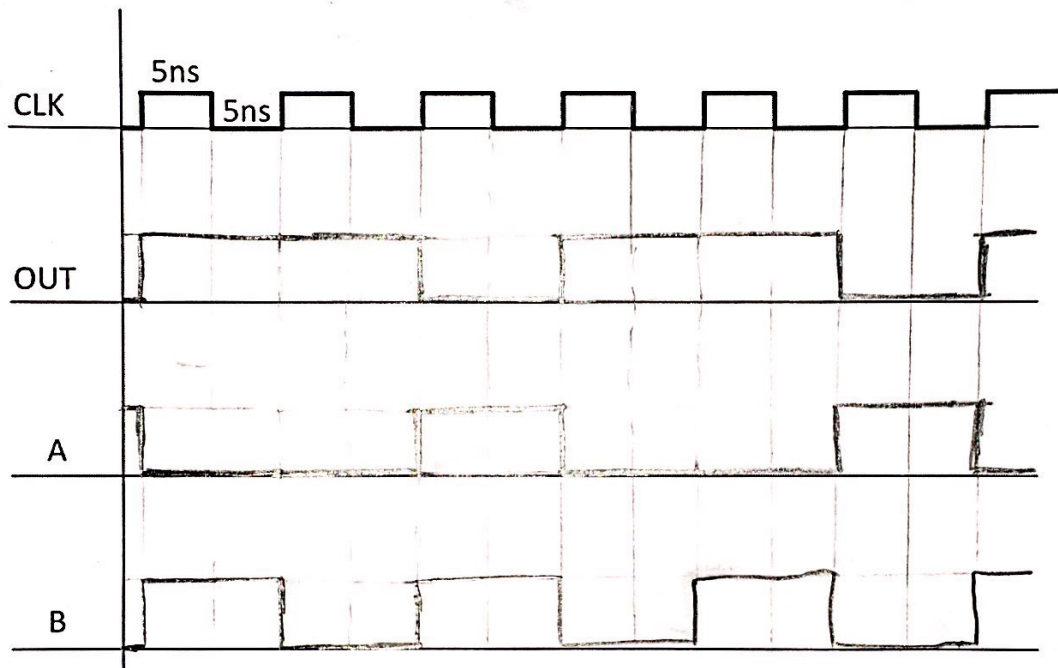
مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی حجتی پور

الف) با فرض دادن ورودی کلاک و خروجی OUT با مقدار اولیه‌ی برابر با صفر، دیاگرام زمانی زیر را کامل کنید.



ب) duty cycle سیگنال خروجی OUT را مشخص کنید.

$$\text{duty cycle OUT} = 60\% \left(\frac{2}{3} \right)$$

ج) برای هر یک از تأخیرهای نشان داده شده در هر سطر جدول زیر، ماکزیمم فرکانس کاری مدار را به دست آورید. همچنین مشخص نمایید که آیا هر یک از مدارها با فرکانس ۱۵۰ مگاهرتز کار می‌کند یا نه (Y معادل با کار کردن است). تأخیر گیت OR را 1ns در نظر بگیرید.



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

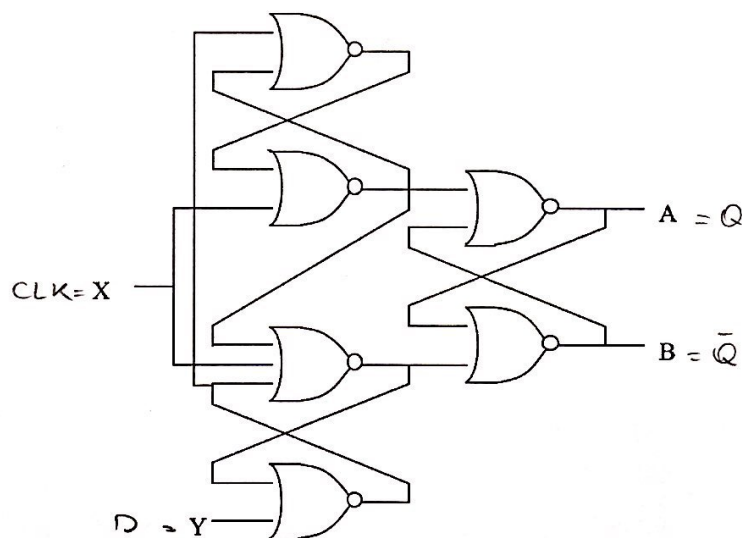
شماره دانشجویی: ۹۶۳۱۹۰۷

نام و نام خانوادگی: علی خرمی پور

Hold time	Setup time	Propagation delay (clock to Q)	Max. frequency	(Y/N)
1.5ns	2.9ns	3.5ns 6.4 _{ns}	135.13 MHz	N
1ns	1.75ns	1.5ns 3.25 _{ns}	235.29 MHz	Y
1ns	1.7ns	0.75ns 2.7 _{ns}	270.27 MHz	Y
1ns	1.1ns	2ns 3.1 _{ns}	243.9 MHz	Y

$$\min \text{ time} = \text{Setup} + \text{Max (Hold, Prop)} + \text{Gate delay}$$

۲. (۳۰ نمره) با توجه به مدار شکل زیر و شکل موجهای مشخص شده برای سیگنالهای X و Y، به سوالات زیر پاسخ دهید:





بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

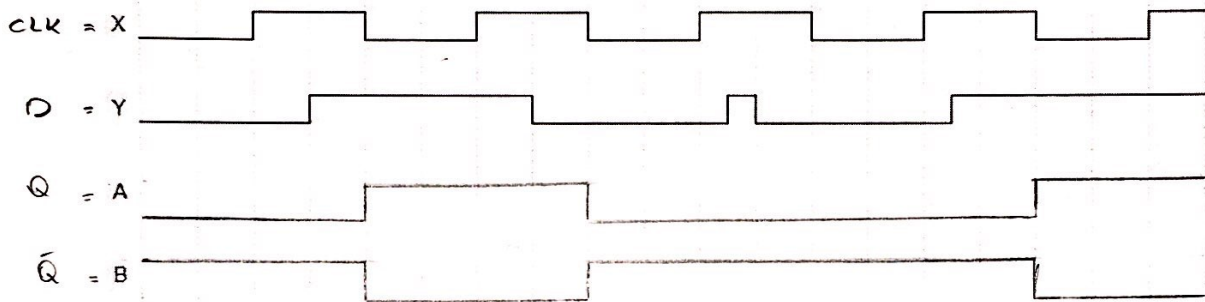
مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی خرمی پور

الف) شکل موج A و B را رسم نمایید. [این شکل موج بدون در نظر گرفتن تأخیر رسم شده است.]



ب) این مدار چه عملکردی دارد؟ تأخیر گیت NOR را 1ns در نظر بگیرید.

این مدار یک D-flipflop حاس به لبه پایین رونده است.
(falling-edge)

ج) (این بخش امتیازی است) با در نظر گرفتن مسیر سیگنال‌های ورودی تا خروجی، آیا می‌توانید تأخیر کلی ورودی‌ها به خروجی‌ها و همچنین زمان‌های setup و hold را محاسبه کنید؟



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

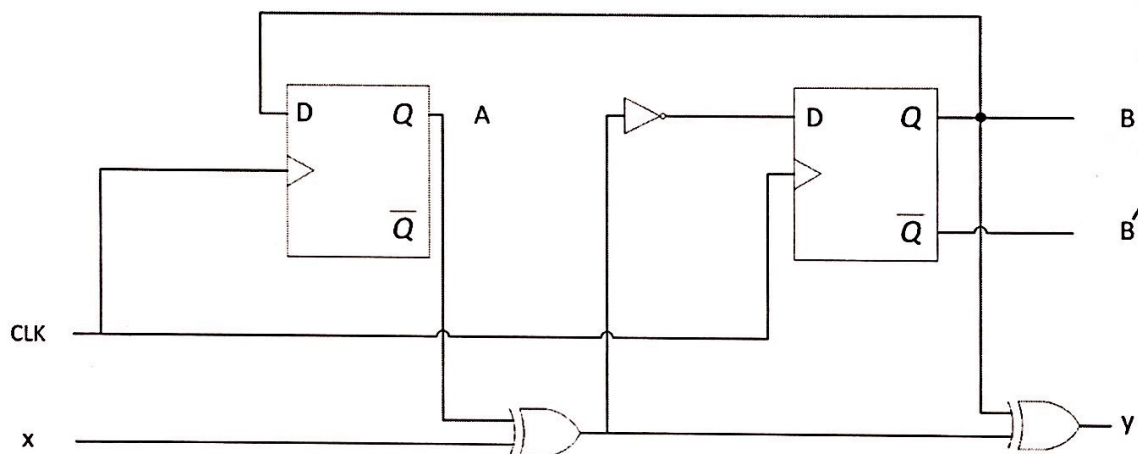
شماره دانشجویی: 9631407

نام و نام خانوادگی: علی خرمی پور

۳. (۲۰ نمره) مدار ترتیبی نشان داده شده در شکل زیر شامل دو فلیپ فلاپ D، یک ورودی x و یک خروجی y است.

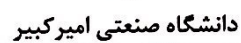
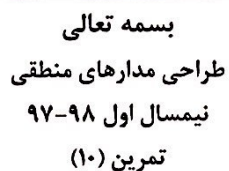
الف) جدول حالت این مدار را بکشید.

ب) عملکرد این مدار را توضیح دهید.



$$\begin{cases} D_B = (\overline{A \oplus x}) = A \odot x \quad (x \text{ NOR } A) \\ y = B \oplus (\overline{A \oplus x}) \end{cases}$$

Present State		Input	Next State		output
A(t)	B(t)	x	A(t+1)	B(t+1)	y
0	0	0	0	1	1
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	1	1

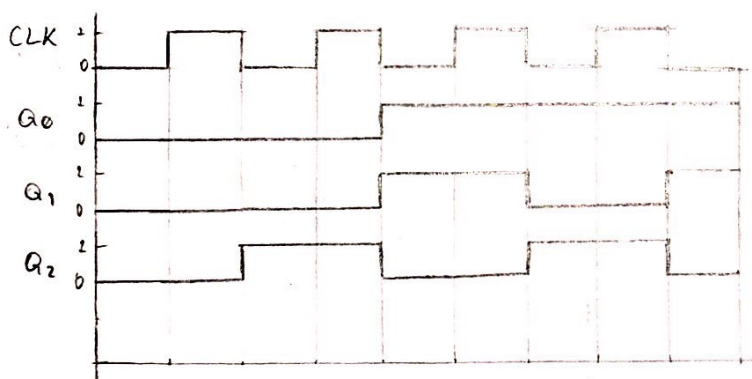


مهلت تحویل: ۱۳۹۷/۰۹/۱۳

شماره دانشجویی: 9631407

نام و نام خانوادگی: علی خرمی پور

$$\begin{cases} D_0 = Q_1 + Q_2 \\ D_1 = Q_2 \\ D_2 = \overline{(Q_1 \cdot Q_0)} \end{cases}$$



موفق باشید

گروه تدریس یاری