



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: 9631407

نام و نام خانوادگی: علی مرادی

■ بخش اول : سوالات اختیاری

۱. سوالات ۸-۴، ۷-۵ و ۲۵-۵

■ بخش دوم : سوالات اصلی

۱. (۱۰ نمره) فرض کنید که یک پردازنده ۸-بیتی قرار است جمع‌ها و تفریق‌های علامت‌دار زیر را انجام دهد. ابتدا عملیات مورد نظر را انجام دهید (فارغ از درستی یا نادرستی جواب) و سپس بر اساس یکی از دو روش گفته شده در کلاس تعیین کنید که آیا جواب درست است یا خیر (به عبارت دیگر، آیا سرریز اتفاق افتاده است یا خیر).

• $00011000 + 11001100 = 11100100 \rightarrow$ درست

• $10010101 - 00010100 = 10000001 \rightarrow$ درست

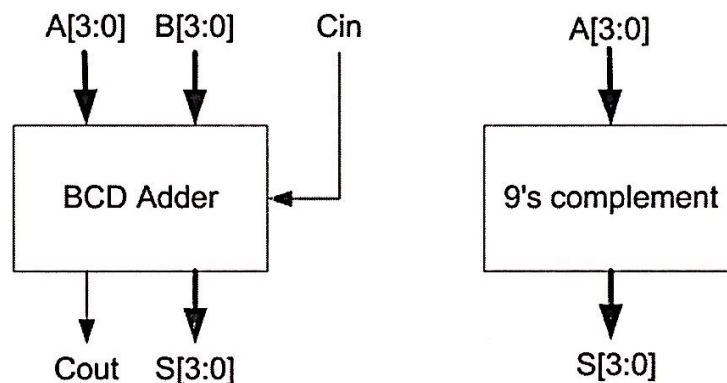
• $01001110 + 00110101 = 10000011 \rightarrow$ سرریز؛ علامت دو ورودی با علامت جواب متفاوت دارد

• $10010110 + 11100011 = 11011101 \rightarrow$ سرریز؛ C_{out} با C_{in} ناهم‌راستا می‌کند.



۲. (۲۰ نمره) دو ماژول زیر را در نظر بگیرید:

- جمع کننده BCD که دو عدد BCD را با هم جمع می کند.
 - محاسبه مکمل-۹ که مکمل-۹ یک عدد BCD را محاسبه می کند؛ برای مثال مکمل-۹ برای ورودی "۰۱۱۰" (که معادل عدد BCD شش است)، برابر "۰۰۱۱" است.
- بلوک دیاگرام این دو ماژول در ادامه آمده است.



با استفاده از چهار ماژول جمع کننده BCD، چهار ماژول محاسبه مکمل-۹ و حداقل تعداد MUX، 2:1 یک ماژول جمع کننده/تفریق کننده چهار رقمی BCD طراحی کنید. ورودی های مدار عبارتند از:

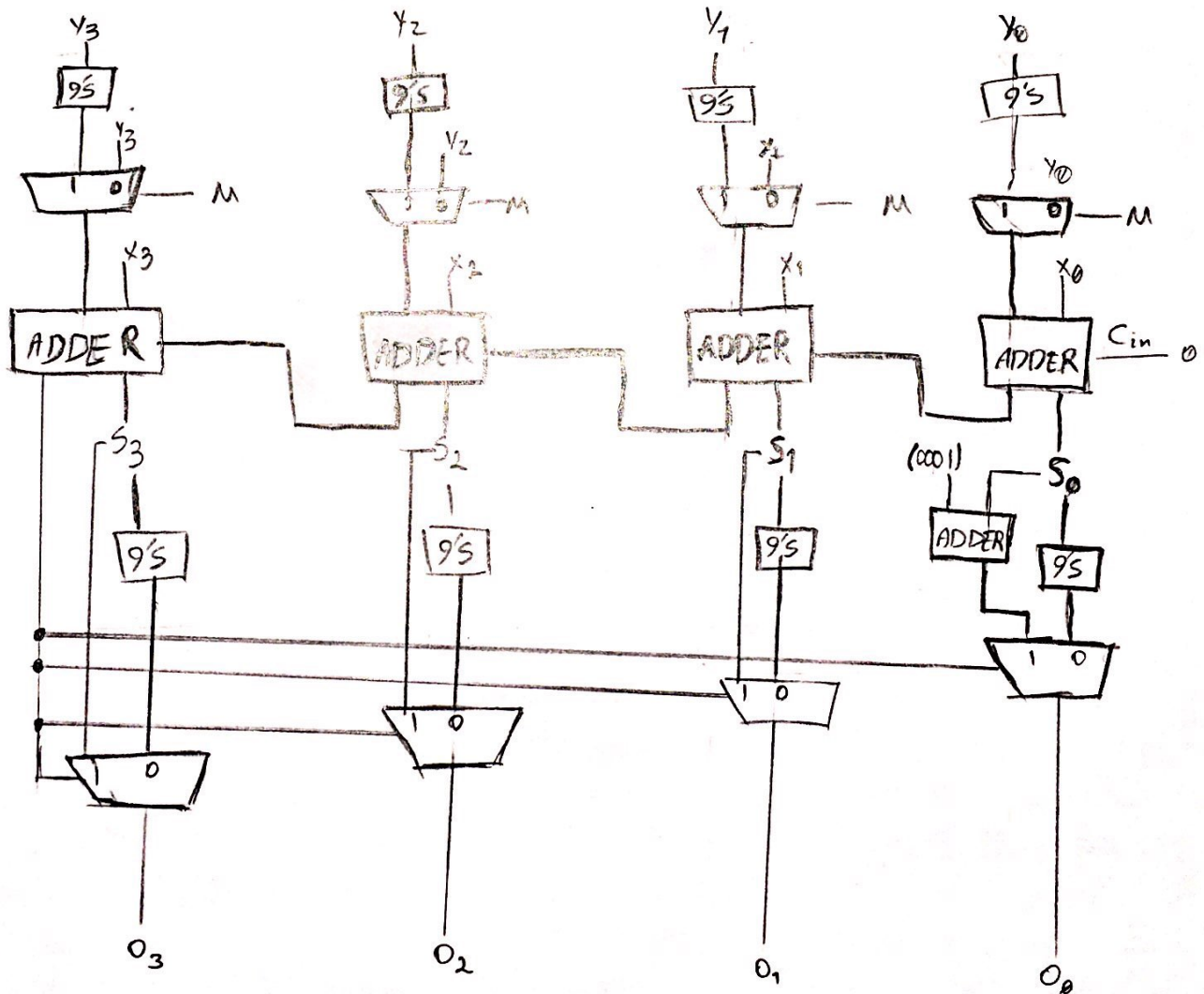
- $X_3X_2X_1X_0$ که هر رقم یک عدد ۴ بیتی BCD است؛
(به طور مثال ۴۸۹۶ معادل "0100 1000 1001 0110").
- $Y_3Y_2Y_1Y_0$ که هر رقم یک عدد ۴ بیتی BCD است؛
(به طور مثال ۱۲۶۷ معادل "0001 0010 0110 0111").
- M (یک سیگنال ورودی تک بیتی که با صفر بودنش دو عدد ورودی با هم جمع و در صورت یک بودنش عدد A از B تفریق می شود).



خروجی های مدار:

- $O_3O_2O_1O_0$ (که هر رقم یک عدد ۴ بیتی است).
- Cout (خروجی تک بیتی است).

نیازی به کشیدن اجزاء داخلی هر ماژول نیست. اما اتصالات در سطح بلوک دیاگرام باید صحیح و دقیق باشد.





بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۸)



دانشکده مهندسی کامپیوتر

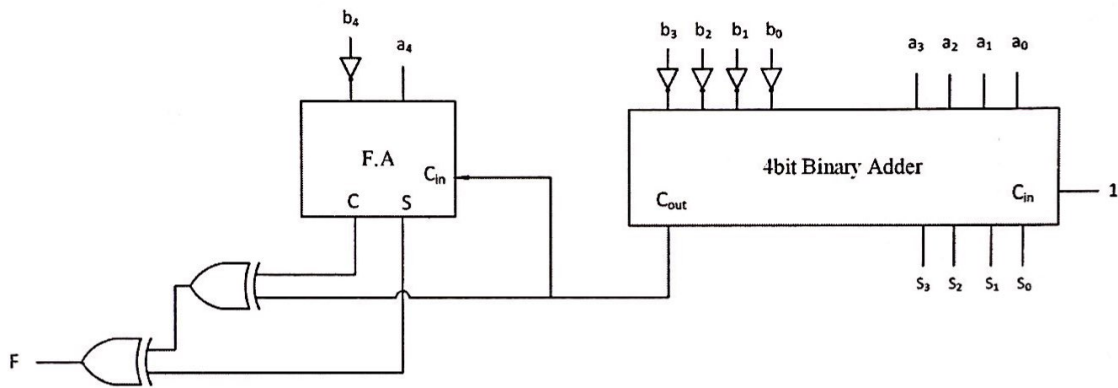
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۶

نام و نام خانوادگی: علی فری پور

۳. (۱۰ نمره) در مدار مقابل، $A = a_4a_3a_2a_1a_0$ و $B = b_4b_3b_2b_1b_0$ ورودی‌ها و F خروجی سیستم است. توضیح دهید این مدار چه کاری انجام می‌دهد.



این مدار می‌دهد آیا $A - B$ - بریز (overflow) می‌کند یا خیر.

C_{out}	a_4	b_4	S	C	F
0	0	0	1	0	1
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	0	1	1
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	0	1	0



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

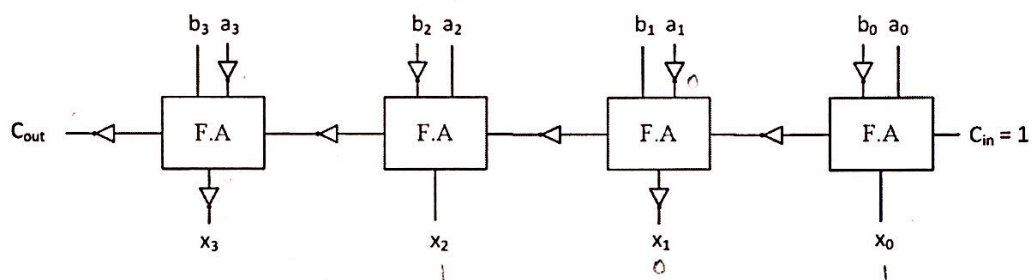
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی فری پور

۴. (۱۵ نمره) در مدار شکل زیر که متشکل از چهار عنصر تمام جمع کننده و چند گیت وارونگر است، اگر اعداد $a_3a_2a_1a_0$ و $b_3b_2b_1b_0$ چهار بیتی در سیستم مکمل-۲ باشند، بگویید خروجی مدار زیر، $x_3x_2x_1x_0$ ، معادل چیست.



این مدار A-B را می‌کند
خروجی: $Cout, x_3, x_2, x_1, x_0$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

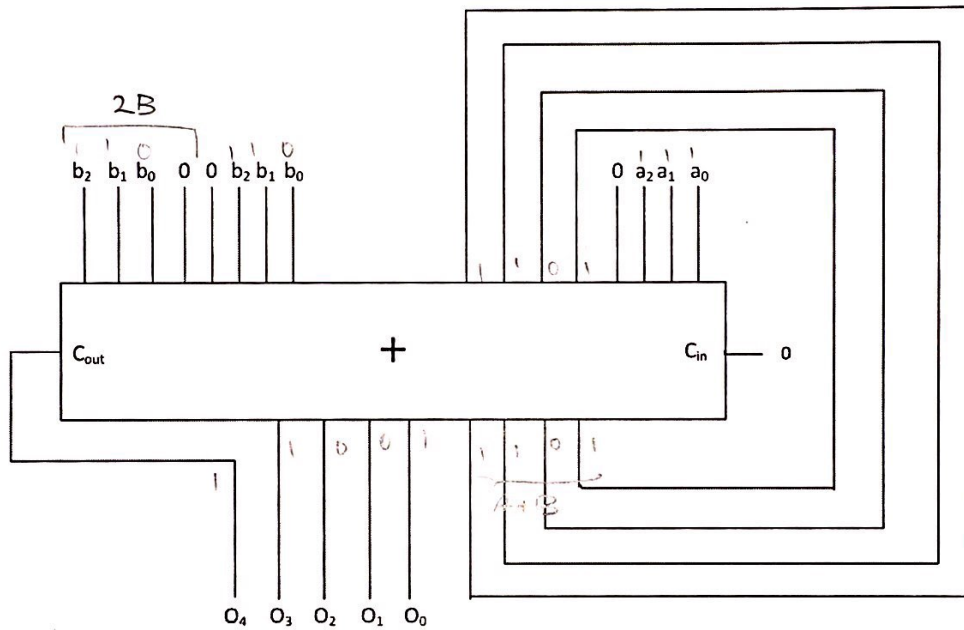
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی فری پور

۵. (۱۵ نمره) در مدار شکل زیر از یک جمع کننده ۸-بیتی استفاده شده است که a_i ها و b_i ها، ورودی های این مدار هستند. پس از ماندگار شدن، خروجی O این مدار چه چیزی را نشان می دهد.



$$O = (A+B) + 2B = A+3B$$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

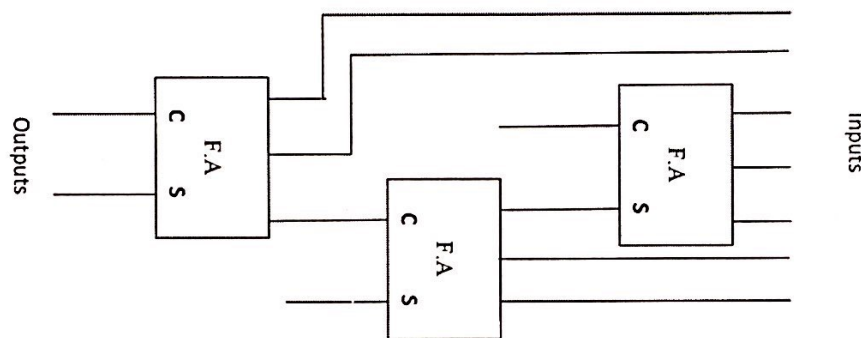
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی فرض پور

۶. (۱۵ نمره) با فرض آنکه تأخیر همه گیت‌ها با هم برابرند و تمامی ورودی‌ها همزمان می‌رسند، تأخیر مدار زیر، معادل تأخیر چند گیت است (منظور محاسبه‌ی تأخیر مینیمم مسیر بحرانی است).



۷. (۱۵ نمره) همان گونه که می‌دانید، هر واحد نیم‌جمع‌کننده از دو عدد گیت تشکیل شده است. فرض کنید که تأخیر تمام گیت‌ها صرف نظر از نوع آن‌ها برابر با ۱۰ نانوثانیه است. در این صورت، اگر ۱۶ عدد از بلوک زیر را به یکدیگر به شکل آبشاری (cascade) متصل کنیم، تأخیر مدار حاصل چقدر خواهد شد؟ جزئیات کامل محاسبات همراه با شکل دقیق مدار را ارائه دهید. توضیح اینکه منظور از اتصال آبشاری این است که خروجی (های) هر بلوک، ورودی (های) بلوک طبقه‌ی بعدی خواهد بود.



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



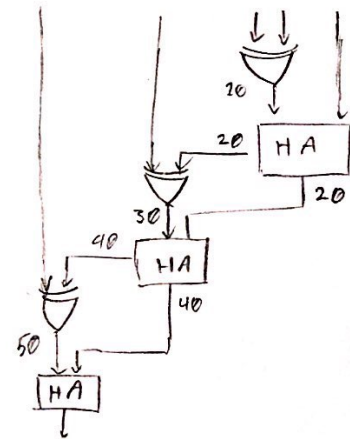
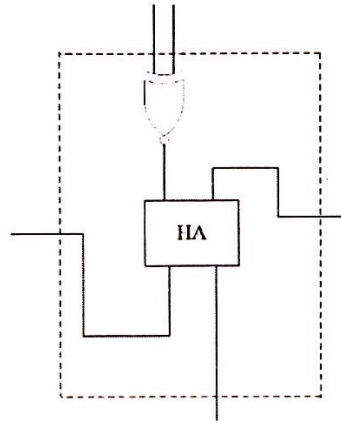
دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۴۰۷

نام و نام خانوادگی: علی رضی پور



مدار حاصل 320 ثانویه تأخیر دارد