

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل PFD با نام sid_hs.pdf است که sid شماره دانشجویی و hs شماره سری تمرین است. نسخه‌ی Word تمرین در سامانه دروس قرار داده شده است تا پاسخ تمرین را در داخل آن بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحویل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- در صورتی که در صورت سوال ابهام دارید از طریق ایمیل می‌توانید مشکل را رفع نمایید. توجه داشته باشید که به سولاتی که با پاسخ به آن، راه حل مسأله مشخص می‌شود، پاسخ داده نخواهد شد.

تحويل تا ساعت ۲۳:۵۵ روز جمعه مورخ ۱۴۰۰/۰۲/۱۹ از طریق سامانه‌ی دروس

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع RCS.2021 رفع نمایید.

[ali\[mohammadpour\]@aut.ac.ir](mailto:ali[mohammadpour]@aut.ac.ir)

محمدپور

موفق و پیروز باشید!

تمرین ۱-۱

با ذکر دلیل درستی یا نادرستی گزاره‌های زیر را مشخص کنید.

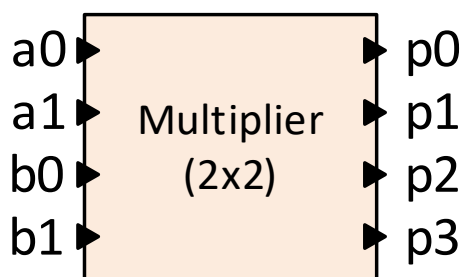
- (الف) برای تولید محصول در حجم انبوه، استفاده از FPGA در مقایسه با ASIC مقرون به صرفه نیست.
- (ب) طراحی‌های مبتنی بر پردازنده‌ی عام منظوره و تراشه‌ی FPGA دو سر طیف کارایی و انعطاف‌پذیری هستند.
- (ج) در طراحی نمونه اولیه و رسیدن به بازار سریع‌تر از تراشه‌های مدار مجتمع خاص منظوره (ASIC) استفاده می‌شود.
- (د) در کاربردهای فضایی و محیط‌های دارای تشعشعات زیاد تراشه‌های مبتنی بر Flash بهترین انتخاب هستند.
- (ه) در معماری مسیریابی سلسله مراتبی برای دستیابی به تأخیر کمتر، بلوک‌های منطقی متصل به هم در نزدیکی یکدیگر جانمایی می‌شوند.
- (و) سیستم‌های قابل بازپیکربندی درشت‌دانه^۱ انعطاف‌پذیری پایین‌تر و زمان پیکربندی کمتری نسبت به سیستم‌های ریزدانه^۲ دارند.

تمرین ۲-۱

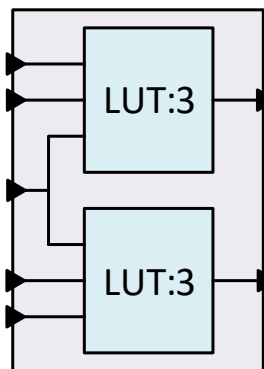
- (الف) ساختار سوئیچ‌های Disjoint و Wilton را با یکدیگر مقایسه کرده و مزایا و معایب هر یک را توضیح دهید.
- (ب) در ارتباط با معماری HARP و قابلیت‌هایی که این معماری در FPGAها فراهم می‌کند، توضیح دهید.

تمرین ۳-۱

با استفاده از حداقل تعداد جدول جست‌وجو با ساختاری مشابه شکل ۲، مدار ترکیبی ضرب کننده دو بیتی بدون علامت شکل ۳ را طراحی نمایید.



شکل ۲: ضرب‌کننده بدون علامت

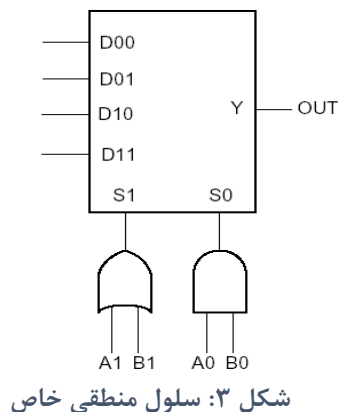


شکل ۱: بلوک منطقی قابل پیکربندی تشکیل شده از LUT

- (الف) محتوای LUTها و مدار متشکل از LUTها را جهت پیاده‌سازی مشخص کنید.
- (ب) به جای بلوک منطقی موجود در شکل ۱ از LUTهای با چهار ورودی استفاده کرده و مدار گفته شده را پیاده‌سازی کنید. (محتوای آنها و ارتباطات را مشخص کنید).
- (ج) یک بلوک منطقی مطابق شکل ۱ چه مزایا و معایبی نسبت به یک جدول جست‌وجوی با چهار ورودی دارد؟ آیا یکی همواره بر دیگری برتری دارد؟ آیا به تابع بستگی دارد؟ توضیح دهید.
- (د) بلوک منطقی شکل ۱ را با LUT چهار ورودی از نظر سرعت و هزینه (منابع مصرفی داخلی مانند تعداد سلول‌های حافظه SRAM) مقایسه کنید. تعداد سلول‌های حافظه در هر دو مورد را به دست آورید.

^۱ Coarse-grained

^۲ Fine-grained



تمرین ۴-۱

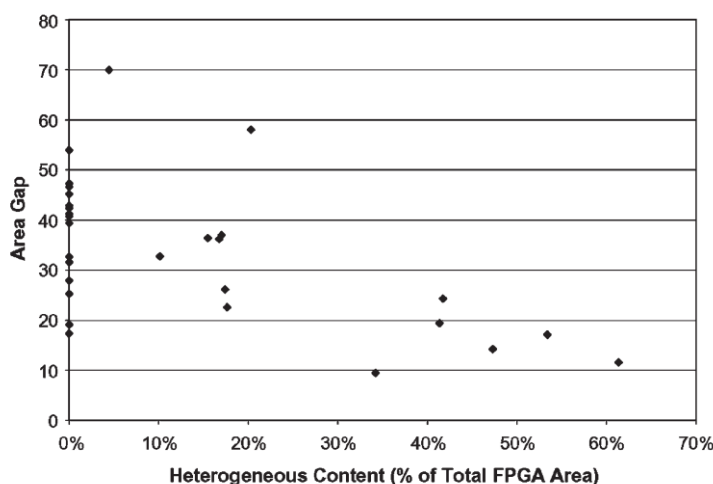
سلول منطقی شکل ۳ مبتنی بر مالتی پلکسر است. بیشترین تعداد ورودی‌ای که می‌توان تابعی از آن‌ها را با این سلول منطقی ساخت، چقدر است؟ برای این تعداد ورودی، چند تابع متفاوت قابل پیاده‌سازی است؟

تمرین ۵-۱

با داشتن LUT های k ورودی حداکثر چند تابع بولی می‌توان ساخت؟

تمرین ۶-۱

(الف) به طور خلاصه برخی از عواملی که منجر به ایجاد شکاف (gap) بین FPGA و ASIC می‌شود را شرح دهید.
(ب) آیا قرار دادن واحدهای DSP (ضرب‌کننده) بیشتر و حافظه‌ی بلوکی با عرض بیتی بیشتر در هر LUT در FPGA های بزرگتر می‌تواند شکاف تأخیر را کاهش دهد؟ پاسخ خود را به سه یا چهار جمله محدود کنید.
(ج) آیا قرار دادن واحدهای DSP (ضرب‌کننده) بیشتر و LUT با تعداد ورودی بیشتر در FPGA های بزرگتر می‌تواند شکاف توان را کاهش دهد؟ پاسخ خود را به سه یا چهار جمله محدود کنید.
(د) شکل ۴ تأثیر استفاده از واحدهای خاص منظوره در تراشه‌های FPGA را نشان می‌دهد. محور افقی نسبت مساحت این واحدها به کل مساحت تراشه و محور عمودی نسبت مساحت در پیاده‌سازی با FPGA به مساحت در پیاده‌سازی با ASIC را نشان می‌دهد. شکل را در دو یا سه جمله تحلیل کنید.



شکل ۴: تأثیر استفاده از واحدهای خاص منظوره

جهت راهنمایی بیشتر بخش نتایج، مقاله‌ی زیر مراجعه کنید. مقالات در سامانه دروس آپلود شده است.

I. Kuon, and J. Rose, "Measuring the gap between FPGAs and ASICs", *ACM/SIGDA International Symposium on Field Programmable Gate Arrays*, Monterey, CA, Feb. 2006.