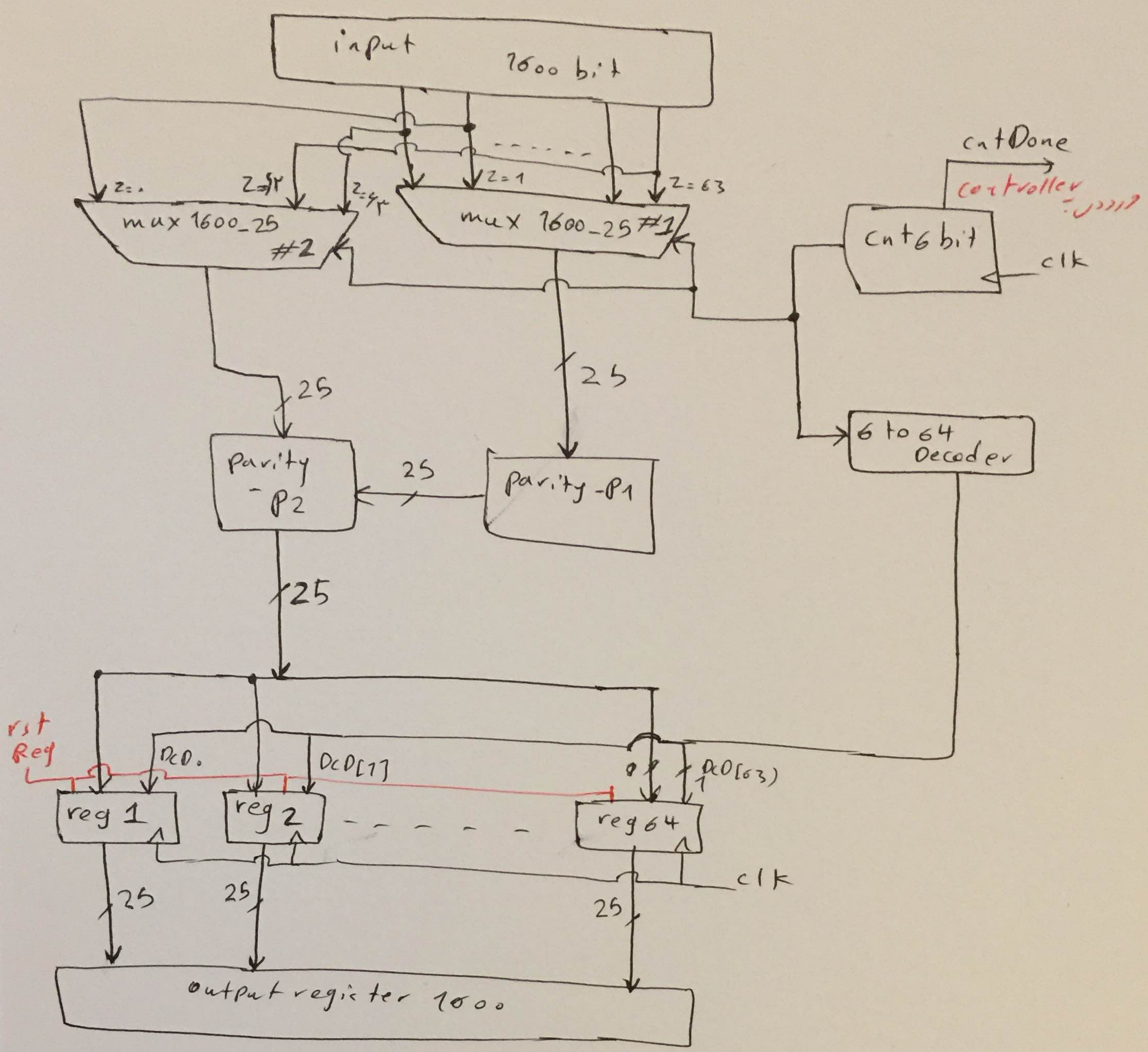


علی میرزا 11-19/10/55



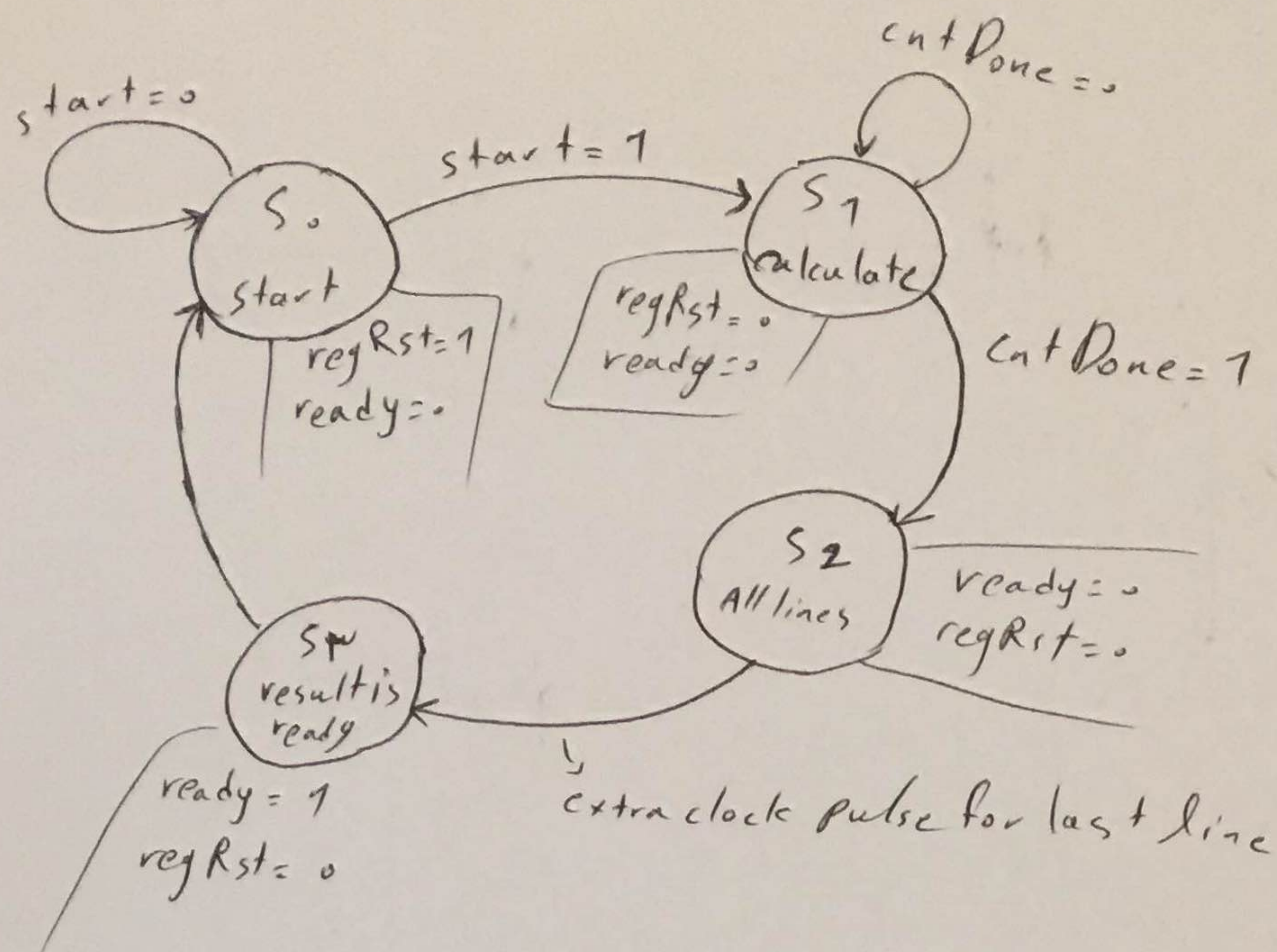
توضیحات :

ابتدا ورودی خوانده میشود و در multiplexer داده می شود در در max به ترتیب ابتدا خط اول گرفته میشود و parity برای صفحه اول محاسبه میشود و سپس با استفاده از خروجی max دوم parity صفحه دوم محاسبه میشود و نتیجه کلی برای صفحه اول محاسبه $parity(0)$

میشود (مرخوان هم اینگونه در نظر گرفت در max یک بار انگار خیلی ۲ بار خوانده میشود) (اب در verilog اینگونه نیست)

برای max مقدار select از یک counter ویتی است که در هر pulse فقط یک خط خوانده میشود و خروجی parity که حاضر شد خروجی counter نیز به یک decoder ~~خوبه~~ ~~خوبه~~ می شود که خروجی آن سیگنال enable برای register ها را جواب میدهد (که به این ترتیب جواب هر خط یک بار محاسبه میشود و در pulse ها بدون میزان محاسبه شده قبلی آن تغییر نمی کند)

Controller Fsm



خرائید سکت Parity

ابتدا در تابع Parity-P1 خرائید مقدار Parity را براس ستون های مختلف خط اصلی در خط

مگیریم و سپس آن را به Parity-P2 مد می که در آن هم Parity را براس ستون های مختلف

به صورت شش بافت به صورت XOR میگیریم

به دست می آوریم و به صورت شش XOR را انجام می دهیم تا خروجی بنیاد به دست آید