

## Sisteme embedded

### Test scris 1

Să se proiecteze un sistem secvențial care primește un număr natural  $n$  pe 16 biți și calculează partea întreagă a radicalului acestui număr (tot pe 16 biți). Pentru comunicarea cu exteriorul, sistemul mai folosește două semnale:

- un semnal de intrare (1 bit); valoarea 1 a acestuia semnalizează faptul că pe intrările de date sunt disponibile valorile numerelor  $m$  și  $n$  pentru care trebuie calculat rezultatul
- un semnal de ieșire (1 bit), care trebuie să primească valoarea 1 pentru exact o perioadă de ceas atunci când rezultatul a fost calculat și este disponibil pe ieșirea de date

Calculul radicalului se realizează astfel: se ridică la pătrat numerele 1, 2, ... până când se găsește fie rădăcina pătrată exactă (dacă  $n$  este pătrat perfect), fie valoarea întreagă cea mai apropiată mai mică decât rădăcina pătrată.

Se consideră că există un circuit predefinit, care calculează produsul a două numere și care va fi utilizat pentru rezolvarea problemei. Deoarece calculul produsului durează un număr mare de perioade de ceas, acest circuit comunică într-un mod similar celui descris mai sus (deci are la rândul său un bit de intrare și unul de ieșire cu roluri similare, pe lângă intrările și ieșirile de date).

Se cer:

a) Proiectarea automatului hardware: elemente de acționare, semnale necesare pentru comandă și control, schema logică, delimitarea stărilor, implementarea secvențiatorului. La ultimul punct se pot determina, la alegere, fie ecuațiile de funcționare (implementare cablată), fie conținutul microinstrucțiunilor din memoria ROM (implementare microprogramată).

b) Descrierea în limbajul Verilog a automatului (tot pe bază de stări).

La punctul b) NU se cer:

- Implementarea circuitului care realizează înmulțirea a două numere. Se consideră că există deja un modul care realizează operația menționată și care este utilizat după necesități.
- Implementarea modulului de test.
- Implementarea generatorului semnalului de ceas.