

## Sisteme embedded

### Test scris 1

Să se proiecteze un sistem secvențial care primește la intrare un număr  $n$  pe 8 biți, întreg fără semn, și transmite pe ieșire (tot 8 biți) fie numărul  $n$ , dacă este prim, fie un divizor al său (diferit de 1 și de  $n$ ), dacă  $n$  nu este prim. Pentru comunicarea cu exteriorul, sistemul mai folosește două semnale:

- un semnal de intrare (1 bit); valoarea 1 a acestuia semnalizează faptul că pe intrarea de date este disponibilă valoarea numărului  $n$

- un semnal de ieșire (1 bit), care trebuie să primească valoarea 1 pentru exact 1 perioadă de ceas atunci când rezultatul a fost calculat și este disponibil pe ieșirea de date

Divizibilitatea a două numere trebuie determinată prin scăderi repetate.

Se cer:

- a) Proiectarea automatului hardware: elemente de acționare, semnale necesare pentru comandă și control, schema logică, delimitarea stărilor, implementarea secvențiatorului. La ultimul punct se pot determina, la alegere, fie ecuațiile de funcționare (implementare cablată), fie conținutul microinstrucțiunilor din memoria ROM (implementare microprogramată).

- b) Descrierea în limbajul Verilog a automatului (tot pe bază de stări).

La punctul b) NU se cer:

- Implementarea circuitului care realizează înmulțirea a două numere. Se consideră că există deja un modul care realizează operația menționată și care este utilizat după necesități.

- Implementarea modulului de test.

- Implementarea generatorului semnalului de ceas.